

B.T.S. électronique

SESSION 2001

ETUDE D'UN SYSTEME TECHNIQUE

CENTRE D'USINAGE

ML 1525

Attention : Ce livret est à insérer dans une copie.

Texte du sujet et Dossier réponses

Durée : 6 heures

Coefficient : 5

Ce dossier comporte 29 pages. Il constitue à la fois le texte du sujet et la copie à rendre en fin d'épreuve. Il convient donc d'y reporter les réponses à l'exclusion de tout autre document. Si les emplacements réservés pour les réponses se révèlent insuffisants, le candidat utilisera la feuille blanche en vis-à-vis.

Usage de la calculatrice autorisé conformément à la circulaire n° 99-186 du 16-11-99.

COMPOSITION DU SUJET

Le sujet est divisé en 4 parties indépendantes :

PARTIE A : Etude des modules Microprocesseur et mémoires et Décodage d'adresse.

Temps conseillé : 1 h 30 mm.

PARTIE B : Etude du module de Gestion des 5 axes.

Temps conseillé : 1 h 30 mm.

PARTIE C : Etude du module Asservissement.

Temps conseillé : 1 h 45 mm.

PARTIE D : Etude du module de Transmission.

Temps conseillé : 45 mm.

Lecture du sujet : 30mm.

A Etude des modules : Microprocesseur et mémoires Décodage d'adresse

L'étude de ces sous-ensembles mettra en évidence : *Le plan mémoire utilisé.
La création du signal /DTACK*

Dans la suite, on considère la notation /X équivalente à X complémenté (X barre).

A.1 Etude de la fonction décodage d'adresse.

Le schéma structurel associé est donné page 11 du dossier technique.

On considère que le bus d'adresse est constitué de 24 bits (A23 à A0).

On précise que l'entrée Sel R/E permet la permutation des zones RAM et EPROM.

A.1.1 Donner les équations des signaux A, B, /G entrées du circuit IC5 (74LS139).

.....

A.1.2 Compléter, dans le tableau ci-dessous, les valeurs des signaux /VMA à A19 qui rendent les sorties /RAM, /EPROM, /EEPROM actives et indiquer la ou les zone(s) définie(s) en précisant les adresses de début et de fin de celle(s)-ci.
Les valeurs indéfinies seront notées par X.

	/VMA	/AS	Sel R/E	A23	A22	A21	A20	A19	Adresses hexadécimales	
/RAM			0							
			1							
/EPROM			0							
			1							
/EEPROM			0							
			1							

A.1.3 En déduire l'équation logique de chacune de ces sorties.

/RAM =

/EPROM =.....

/EEPROM =.....

A.1.4 Compléter, dans le tableau ci-dessous, les valeurs des signaux /VMA à A19 qui rendent les sorties /CPTX, /CNAX, /ACIA actives et indiquer la ou les zone(s) définie(s) en précisant les adresses de début et de fin de celle(s)-ci.

Les valeurs indéfinies seront notées par X.

	/VMA	/AS	Sel R/E	A23	A22	A21	A20	A19	Adresses hexadécimales	
/CPTX										
/CNAX										
/ACIA										

A.1.5 En déduire l'équation logique de chacune de ces sorties.

/CPTX =

/CNAX =

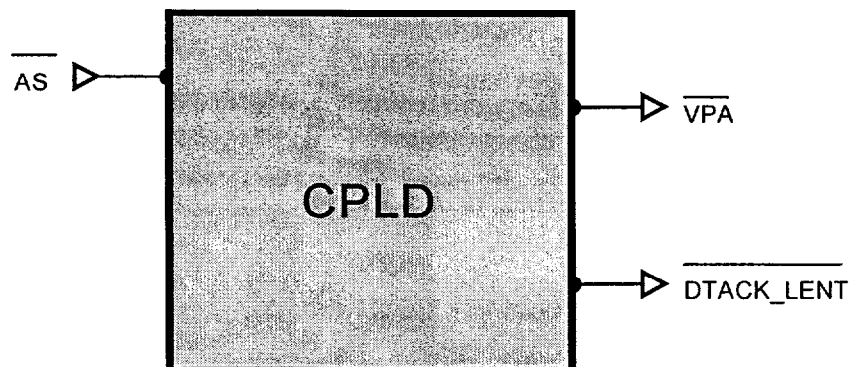
/ACIA =

A.2 Amélioration technologique

Afin de moderniser le système, il est décidé d'intégrer dans un circuit logique programmable complexe (CPLD), l'ensemble de la logique du système. Le développement du circuit est effectué en langage VHDL.

L'étude qui vous est demandée porte uniquement sur les 2 sorties « /DTACK_LENT et /VPA » situées sur le schéma décodage d'adresse page 11 du dossier technique.

A.2.1 Compléter le bloc fonctionnel ci-dessous en faisant apparaître les signaux d'entrée nécessaires pour obtenir les sorties.



A.2.2 Etablir l'équation logique de la sortie « /VPA » et rappeler celle de la sortie « /DTACK LENT ».

/VPA =

.....

/DTACK LENT =

.....

A.2.3 Compléter le fichier VHDL et la figure A.2.3, page 6/29 du dossier réponses, permettant la programmation et l'affectation des signaux aux différentes broches.

Remarque : En exemple, on donne la programmation de la sortie S1 de « IC13.A » du schéma structurel « microprocesseur et mémoires » page 10 du dossier technique.

A.2.4 Quels sont les avantages ou les inconvénients procurés par l'utilisation de circuits logiques programmables ? Citer quelques références de circuits que vous connaissez.

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

```

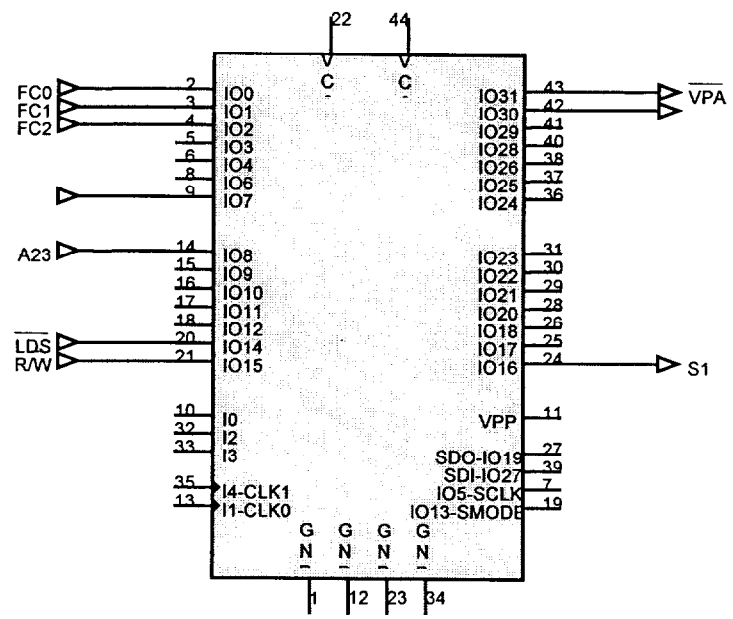
library IEEE;
use IEEE.std_logic_1164.all;
entity decodeur is port (
    fc0,      . . .      :in std_logic;
    rw,lds    :in std_logic;
    s1        :out std_logic;
    . . .      :out std_logic);
attribute pin_numbers of decodeur : entity is
    " fc0:2  fc1:. .  fc2:. .  as:9  a23:. .  "&
    " dtack_lent :42          vpa :. .  "&
    " lds:20  rw:21  s1:24          ";
end decodeur;

architecture arch_decodeur of decodeur is
begin
    vpa . . . . .
    dtack_lent . . . . .

    s1 <= rw or lds;
end arch_decodeur;

```

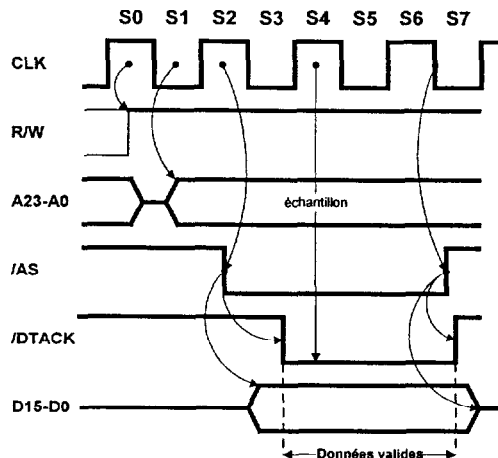
Figure A .2.3



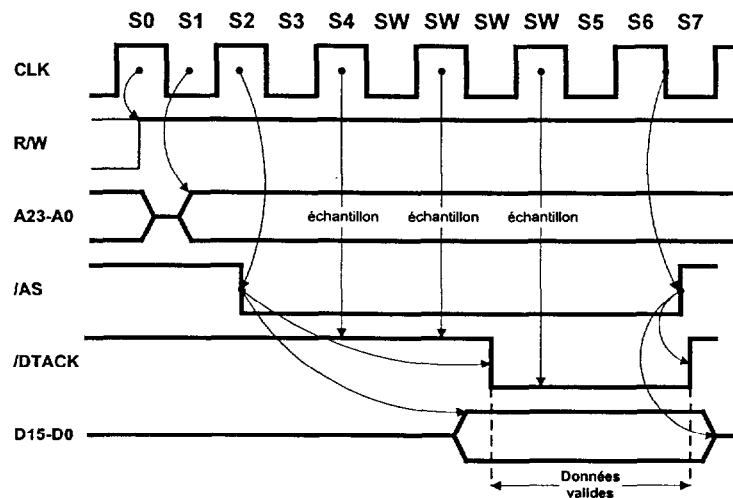
A.3 Etude de la création du signal /DTACK :

Lors d'échanges asynchrones, le microprocesseur attend que son entrée /DTACK soit active pour poursuivre le cycle en cours. Il est donc impératif de créer matériellement ce signal pour que chaque cycle du 68000 puisse se terminer.

Le document ci-dessous présente les chronogrammes simplifiés d'un cycle de lecture.



Cycle de lecture sans retard de /DTACK



Cycle de lecture avec retard de /DTACK

- S0 : Positionnement de R/W.
- S1 : Positionnement du bus d'adresses.
- S2 : Le microprocesseur active /AS.
- S3 : Décodage d'adresse et sélection du périphérique. Celui-ci positionne les données sur le bus de données et active /DTACK avant la fin de S4.
- S4 : Échantillonnage de S4. Si /DTACK est égal à 0 avant la fin de S4, le cycle continue en S5 (chronogrammes cycle de lecture sans retard de /DTACK). Sinon le microprocesseur introduit des cycles complets de CLK (2 SW) en attendant que /DTACK devienne actif (chronogrammes cycle de lecture avec retard de /DTACK). L'échantillonnage de /DTACK est toujours effectué sur le niveau 1 de CLK.
- S5 : Synchronisation interne.
- S6 : Le microprocesseur désactive /AS à la fin de S6.
- S7 : Le périphérique n'est plus sélectionné. Il désactive /DTACK puis libère le bus de données.

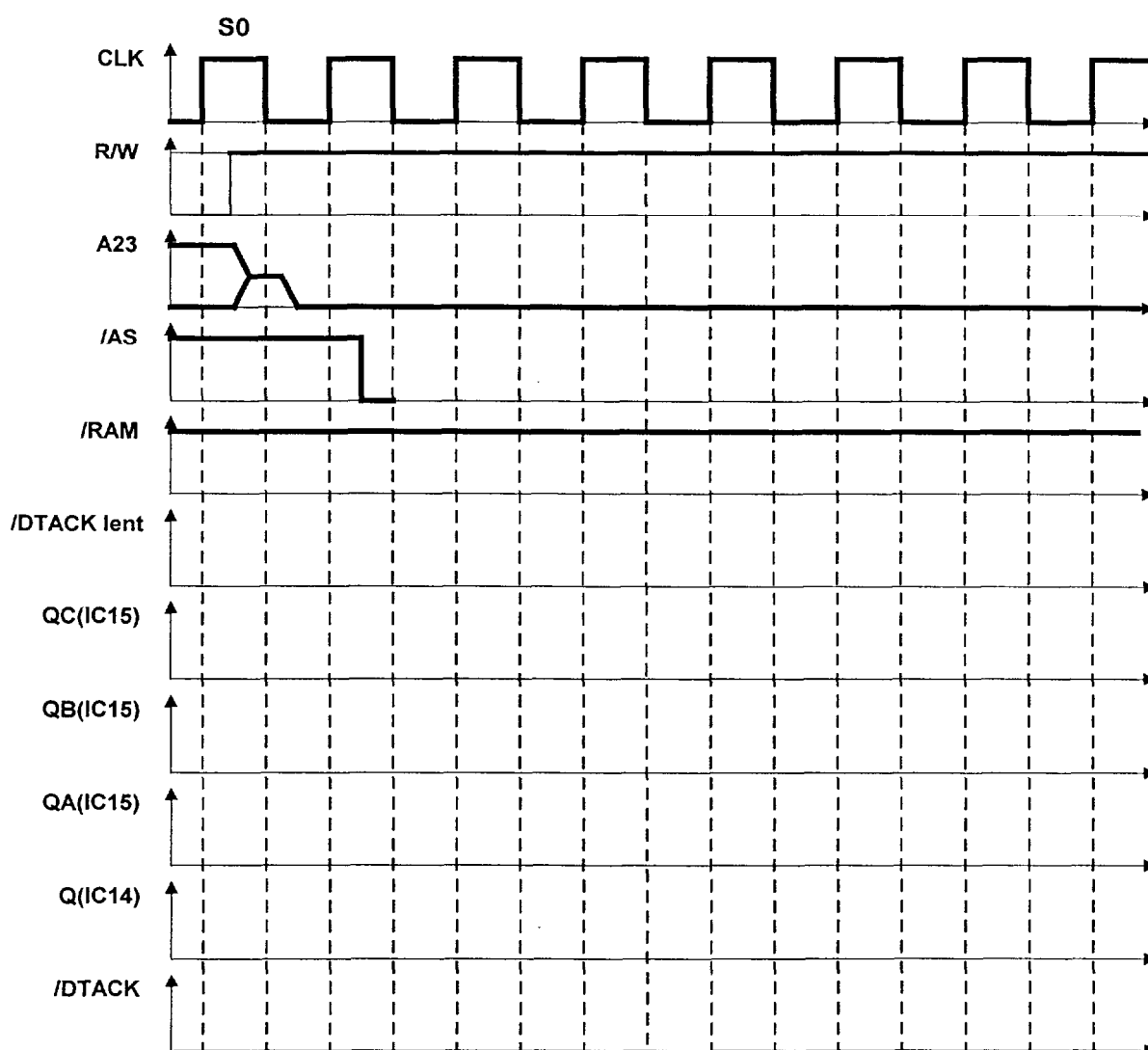
La structure associée à la création du signal /DTACK est repérée sur le schéma structurel de la carte Microprocesseur et Mémoires page 10 du dossier technique.

Elle est constituée des circuits IC12-B, IC12-C, IC12-D, IC13-C, IC14-A, IC15-A et SW2.

Elle reçoit les signaux: CLK issu du MC68000 et /RAM, /DTACK lent issus de la carte décodage d'adresse (page 11 du dossier technique).

On considère que l'adresse générée par le microprocesseur positionne le bit A23 à 0 et que seule la sortie Qc du circuit 74LS393 (IC15-A) est reliée à l'entrée 9 du circuit IC13-C par l'intermédiaire de SW2.

- A.3.1** En utilisant les documents constructeurs fournis et les chronogrammes des cycles de lecture, compléter les chronogrammes correspondant à la création du signal /DTACK.
Les séquences S0 à S7 et SW seront notées au dessus de ces chronogrammes.



B Etude du module de gestions des 5 axes

L'étude porte sur les fonctions d'acquisition de la position et d'élaboration de la consigne de l'axe X (pages 12 et 13 du dossier technique).

B.1 Traitement des signaux issus du codeur incrémental par le circuit IC18 (SN 75182).

On néglige l'influence des 4 cellules Rx, Cx présentes sur les lignes issues du codeur incrémental ainsi que celle des condensateurs C20 et C21.

B.1.1 Qualifier le circuit IC18 et indiquer la fonction réalisée par chacune de ces voies internes.

.....
.....
.....
.....
.....
.....

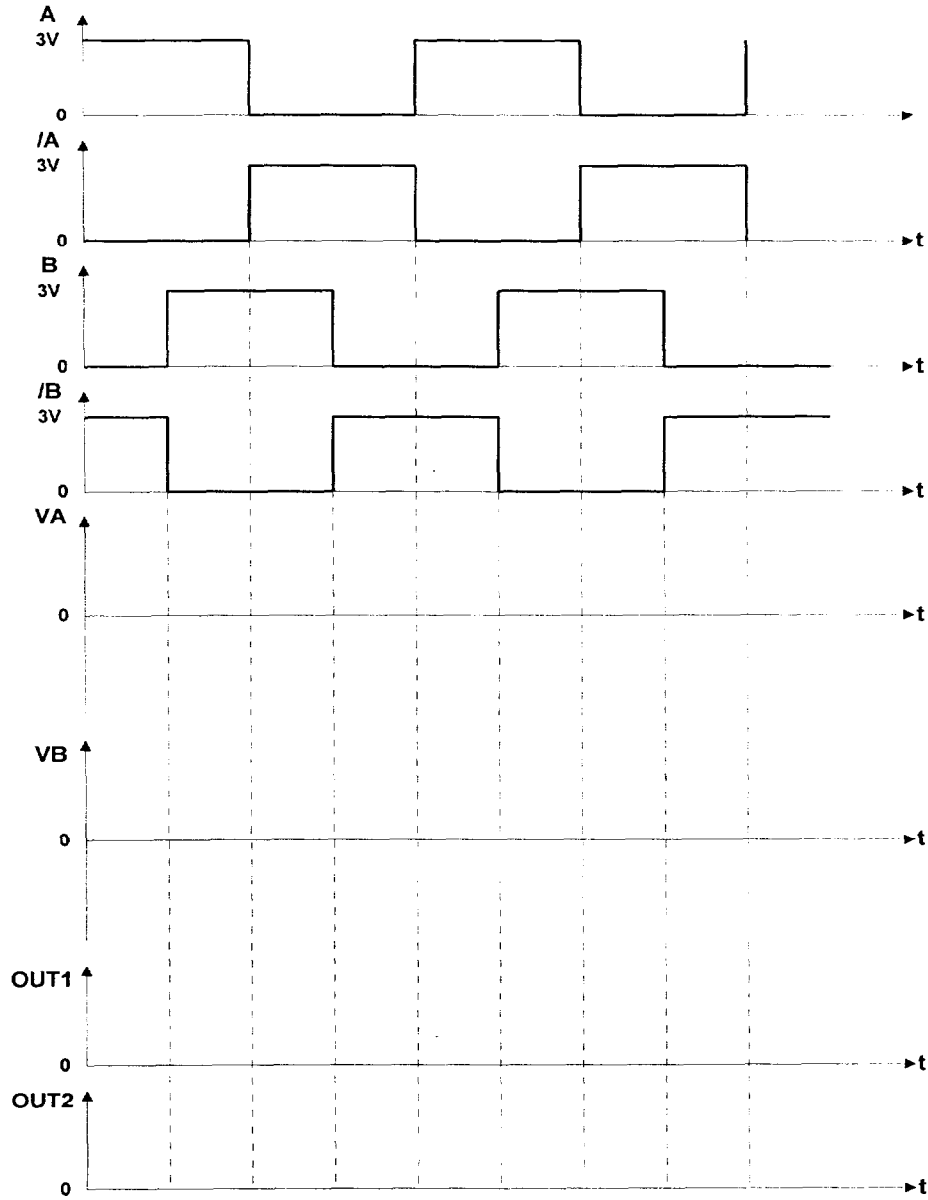
B.1.2 Le codeur incrémental est du type GI 355 A 22 C2 15 (cf. documentation constructeur).

Calculer les valeurs extrêmes des tensions VA et VB.

Les comparer aux valeurs maximales données dans la documentation du circuit IC18. Conclure.

.....
.....
.....
.....
.....
.....
.....
.....
.....
.....
.....
.....
.....
.....
.....
.....

B.1.3 Compléter les chronogrammes ci-dessous et préciser les amplitudes des différents signaux.



B.2 Comptage des signaux fournis par le capteur de position (IC20 : HCTL2000).

Les caractéristiques mécaniques de l'axe X sont :

- *Course maximum : 2520 mm.*
- *Vitesse d'avance maximale de l'axe : $V = 250 \text{ mm/s}$.*
- *Rapport de réduction entre la vis à billes et le moteur : $r = (N_v/N_m) = 0.4$ avec N_v : vitesse de rotation de la vis et N_m : vitesse de rotation du moteur*
- *Pas de la vis à billes : $p = 20 \text{ mm}$.*
- *Codeur solidaire de l'axe moteur, résolution : 500 traits par tour.*

B.2.1 Déterminer l'équation de N_m , vitesse de rotation du moteur en tours/s, en fonction de V , p et r . Calculer N_m pour V maximale. En déduire la vitesse de rotation maximale du moteur en tours/minute.

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

B.2.2 Exprimer, en fonction de V , r et p , la fréquence f des signaux délivrés par le codeur. En déduire la fréquence maximale obtenue pour V maximale.

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

B.2.3 *Pour garantir une bonne immunité au bruit, le fabricant du circuit HCTL 2000 (IC20) impose une relation entre la période des signaux issus du codeur et celle du signal d'horloge appliqué sur l'entrée CLK.*

Donner cette relation et en déduire la valeur minimale de la fréquence du signal appliqué sur l'entrée CLK. Cette condition est-elle vérifiée sachant que pour le microprocesseur 68000 la fréquence du signal E est égale à la fréquence du quartz / 10 ?

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

B.2.4 *Quelle est la valeur du déplacement de la tête correspondant à 1 période du signal d'entrée de IC20 (CHA ou CHB) ?*

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

B.2.5 *Le circuit HCTL 2000 (IC20) compte ou décompte tous les fronts de ces signaux d'entrée ce qui revient à accroître la précision de la mesure du déplacement d'un facteur 4.*

A quelle valeur de déplacement correspond un incrément de IC20 ?

.....

.....

.....

B.3 *Elaboration de la tension de consigne.*

*Cette étude concerne l'étage formé par les circuits CNAX, IC21-A et IC21-B.
Il permet de générer la tension de consigne vitesse V_{consx} du module
d'asservissement de vitesse de l'axe X.*

B.3.1 A partir de la documentation constructeur du circuit AD7545 (CNAX), qualifier le fonctionnement de cet étage. En déduire les valeurs remarquables : quantum (1 LSB) et gamme de la tension de sortie.

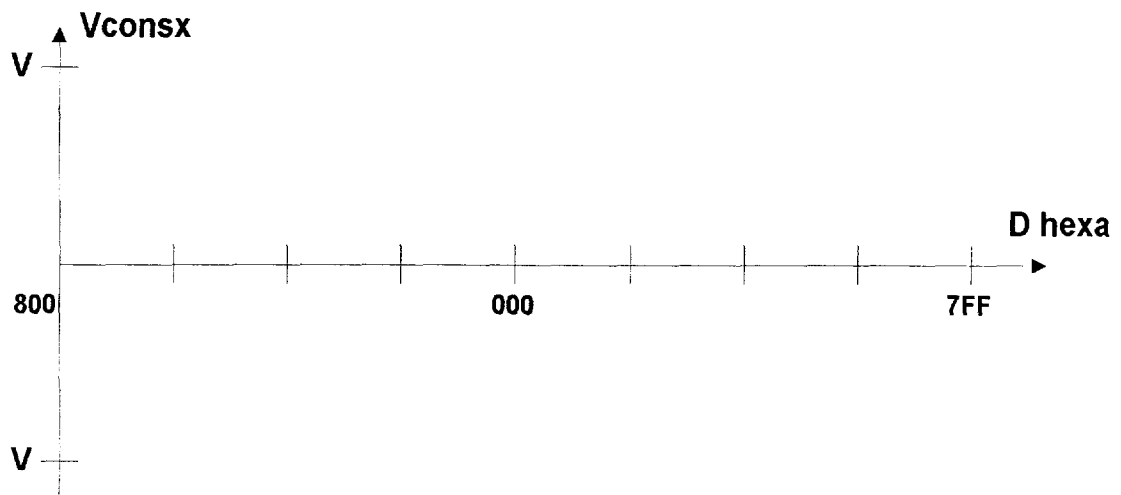
.....
.....
.....
.....
.....
.....
.....

B.3.2 *Soit D la donnée fournie par le microprocesseur 68000.*

Compléter le tableau suivant.

D hexa	800	A00	FFF	000	200	7FF
V_{consx}						

B3.3 Reporter sur le graphique ci-dessous, les différentes valeurs du tableau et tracer la caractéristique $V_{consx} = f(D)$.



Dans les 2 questions suivantes, on s'intéresse à la relation qui existe entre la tension de consigne et la vitesse de déplacement obtenue sur l'axe X.

B.3.4 Sachant que si

- $V_{consx} = 0$: l'axe est à l'arrêt.
- $V_{consx} > 0$: le déplacement a lieu vers l'avant (+).
- $V_{consx} < 0$: le déplacement a lieu vers l'arrière (-).
- $|V_{consx}|$ maximum : la vitesse est maximale soit ± 250 mm/s.

Quel est le quantum sur le réglage de la vitesse ? Exprimer la vitesse V (mm/s) en fonction de D exprimé en décimal.

.....

.....

.....

.....

.....

.....

.....

.....

B.3.5 Compléter les valeurs manquantes du tableau ci-dessous.

D hexa	800		040		600
D décimal					
V mm/s		-120		+50	