

**B.2.6 Conversion analogique / numérique FS1.3.4.**

*N est le nombre binaire en sortie du convertisseur Analogique.  
Vref est la tension de référence du CA3306.*

B.2.6.1 - Indiquer la valeur de Vref.

Vref = .....
--------------

B.2.6.2 - Exprimer N en fonction de  $\alpha$ , Vcam et Vcam<sub>noir</sub>.

.....  
.....  
.....  
.....  
.....

$N(\alpha, Vcam, Vcam_{noir}) = \dots\dots\dots$
--

B.2.6.3 - Compléter le tableau suivant à partir des éléments précédemment calculés quand  $\alpha = 1$

Niveau d'entrée	Valeur de N correspondante en décimal.
Niveau de synchronisation :	Sans objet car il n'est jamais converti
Niveau du noir :	Nnoir = .....
Niveau du blanc :	Nblanc = .....

B.2.6.4 - Conclusion: Le signal issu d'une caméra est-il numérisé de manière optimale ? Pourquoi ?

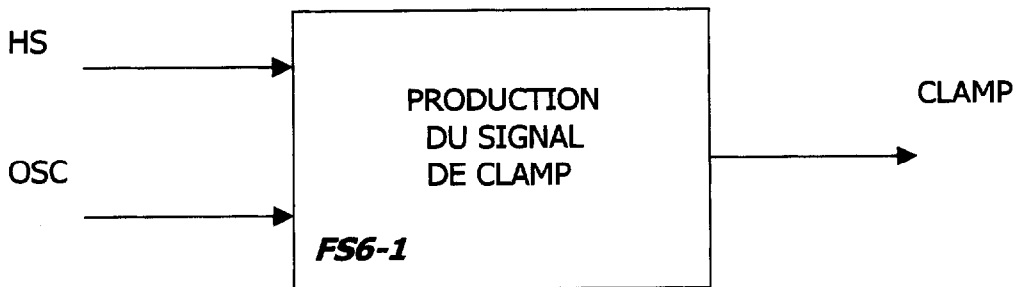
.....  
.....  
.....  
.....  
.....

## C PRODUCTION DU SIGNAL CLAMP **FS6-1**

*Etude de la fonction « PRODUCTION DU SIGNAL CLAMP », voir schéma fonctionnel de FP6 page DP12*

*Cette fonction est réalisée par les circuits U27, U27/2, U44, U52/1 et U16/1 du schéma « SEQUENCEUR » page DP13*

*Le but de cette étude est de vérifier que la fonction permet la production d'un signal de clamp.*



*OSC : signal rectangulaire de fréquence 16MHZ, il n'est pas représenté sur les chronogrammes*

**C.1** Compléter les chronogrammes de RAZ, Q2 et CLAMP du document réponse de la page suivante

**C.2** Déterminer la durée du signal de clamp

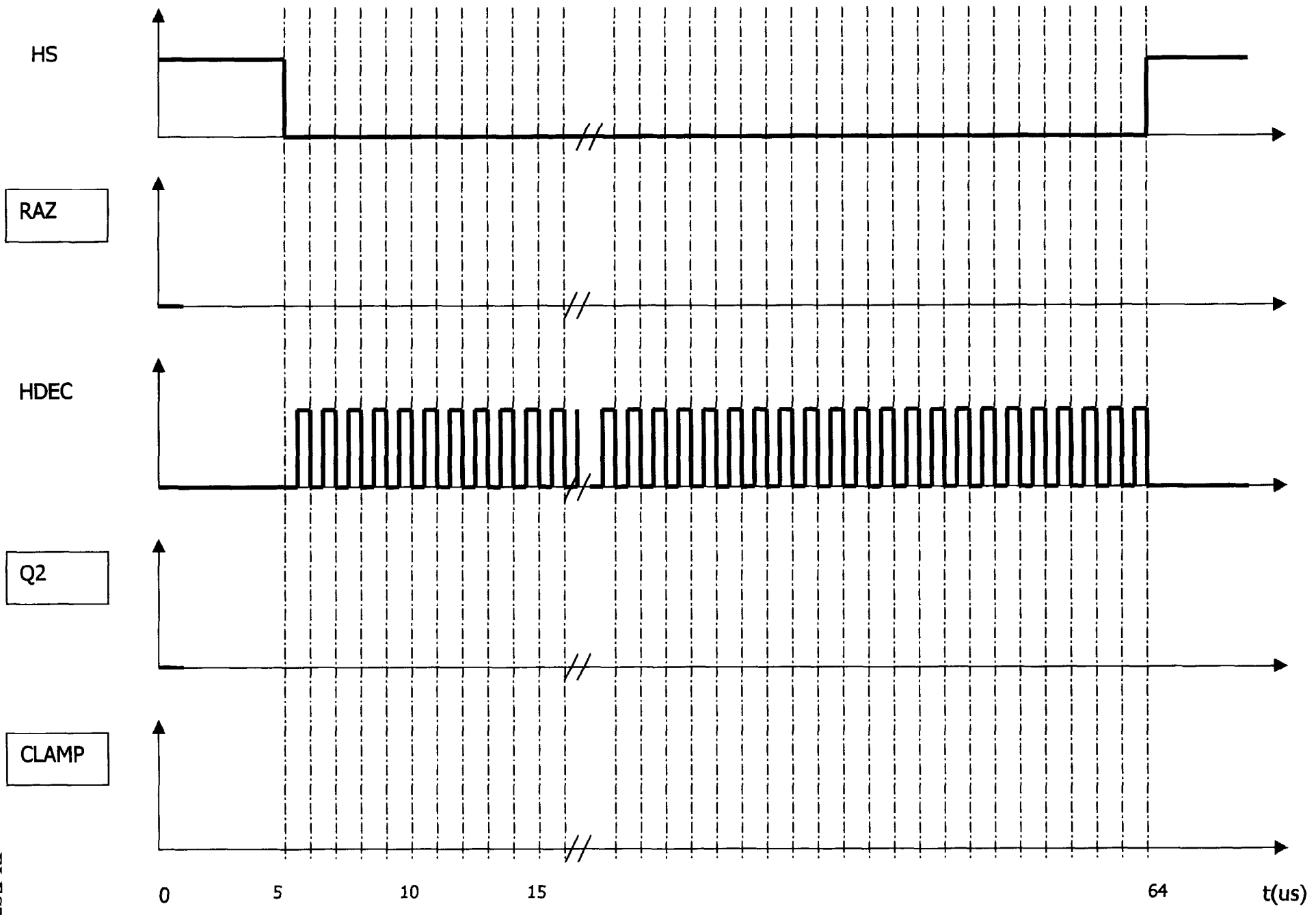
.....  
.....

**C.3** Préciser si la position temporelle de l'activation du signal de clamp est conforme à ce qui est attendu.

.....  
.....  
.....  
.....

DR15/24

ELEST



## C.4 Amélioration technologique

*Implémentation dans un circuit logique Programmable de type FPGA*

*Le signal CLAMP est maintenant produit par une fonction logique dont la description en VHDL est donnée ci-dessous.*

*La description de l'architecture de cette entité est de type structurel.*

*Elle est l'association de plusieurs entités appelées par le mot-clé « component ».*

```
library ieee;
use ieee.std_logic_1164.all

entity clamp is
port (raz,veun,horloge : in std_logic;
      slamp : out std_logic);
end clamp;

architecture descrstruct of clamp is

component regdecal
port (raz,horloge : in std_logic;
      q2 : out std_logic);
end component;

component ouexclus
port (a,b : in std_logic;
      s : out std_logic);
end component;

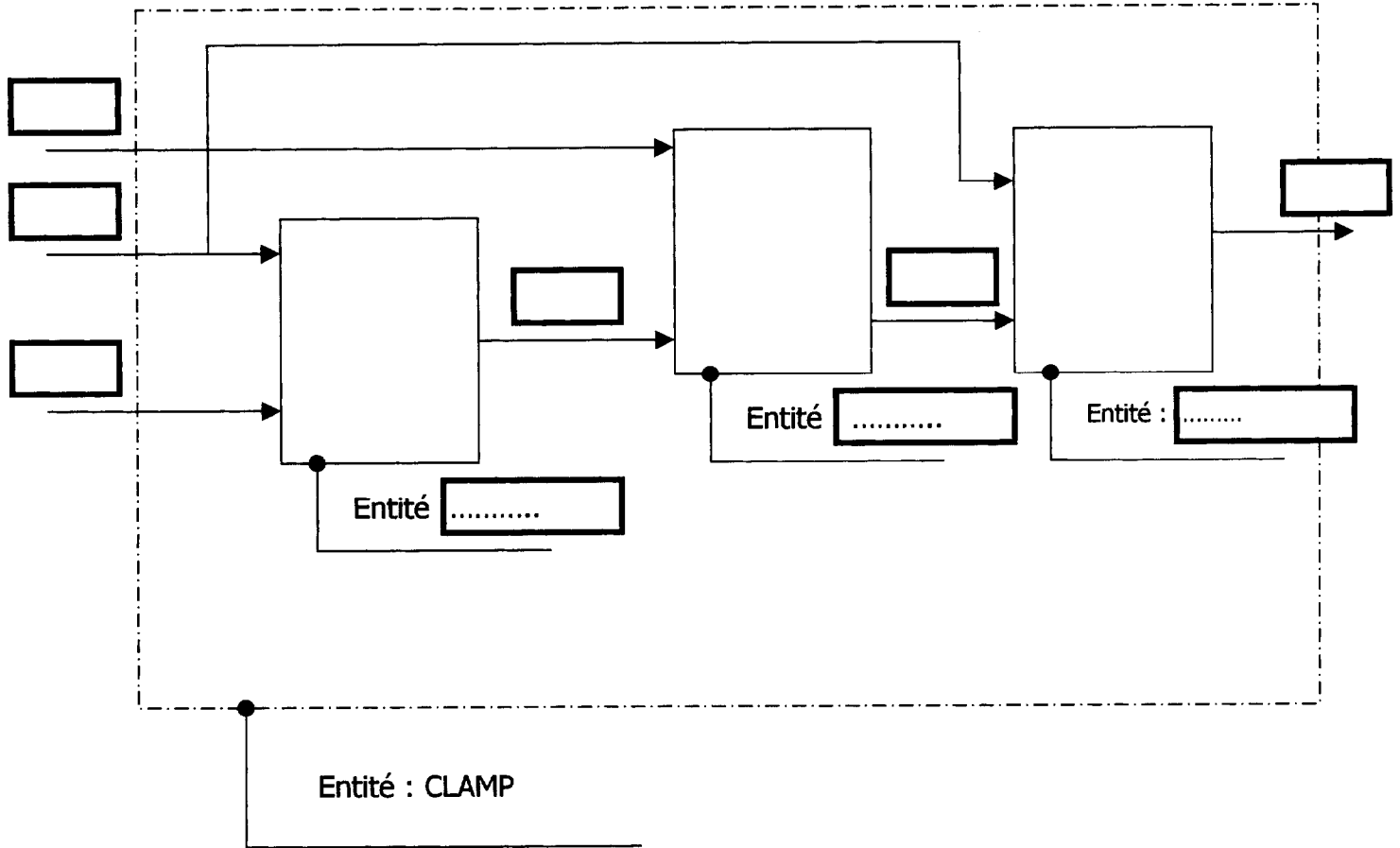
component et
port ( e1,e2 : in std_logic;
      s1 : out std_logic);
end component;

signal x1,x2 : std_logic;

begin
stance1 : regdecal port map(raz,horloge,x1);
stance2 : ouexclus port map(veun,x1,x2);
stance3 : et port map(raz,x2,sclamp);
end descrstruct;
```

Identifier les fonctions sur le document réponse de la page DR17/24 et nommer les entrées et les sorties d'après l'« instanciation » réalisé dans le fichier VHDL

Compléter tous les cadres en traits gras.



## C.5 TEST DES CARTES ELECTRONIQUES

*On s'intéresse maintenant au test de fabrication des cartes du système « quadrivision ».*

*A la fin de la production, les problèmes rencontrés sur les cartes numériques sont les problèmes liés à l'interconnexion et l'implantation d'une part, et les problèmes fonctionnels (interactions des composants, temps de transfert et pannes) d'autre part.*

*Après la fabrication de la carte celle-ci est testée en accord entre l'entreprise de test et la production.*

*Plusieurs types de test sont alors proposés :*

*Fonctionnel, In-situ, Boundary scan(test par scrutation périphérique)norme IEEE 1149.1*

Rappeler la signification de chacune de ces procédures de test ; pour cela on mettra en relation la désignation du test et sa définition

<i>Désignation</i>	<i>Définition</i>
Test .....	Ce test permet de vérifier les composants un à un. On accède à chaque broche du composant par une pointe de test ou un clou
Test .....	Ce test permet de vérifier le fonctionnement d'une carte dans son ensemble. L'accès est généralement limité aux connecteurs de la carte
Test .....	Pour résoudre les problèmes liées à la numérisation . on utilise des registres à décalage qui ont été intégrés à la fabrication dans le composant. On ajoute donc des liaisons qui ne servent qu'au test

## D - MEMORISATION DE 4 PIXELS

Nous allons nous intéresser au schéma de la mémorisation, et plus particulièrement à la gestion des mémoires dynamiques UPD41464.

Documents nécessaires : DP11 schéma structurel Mémorisation  
DP10 Schéma fonctionnel « assemblage mosaïque de 4 trames »  
Documentation technique UPD 41464

Le signal vidéo issu de la caméra choisie a été échantillonné dans la fonction FS1.3 et converti en une suite de nombres  $N$ .

Dans la fonction FS2.1, quatre points (pixels) successifs de 6 bits sur le bus «  $N$  » sont assemblés en un mot de 24 bits appelé « 4 points ».

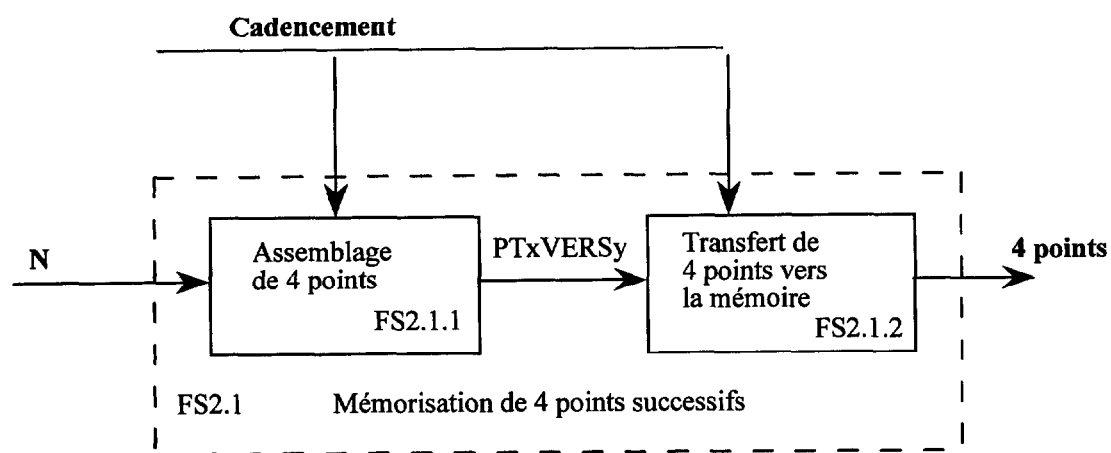


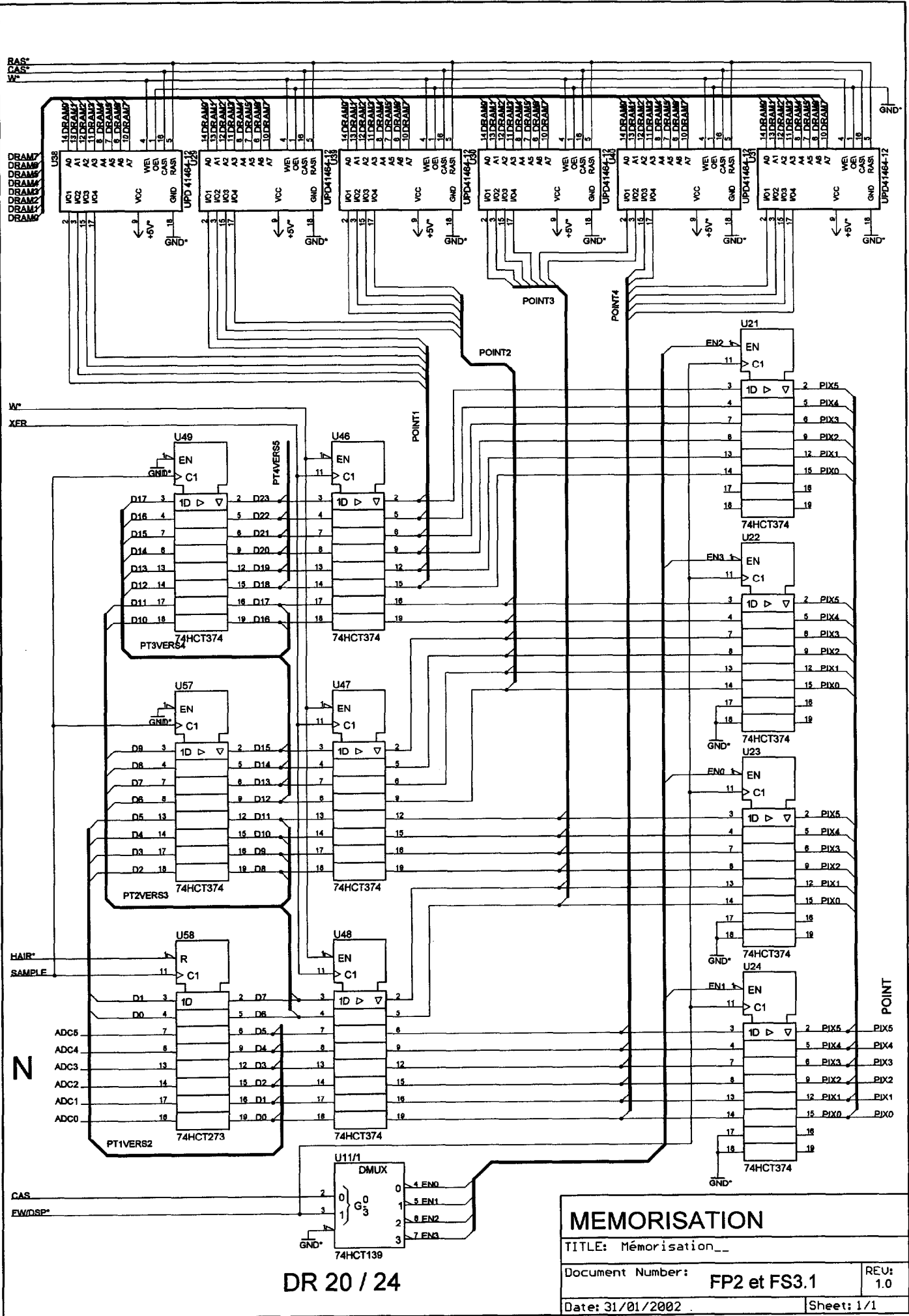
fig. D1

### D.1 – Etude fonctionnelle

Entourer sur le schéma structurel « Mémorisation » DR20 les fonctions FS2.1.1, FS2.1.2, FS2.2 et FS3.1

### D2 – Stockage

Afin d'enchevêtrer le stockage et la lecture des 4 images successives, une certaine logique de gestion de la mémoire est appliquée.



DR 20 / 24

### MEMORISATION

TITLE: Mémorisation\_\_

Document Number: **FP2 et FS3.1**

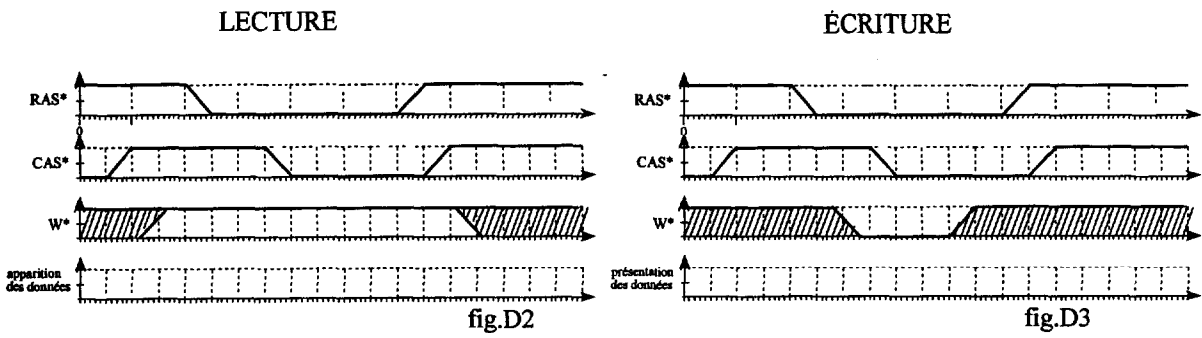
REV: 1.0

Date: 31/01/2002

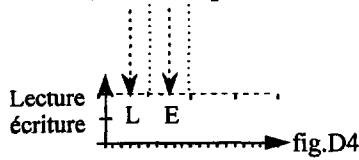
Sheet: 1/1



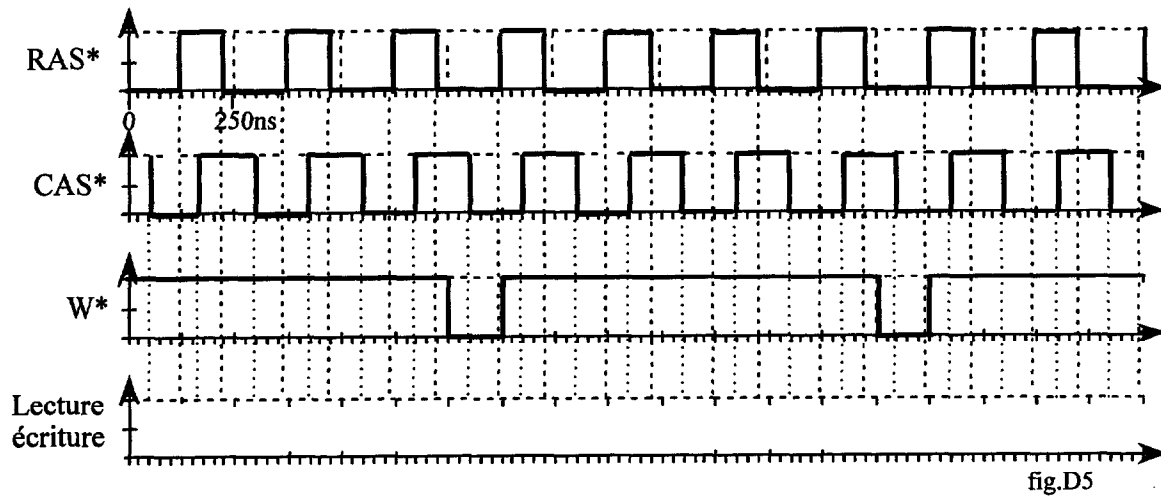
D2.1 – En consultant la documentation technique des composants UPD4164, situer la plage d'apparition des données fig.D2, et la plage de présentation des données fig.D3



D2.2 – Repérer sur les chronogrammes suivants ces différentes phases (lecture et écriture) et compléter à la verticale des fronts décisifs (voir fig.D4) en précisant « L » aux instants de lecture, et « E » pour l'écriture .



## STOCKAGE



D2.3 – Le rapport (nombre de lectures / nombre d'écritures ) pendant 1 micro seconde est-il compatible avec la juxtaposition horizontale de 2 trames ? Expliquez pourquoi.

.....

D2.4 – Décrivez en quelques lignes les principales caractéristiques des RAM dynamiques :

.....

## E ETUDE DE LA GENERATION DE MIRE **FS6-3**

La génération de la mire de barres se fait en mode test. L'étude porte sur l'analyse des fonctions logiques qui permettent l'obtention des signaux de mire. Cette étude est simplifiée à l'apparition de la mire en mode plein écran. Le schéma fonctionnel est donné sur la page DP12. Le schéma structurel de cette étude est le schéma du séquenceur (FP6), page DP13

On va vérifier que cette structure électronique permet d'obtenir à l'écran une mire de barres composée d'un dégradé de niveaux de gris.

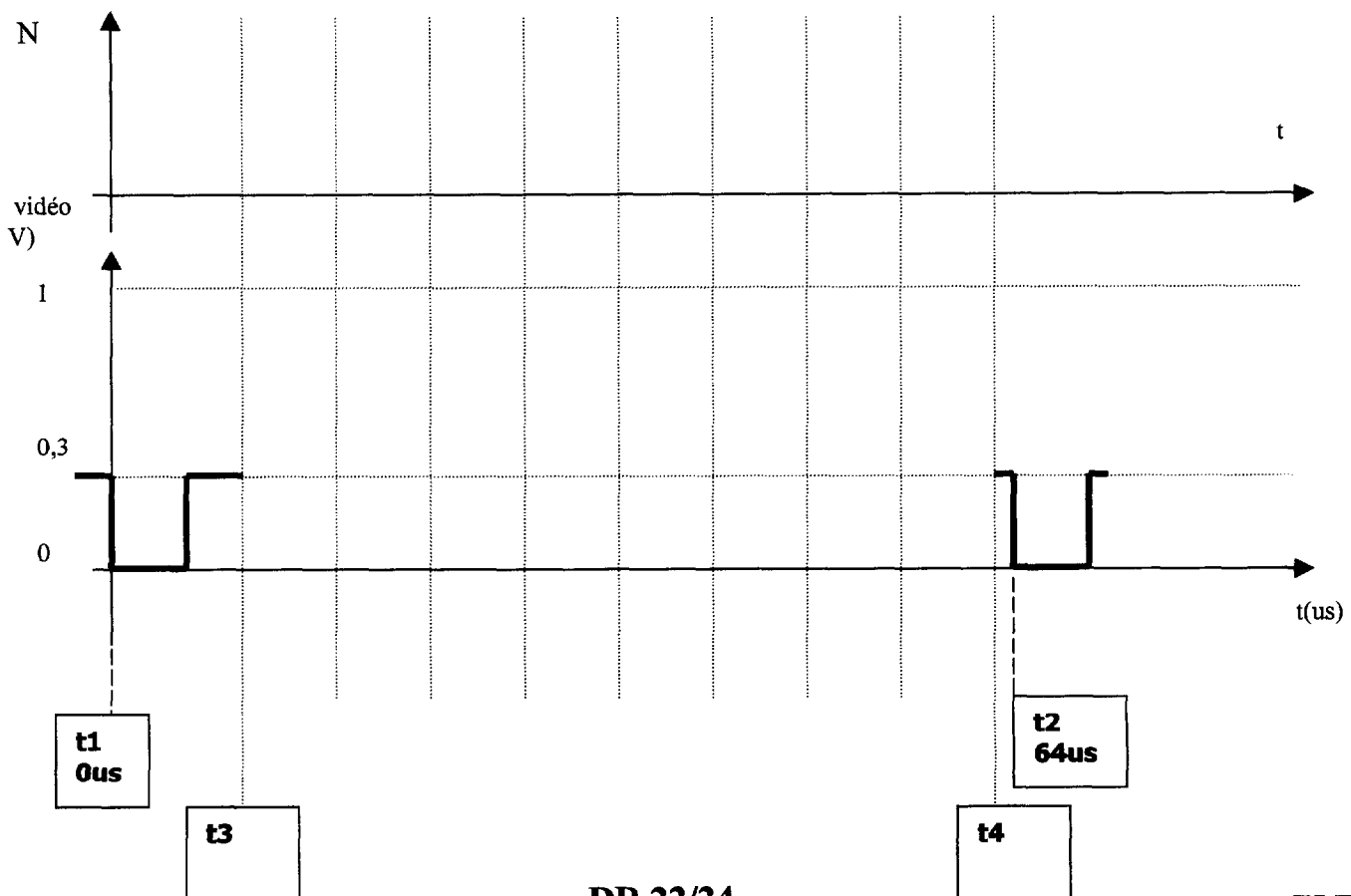
**E.1** Compléter les chronogrammes des signaux BAR0, BAR1, BAR2 (sorties de U43) de la page suivante (DR 23/24)

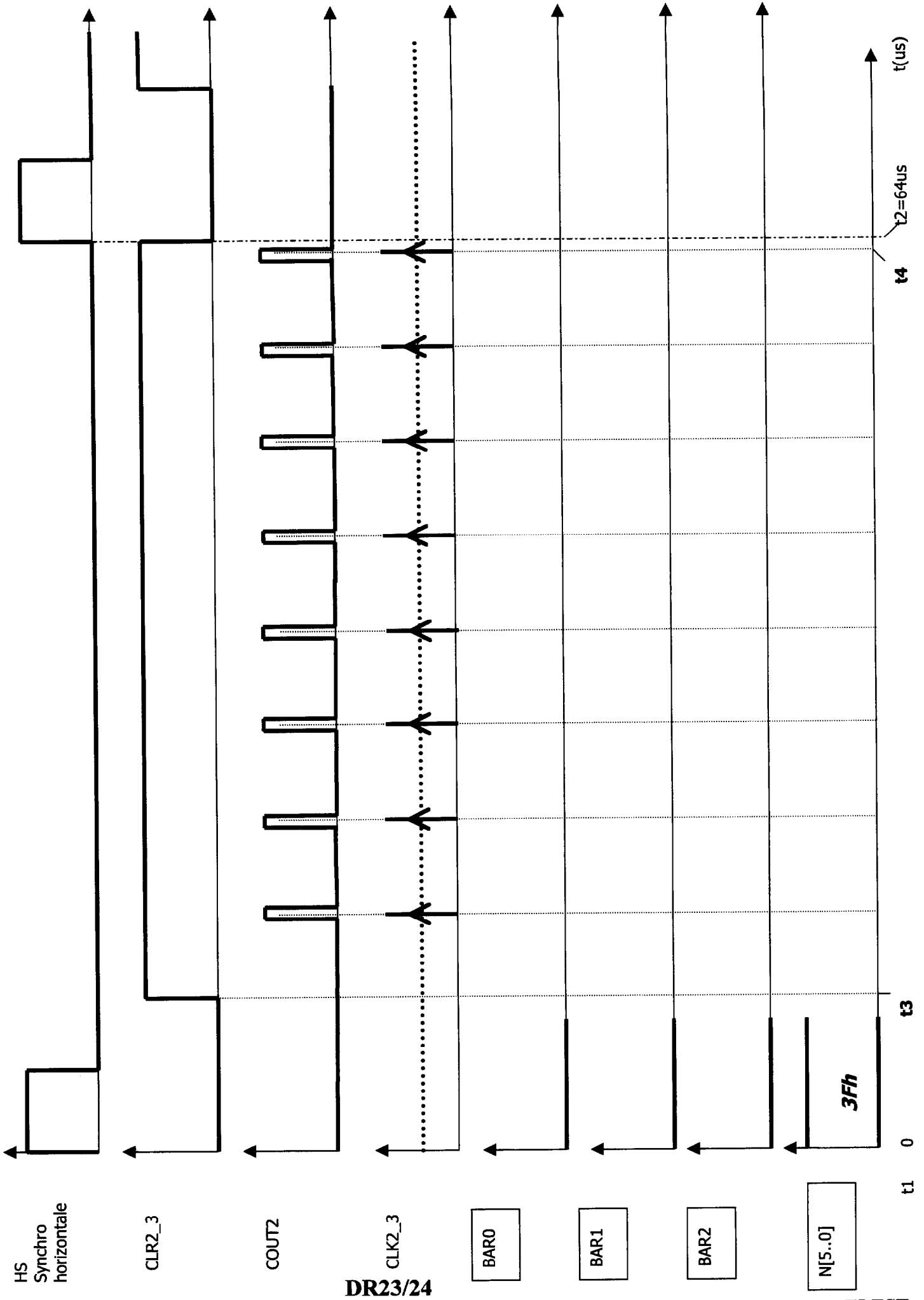
**E.2** Compléter les chronogrammes du bus N[5..0], de la page suivante, formé par N5, N4, N3, N2, N1, N0. (exprimer la valeur en hexadécimal). La documentation technique donnée est celle du 74HCT240.

**E.3** Le signal numérique N est envoyé vers un convertisseur numérique/ analogique et adapté en tension avant la sortie du signal vidéo

Déterminer l'allure du signal vidéo « svidéo » lorsqu'on applique sur le convertisseur N/A les valeurs numériques données, à partir du temps t3 jusqu'au temps t4; sachant que la sortie vidéo a l'équation suivante pour la partie du signal concernée

$$s_{\text{vidéo}} = \frac{N \cdot 0,7}{63} + 0,3$$





DR23/24

ELEST

**E.4** Dessiner ci-dessous (sur la *figure 1*) l'image vue à l'écran en mode test en fonction des résultats trouvés en E.3. La partie utile du signal commence à partir du temps t3 et s'arrête au temps t4.

<i>Svidéo (V)</i>	<i>Appellation des niveaux de gris</i>
0,3	Noir
0,4	Gris très Foncé
0,5	Gris Foncé
0,6	Gris Peu Foncé
0,7	Gris Moyen
0,8	Gris Clair
0,9	Gris Très Clair
1	Blanc

La représentation des différents niveaux de gris se fait en indiquant des initiales de la manière suivante :

Noir : N  
 Gris Très Foncé : GTF  
 Gris Foncé : GF  
 Gris Peu Foncé : GPF  
 Gris Moyen : GM  
 Gris Clair : GC  
 Gris Très Clair : GTC  
 Blanc : B

*Figure 1*

