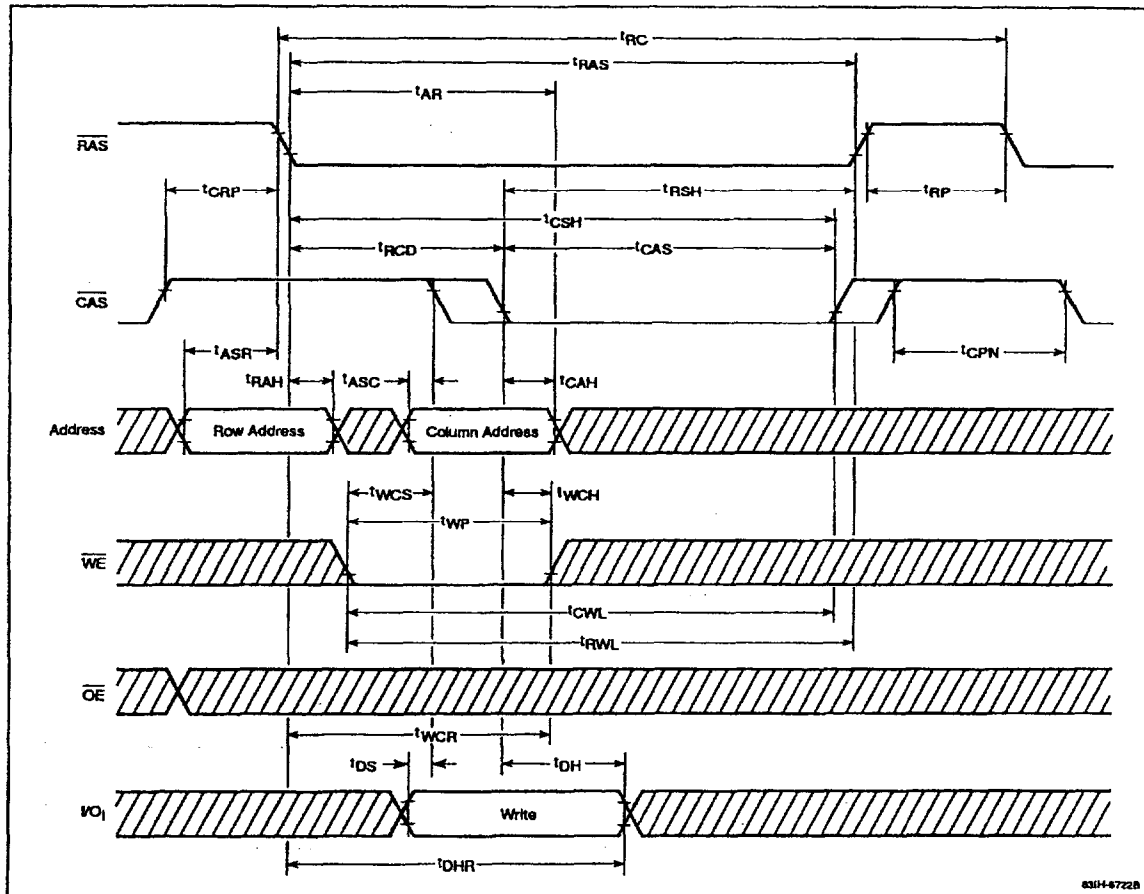


## Timing Waveforms (cont)

### Early Write Cycle

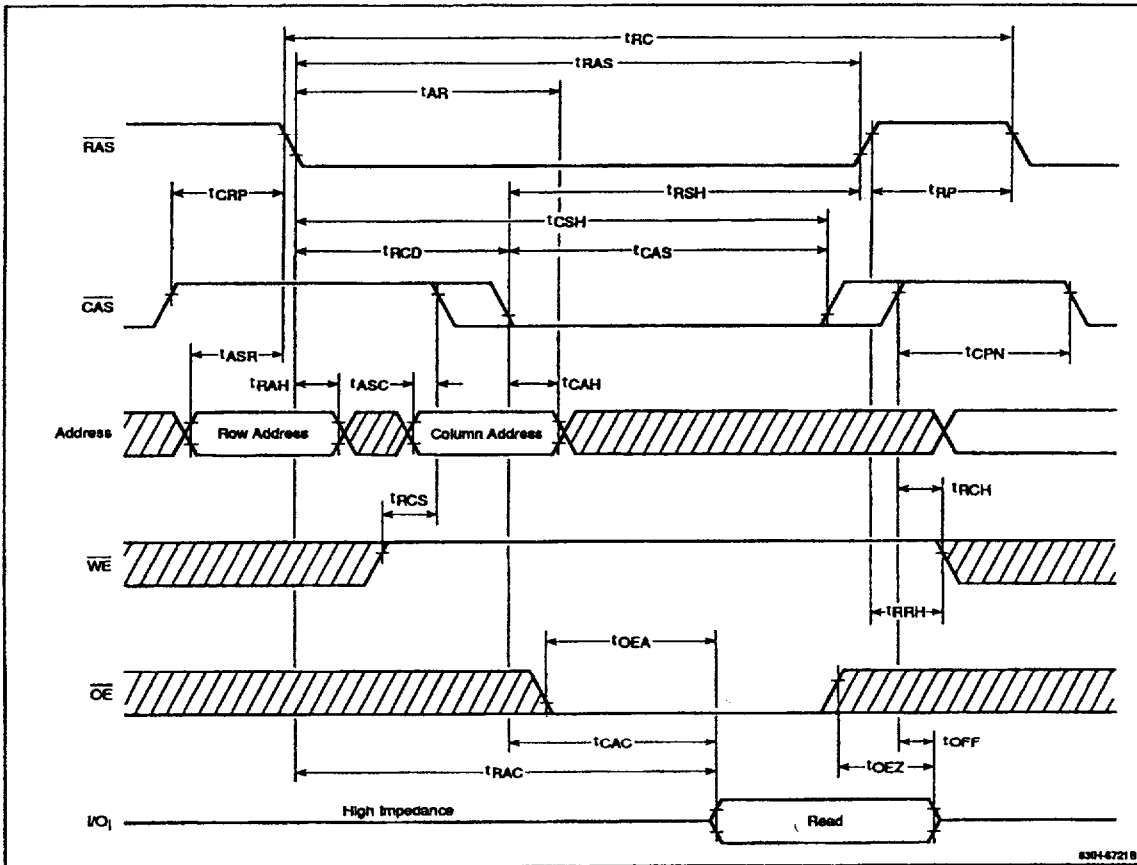


3b

3B-7

Timing Waveforms

Read Cycle



3B-6

Printed from [www.freetradezone.com](http://www.freetradezone.com), a service of Partminer, Inc.  
This Material Copyrighted By Its Respective Manufacturer

### Features

- 'HC161, 'HCT161 4-Bit Binary Counter, Asynchronous Reset
- 'HC163, 'HCT163 4-Bit Binary Counter, Synchronous Reset
- Synchronous Counting and Loading
- Two Count Enable Inputs for n-Bit Cascading
- Look-Ahead Carry for High-Speed Counting
- Fanout (Over Temperature Range)
  - Standard Outputs . . . . . 10 LSTTL Loads
  - Bus Driver Outputs . . . . . 15 LSTTL Loads
- Wide Operating Temperature Range . . . -55°C to 125°C
- Balanced Propagation Delay and Transition Times
- Significant Power Reduction Compared to LSTTL Logic ICs
- HC Types
  - 2V to 6V Operation
  - High Noise Immunity:  $N_{IL} = 30\%$ ,  $N_{IH} = 30\%$  of  $V_{CC}$  at  $V_{CC} = 5V$
- HCT Types
  - 4.5V to 5.5V Operation
  - Direct LSTTL Input Logic Compatibility,  $V_{IL} = 0.8V$  (Max),  $V_{IH} = 2V$  (Min)
  - CMOS Input Compatibility,  $I_I \leq 1\mu A$  at  $V_{OL}$ ,  $V_{OH}$

### Description

The 'HC161, 'HCT161, 'HC163, and 'HCT163 are presettable synchronous counters that feature look-ahead carry logic for use in high-speed counting applications. The 'HC161 and 'HCT161 are asynchronous reset decade and binary counters, respectively; the 'HC163 and 'HCT163 devices are decade and binary counters, respectively, that are reset synchronously with the clock. Counting and parallel presetting are both accomplished synchronously with the negative-to-positive transition of the clock.

A low level on the synchronous parallel enable input, SPE, disables counting operation and allows data at the P0 to P3 inputs to be loaded into the counter (provided that the setup and hold requirements for SPE are met).

All counters are reset with a low level on the Master Reset input, MR. In the 'HC163 and 'HCT163 counters (synchronous reset types), the requirements for setup and hold time with respect to the clock must be met.

Two count enables, PE and TE, in each counter are provided for n-bit cascading. In all counters reset action occurs regardless of the level of the SPE, PE and TE inputs (and the clock input, CP, in the 'HC161 and 'HCT161 types).

If a decade counter is preset to an illegal state or assumes an illegal state when power is applied, it will return to the normal sequence in one count as shown in state diagram.

The look-ahead carry feature simplifies serial cascading of the counters. Both count enable inputs (PE and TE) must be high to count. The TE input is gated with the Q outputs of all four stages so that at the maximum count the terminal count (TC) output goes high for one clock period. This TC pulse is used to enable the next cascaded stage.

### Ordering Information

PART NUMBER	TEMP. RANGE (°C)	PACKAGE
CD54HC161F	-55 to 125	16 Ld CERDIP
CD54HC161F3A	-55 to 125	16 Ld CERDIP
CD74HC161E	-55 to 125	16 Ld PDIP
CD74HC161M	-55 to 125	16 Ld SOIC
CD54HCT161F3A	-55 to 125	16 Ld CERDIP
CD74HCT161E	-55 to 125	16 Ld PDIP
CD74HCT161M	-55 to 125	16 Ld SOIC
CD54HC163F3A	-55 to 125	16 Ld CERDIP
CD74HC163E	-55 to 125	16 Ld PDIP
CD74HC163M	-55 to 125	16 Ld SOIC
CD54HCT163F	-55 to 125	16 Ld CERDIP
CD54HCT163F3A	-55 to 125	16 Ld CERDIP
CD74HCT163E	-55 to 125	16 Ld PDIP
CD74HCT163M	-55 to 125	16 Ld SOIC

#### NOTES:

1. When ordering, use the entire part number. Add the suffix 96 to obtain the variant in the tape and reel.
2. Wafer and die for this part number is available which meets all electrical specifications. Please contact your local TI sales office or customer service for ordering information.

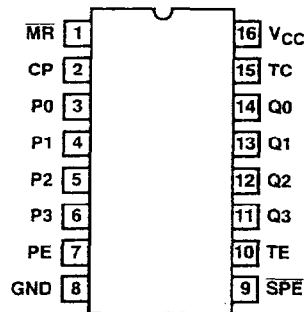
**CD54/74HC161, CD54/74HCT161, CD54/74HC163, CD54/74HCT163**

**Pinout**

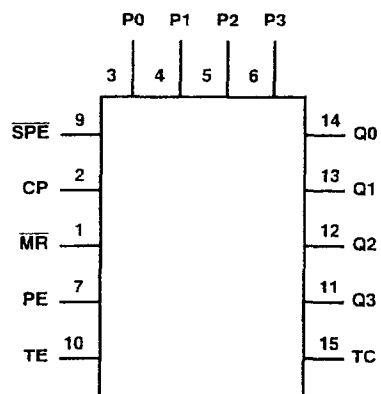
CD54HC161, CD54HCT161, CD54HC163, CD54HCT163  
(CERDIP)

CD74HC161, CD74HCT161, CD74HC163, CD74HCT163  
(PDIP, SOIC)

TOP VIEW



**Functional Diagram**



**CD54/74HC161, CD54/74HCT161, CD54/74HC163, CD54/74HCT163**

**MODE SELECT - FUNCTION TABLE FOR 'HC161 AND 'HCT161**

OPERATING MODE	INPUTS						OUTPUTS	
	$\overline{MR}$	CP	PE	TE	$\overline{SPE}$	$P_n$	$Q_n$	TC
Reset (Clear)	L	X	X	X	X	X	L	L
Parallel Load	H	↑	X	X	l	l	L	L
	H	↑	X	X	l	h	H	(Note 3)
Count	H	↑	h	h	h (Note 5)	X	Count	(Note 3)
Inhibit	H	X	l (Note 4)	X	h (Note 5)	X	$q_n$	(Note 3)
	H	X	X	l (Note 4)	h (Note 5)	X	$q_n$	L

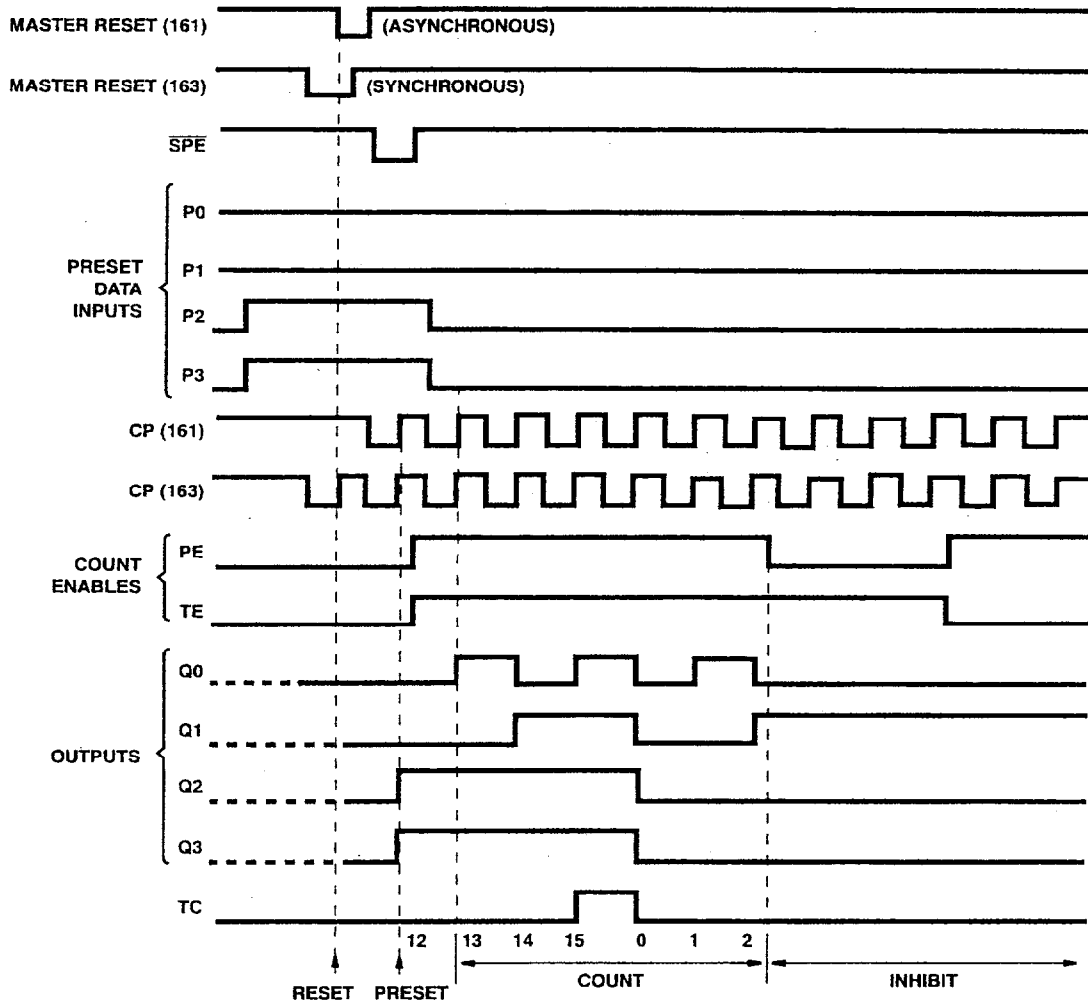
**MODE SELECT - FUNCTION TABLE FOR 'HC163 AND 'HCT163**

OPERATING MODE	INPUTS						OUTPUTS	
	$\overline{MR}$	CP	PE	TE	$\overline{SPE}$	$P_n$	$Q_n$	TC
Reset (Clear)	l	↑	X	X	X	X	L	L
Parallel Load	h (Note 5)	↑	X	X	l	l	L	L
	h (Note 5)	↑	X	X	l	h	H	(Note 3)
Count	h (Note 5)	↑	h	h	h (Note 5)	X	Count	(Note 3)
Inhibit	h (Note 5)	X	l (Note 4)	X	h (Note 5)	X	$q_n$	(Note 3)
	h (Note 5)	X	X	l (Note 4)	h (Note 5)	X	$q_n$	L

NOTE: H = High voltage level steady state; L = Low voltage level steady state; h = High voltage level one setup time prior to the Low-to-High clock transition; l = Low voltage level one setup time prior to the Low-to-High clock transition; X = Don't Care; q = Lower case letters indicate the state of the referenced output prior to the Low-to-High clock transition; ↑ = Low-to-High clock transition.

- The TC output is High when TE is High and the counter is at Terminal Count (HHHH for HC/HCT161 and 'HC/HCT163).
- The High-to-Low transition of PE or TE on the 'HC/HCT161 and the 'HC/HCT163 should only occur while CP is HIGH for conventional operation.
- The Low-to-High transition of  $\overline{SPE}$  on the 'HC/HCT161 and  $\overline{SPE}$  or  $\overline{MR}$  on the 'HC/HCT163 should only occur while CP is HIGH for conventional operation.

**Timing Diagram**



Sequence illustrated on waveforms:

1. Reset outputs to zero.
2. Preset to binary twelve.
3. Count to thirteen, fourteen, fifteen, zero, one, and two.
4. Inhibit.

# CD54/74HC240, CD54/74HCT240, CD74HC241, CD54/74HCT241, CD54/74HC244, CD54/74HCT244

## High Speed CMOS Logic Octal Buffer/Line Drivers, Three-State

### Features

- HC/HCT240 Inverting
- HC/HCT241 Non-Inverting
- HC/HCT244 Non-Inverting
- Typical Propagation Delay = 8ns at  $V_{CC} = 5V$ ,  $C_L = 15pF$ ,  $T_A = 25^\circ C$  for HC240
- Three-State Outputs
- Buffered Inputs
- High-Current Bus Driver Outputs
- Fanout (Over Temperature Range)
  - Standard Outputs ..... 10 LSTTL Loads
  - Bus Driver Outputs ..... 15 LSTTL Loads
- Wide Operating Temperature Range ...  $-55^\circ C$  to  $125^\circ C$
- Balanced Propagation Delay and Transition Times
- Significant Power Reduction Compared to LSTTL Logic ICs
- HC Types
  - 2V to 6V Operation
  - High Noise Immunity:  $N_{IL} = 30\%$ ,  $N_{IH} = 30\%$  of  $V_{CC}$  at  $V_{CC} = 5V$
- HCT Types
  - 4.5V to 5.5V Operation
  - Direct LSTTL Input Logic Compatibility,  $V_{IL} = 0.8V$  (Max),  $V_{IH} = 2V$  (Min)
  - CMOS Input Compatibility,  $I_I \leq 1\mu A$  at  $V_{OL}$ ,  $V_{OH}$

### Description

The 'HC240 and 'HCT240 are inverting three-state buffers having two active-low output enables. The CD74HC241, 'HCT241, 'HC244 and 'HCT244 are non-inverting three-state buffers that differ only in that the 241 has one active-high and one active-low output enable, and the 244 has two active-low output enables. All three types have identical pinouts.

### Ordering Information

PART NUMBER	TEMP. RANGE (°C)	PACKAGE
CD54HC240F3A	-55 to 125	20 Ld CERDIP
CD74HC240E	-55 to 125	20 Ld PDIP
CD74HC240M	-55 to 125	20 Ld SOIC
CD54HCT240F3A	-55 to 125	20 Ld CERDIP
CD74HCT240E	-55 to 125	20 Ld PDIP
CD74HCT240M	-55 to 125	20 Ld SOIC
CD74HC241E	-55 to 125	20 Ld PDIP
CD54HCT241F3A	-55 to 125	20 Ld CERDIP
CD74HCT241E	-55 to 125	20 Ld PDIP
CD74HCT241M	-55 to 125	20 Ld SOIC
CD54HC244F	-55 to 125	20 Ld CERDIP
CD54HC244F3A	-55 to 125	20 Ld CERDIP
CD74HC244E	-55 to 125	20 Ld PDIP
CD74HC244M	-55 to 125	20 Ld SOIC
CD54HCT244F	-55 to 125	20 Ld CERDIP
CD54HCT244F3A	-55 to 125	20 Ld CERDIP
CD74HCT244E	-55 to 125	20 Ld PDIP
CD74HCT244M	-55 to 125	20 Ld SOIC

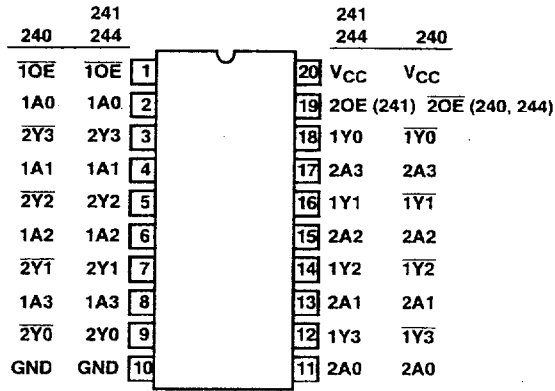
### NOTES:

1. When ordering, use the entire part number. Add the suffix 96 to obtain the variant in the tape and reel.
2. Wafer and die for this part number is available which meets all electrical specifications. Please contact your local TI sales office or customer service for ordering information.

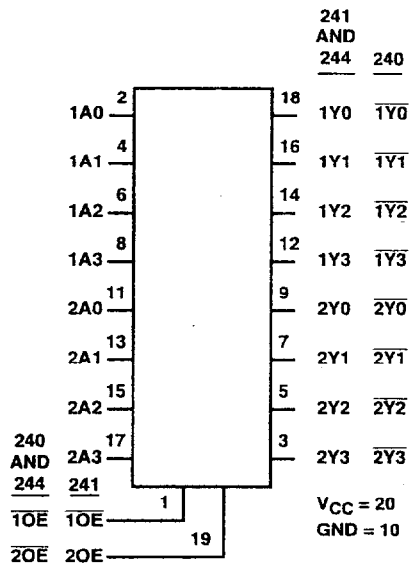
CD54/74HC240, CD54/74HCT240, CD74HC241, CD54/74HCT241, CD54/74HC244, CD54/74HCT244

**Pinout**

CD54HC240, CD54HCT240, CD54HCT241,  
 CD54HC244, CD54HCT244  
 (CERDIP)  
 CD74HC240, CD74HCT240, CD74HC241, CD74HCT241,  
 CD74HC244, CD74HCT244  
 (PDIP, SOIC)  
 TOP VIEW



**Functional Diagram**





# **B.T.S ÉLECTRONIQUE**

**SESSION 2002**

**ÉTUDE D'UN SYSTÈME TECHNIQUE**

**SYSTÈME DE QUADRIVISION**

**DOSSIER DE PRÉSENTATION**

Ce dossier comporte 7 pages

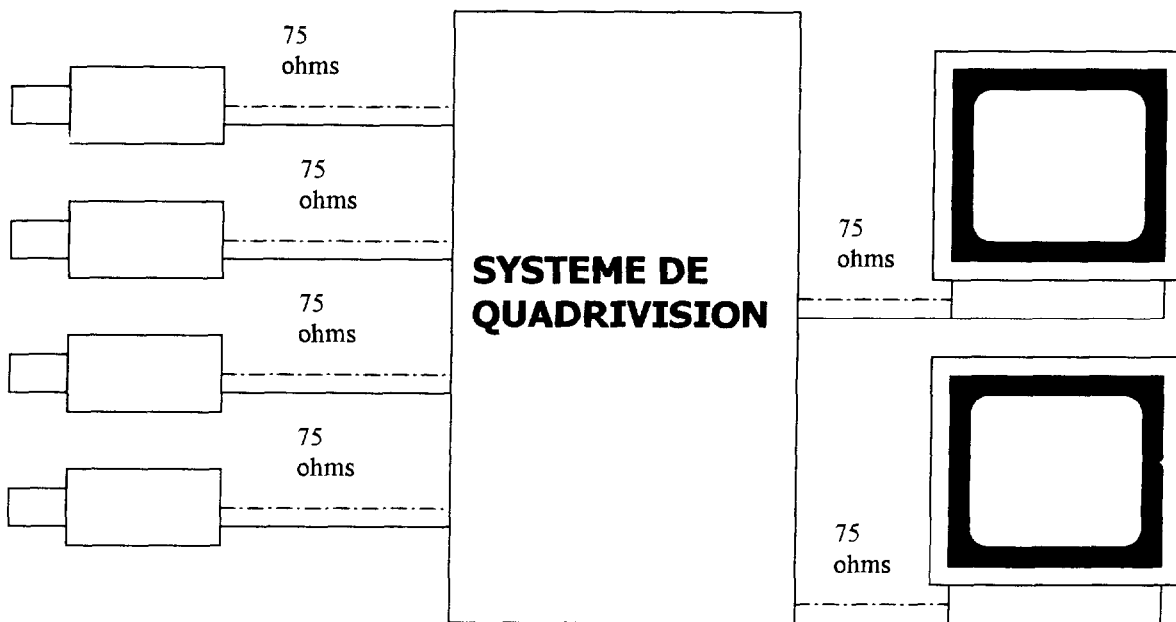
**DP1**

**ELEST**

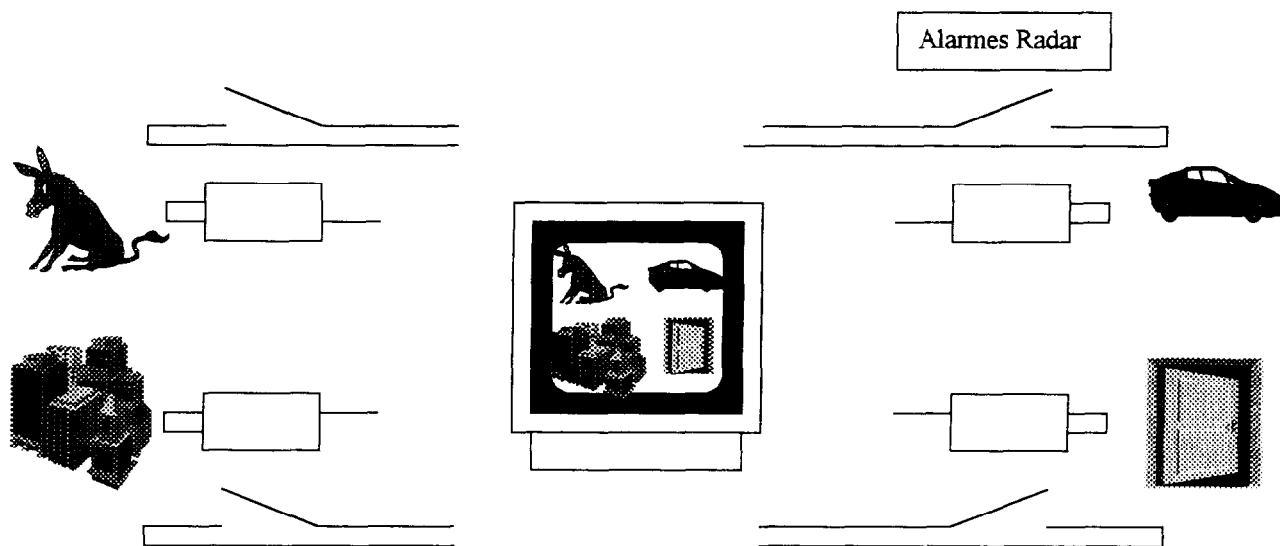
Le système étudié est un compresseur de signaux vidéo qui permet de restituer 4 images sur le même écran.

Par digitalisation des images vidéo, il assure les fonctions suivantes :

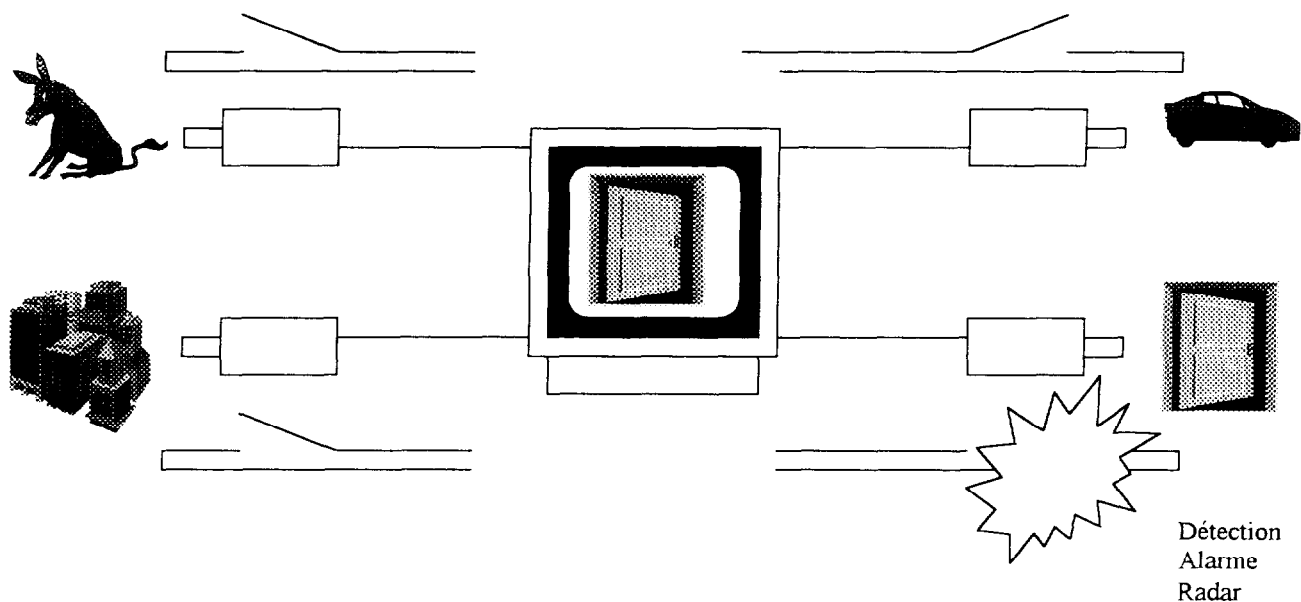
- affichage simultané de 4 images (au lieu d'un affichage séquentiel comme sur un sélecteur classique)
- en cas de rupture de signal vidéo, il mémorise l'image reçue
- il possède 4 entrées d'alarme (1 par canal) : lorsqu'une caméra est sollicitée, l'image s'affiche automatiquement en grand sur l'écran.
- il possède également 2 sorties, l'une pour 4 images de contrôle constantes, l'autre pour 4 images ou une alarme.



1<sup>ère</sup> situation : affichage simultané de 4 images



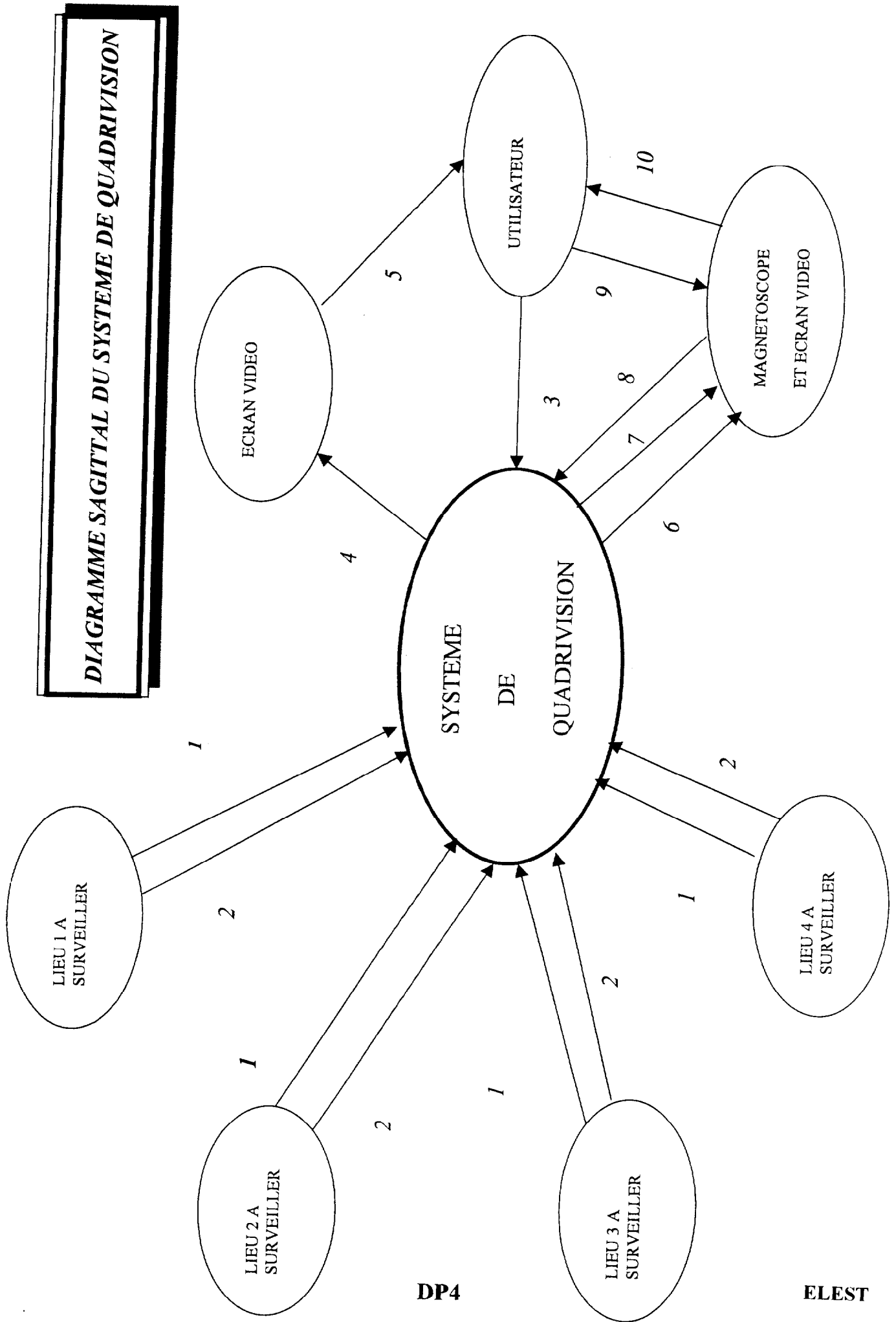
2<sup>ème</sup> situation : lors de la détection d'une alarme radar, l'image s'affiche automatiquement en grand sur l'écran



DP3

ELEST

**DIAGRAMME SAGITTAL DU SYSTEME DE QUADRIVISION**



DP4

ELEST

# ***SYSTEME DE QUADRIVISION***

## **Liaisons du diagramme sagittal :**

*1 alarme radar* : contact sec d'un radar ; un radar a détecté une présence dans un lieu, cela permet au système de placer automatiquement ce lieu en surveillance image

*2 signal vidéo issu d'une caméra* : les caméras envoient le signal vidéo composite vers le système de quadrivision

*3 paramètres* : l'utilisateur peut choisir la configuration du système et intervenir manuellement sur son image écran. Il peut aussi régler la luminosité

*4 signal de visualisation de 4 images* : 4 images soit envoyées en mosaïque vers un écran.

*5 image mosaïque* : image en mosaïque, issue des 4 caméras, vue par l'utilisateur

*6 alarmes* : si un radar détecte une présence, le système de quadrivision va automatiquement enregistrer une séquence de quelques minutes en prenant une image toutes les 10 secondes, par exemple, sur un magnétoscope.

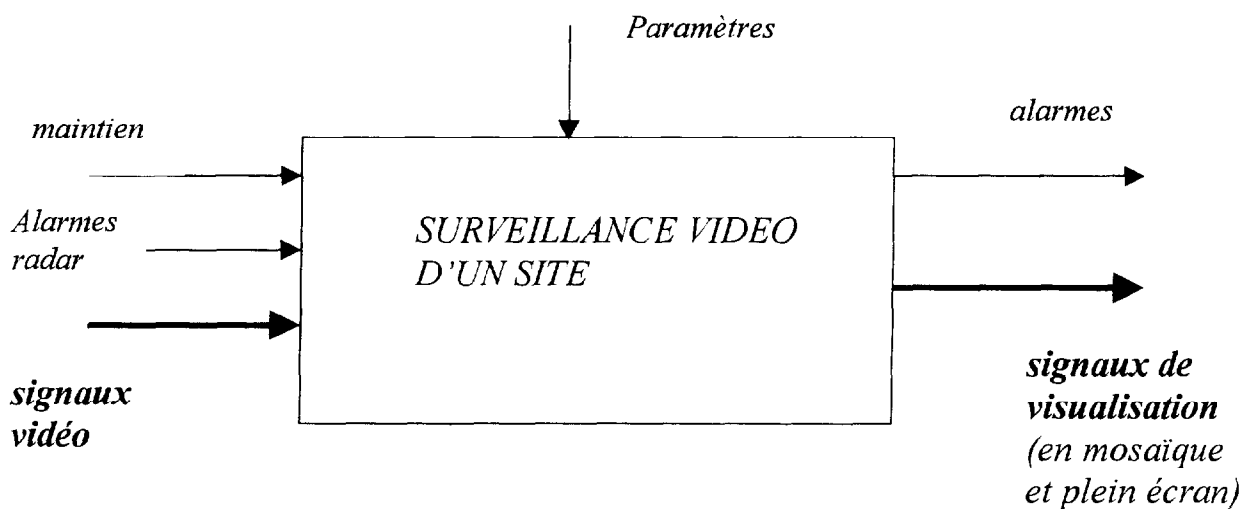
*7 signal de visualisation* : une image sur 4 est envoyée sur l'écran, soit au choix de l'utilisateur, soit commutée automatiquement par les radars.

*8 maintien* : information renvoyée par le magnétoscope qui permet de conserver l'image quelques secondes à l'écran

*9 réglages* : interventions de configuration du magnétoscope

*10 image* : image envoyée par l'intermédiaire du magnétoscope

## **Schéma fonctionnel de niveau II**

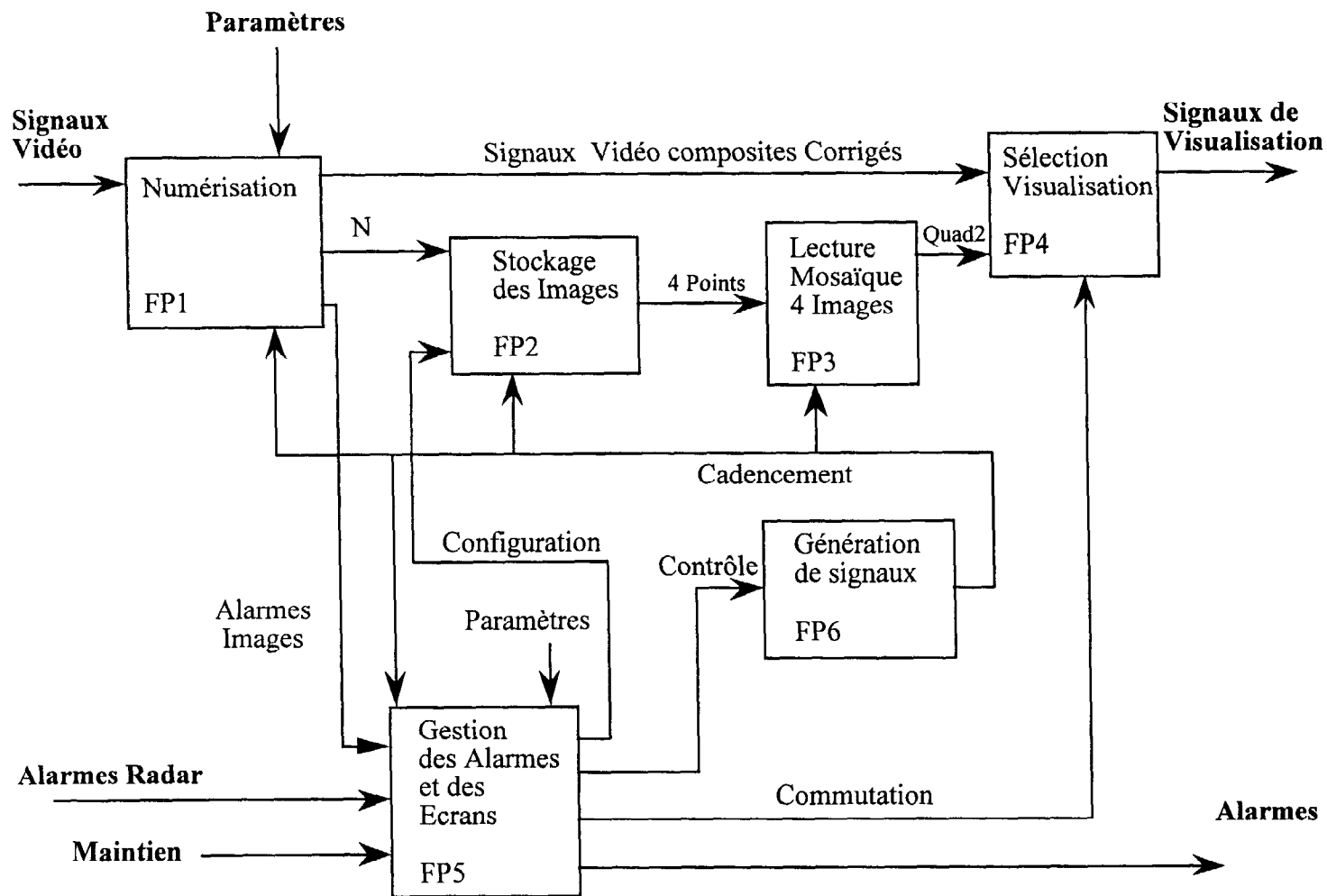


## **Fonction :**

Le système de quadrivision étudié est un système de vidéosurveillance de lieux ; c'est en réalité un des éléments d'un système de surveillance et d'alarme.

Il permet l'affichage de 4 images sur un même écran, puis lorsqu'une alarme radar est détectée, on passe en mode d'affichage unique sur l'écran et le système enregistre une séquence de quelques minutes sur un magnétoscope.

# SCHÉMA FONCTIONNEL DE PREMIER DEGRÉ



DP 6

ELEST

# **DESCRIPTION DES FONCTIONS PRINCIPALES**

## **DU SCHEMA FONCTIONNEL DE DEGRE 1**

### **FP1 : NUMERISATION**

Après le réglage de la luminosité, elle numérise successivement les 4 signaux vidéo. Une détection de présence image permet de vérifier la présence active des caméras.

### **FP2 : STOCKAGE DES IMAGES**

Elle mémorise 4 images.

### **FP3 : LECTURE MOSAIQUE 4 IMAGES**

Afin de créer une image mosaïque, elle restitue un signal vidéo constitué des enregistrements précédents.

### **FP4 : SELECTION VISUALISATION**

Elle permet de sélectionner le signal de l'image mosaïque ou le signal d'une des 4 images en plein écran.

### **FP5 : GESTION DES ALARMES ET DES ECRANS**

Elle permet :

- de déclencher une alarme en cas de disparition d'un des signaux vidéo et de maintenir la dernière image avant alarme à l'écran
- de déclencher une séquence d'enregistrement au magnétoscope lorsqu'un radar détecte une présence.

### **FP6 : GENERATION DES SIGNAUX**

Elle permet de cadencer les différentes fonctions (échantillonnages, stockage, lecture, alarme, test...)

## **CONSEILS DE PREPARATION :**

Les domaines suivants seront abordés pendant les deux épreuves :

- caractéristiques essentielles du signal vidéo composite noir et blanc
- les caméras CCD
- langage VHDL
- Tests industriels des cartes électroniques