

BEP METIERS DE L'ELECTRONIQUE

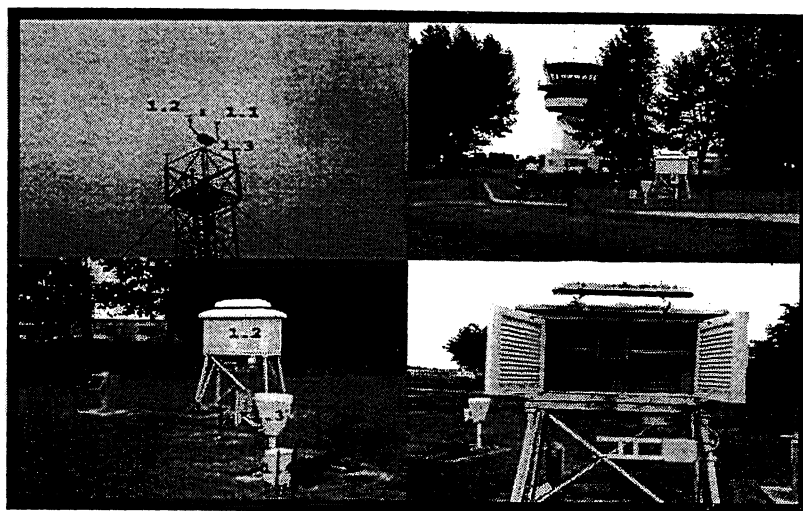
EPREUVE EP1 « Réalisation et expérimentation à partir d'un objet technique »

1^{ère} PARTIE

SESSION 2003 – Candidats - Epreuve ponctuelle –

« Station météo déportée »

CORRIGE



BEP METIERS DE L'ELECTRONIQUE		Code examen 5125508	Session 2003	
CORRIGE	EP1 Candidats Epreuve ponctuelle	Durée :3 heures	Coefficient : 3	Page 1 / 17

QUESTIONNAIRE

L'étude suivante portera sur l'étude de la génération des signaux commandant l'acquisition des données, la détermination de la vitesse du vent, ainsi que la synchronisation de la transmission série des données.

PARTIE A : Etude de FP8 : Génération des signaux de commande :

Lors de l'étude de cette fonction, le cavalier sera placé en position 31ms, pour faciliter le tracé des chronogrammes.

Q1- Délimiter, sur le document réponse 1, les fonctions secondaires contribuant à remplir la fonction.

REPONSE : Voir document réponse 1.

Q2- Déterminer le rôle de R5.

REPONSE : R5 permet de limiter le courant dans le quartz pour avoir une oscillation correcte et régulière.

Q3- Déterminer la fréquence présente sur les sorties HCP et 31ms à l'aide du dossier technique. Sachant que le signal présent sur la sortie 13 du composant U1 est de 2Hz, déterminer la fréquence du signal 8s à partir de la documentation constructeur du 74HC4040. Justifier votre réponse.

REPONSE : $F_{HCP}=1024 \text{ Hz}$

$F_{31ms} = 32 \text{ Hz}$

Sur la sortie 13 de U1, on a un signal de : $32765/2^{14} = 2\text{Hz}$. Le circuit U2 est un compteur fonctionnant en diviseur par 2. Comme le signal 8s se trouve sur la 4^{ème} sortie ; alors, sa fréquence est de $2/2^4 = 0,125\text{Hz}$.

Q4- Quelle est la fonction réalisée par le circuit 74HC04 (U3:D et U3:A).

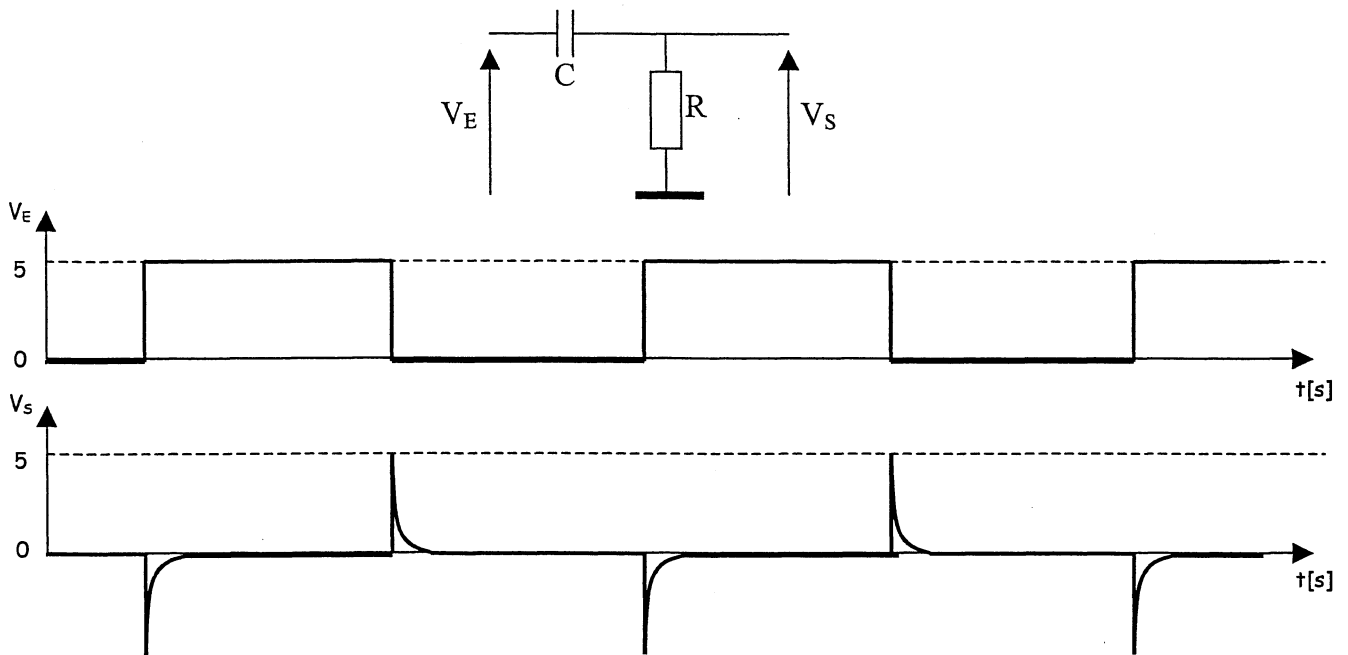
REPONSE : Le circuit 74HC04 est un inverseur.

Q5- Tracer, sur le document réponse 2, les chronogrammes de ST1 et ST2.

REPONSE : Voir document réponse 2.

BEP METIERS DE L'ELECTRONIQUE		Code examen 5125508	Session 2003	
CORRIGE	EPI Candidats Epreuve ponctuelle	Durée : 3 heures	Coefficient : 3	Page 27 17

Q6- Déterminer le rôle de la structure R,C suivante.



REPONSE : La structure R,C permet de générer des impulsions positives et négatives centrées sur 0V lors des fronts montants et descendants de V_E .

Q7- Déterminer le rôle des diodes associée au montage précédent.

REPONSE : D_1 et D_3 permettent l'écrêtement du pic sur le front descendant pour éviter la destruction des composants $U3:D$ et $U3:E$.

Q8- Tracer, sur le document réponse 2, les signaux en sortie de $U3:B$ et $U3:E$.

REPONSE : Voir document réponse 2.

Q9- Tracer, sur le document réponse 2, les signaux U_{DGIR} et U_{DANE} .

REPONSE : Voir document réponse 2.

Q10- Dédire des questions précédentes, le tracé de \overline{PL} sur le document réponse 2.

REPONSE : Voir document réponse 2.

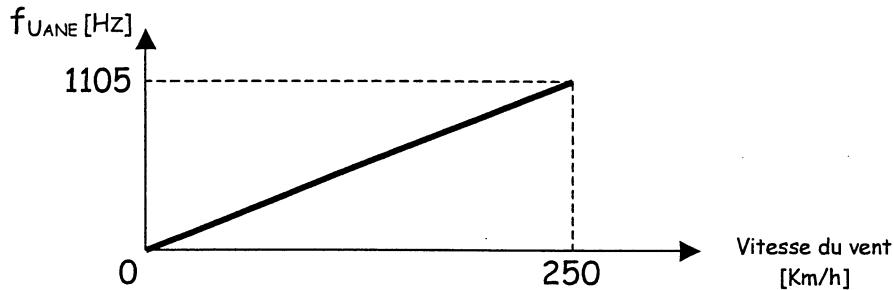
PARTIE B : Etude de FP5 : Conversion de la vitesse du vent en un octet :

Pour faciliter le tracé des chronogrammes, le système fonctionnera en mode 8s.

Q11- Délimiter, sur le document réponse 3, les fonctions secondaires contribuant à remplir la fonction.

REPONSE : Voir document réponse 3.

Q12- Déterminer la fréquence du signal U_{ANE} pour un vent de 100km/h.



REPONSE : Sachant que pour un vent de 250km/h, U_{ANE} a une fréquence de 1105Hz, alors pour un vent de 100km/h, on a :

$$f_{U_{ANE}} = (1105 \cdot 100) / 250$$

$$= 442 \text{ Hz}$$

Q13- Dédurre de la question précédente, la période du signal U_{ANE} .

REPONSE : $T_{U_{ANE}} = 1/442$
 $= 2,26 \text{ ms}$

La fonction secondaire FS53 permettant la création d'une fenêtre de comptage de 226ms ne sera pas traitée dans cette étude.

Q14- Donner le rôle de U7:D (4093) et exprimer l'équation logique de U_{MES} en fonction de U_{ANE} et U_{FNT} .

REPONSE : U7:D permet de laisser passer le signal U_{ANE} lorsque le signal U_{FNT} le permet.

$$U_{MES} = U_{FNT} \cdot U_{ANE}$$

Q15- Tracer, sur le document réponse 4, le signal U_{MES} en fonction de U_{ANE} et U_{FNT} .

REPONSE : Voir document réponse 4.

Sachant que la période de U_{ANE} est de 2,26ms et que la fenêtre de comptage dure 226ms ; alors il y aura environ 100 impulsions de comptées.

Q16- En déduire la valeur hexadécimale présente sur le bus NUMANE.

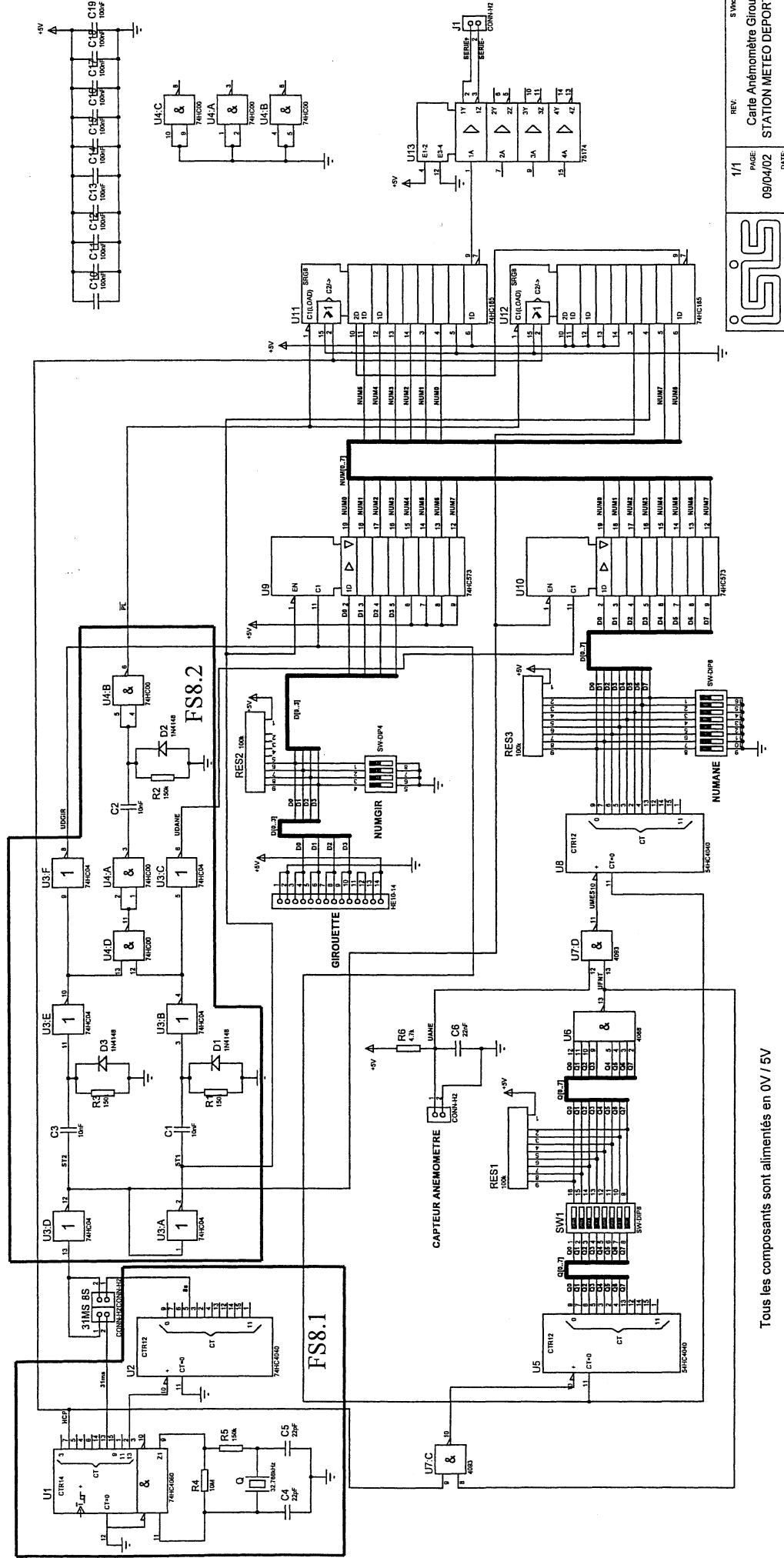
REPONSE : $(100)_{10} = (01100100)_2$
 $= (64)_{16}$

Q17- Compléter, sur le document réponse 4, le chronogramme de NUMANE en fonction de U_{MES} et U_{DGIR} .

REPONSE : Voir document réponse 4.

BEP METIERS DE L'ELECTRONIQUE		Code examen 5125508	Session 2003	
CORRIGE	EP1 Candidats Epreuve ponctuelle	Durée : 3 heures	Coefficient : 3	Page 5 /517

Document réponse 1



Logo of the station (SIS).

REV. S. V. 08/01/02

PAGE: 1/1

DATE: 09/04/02

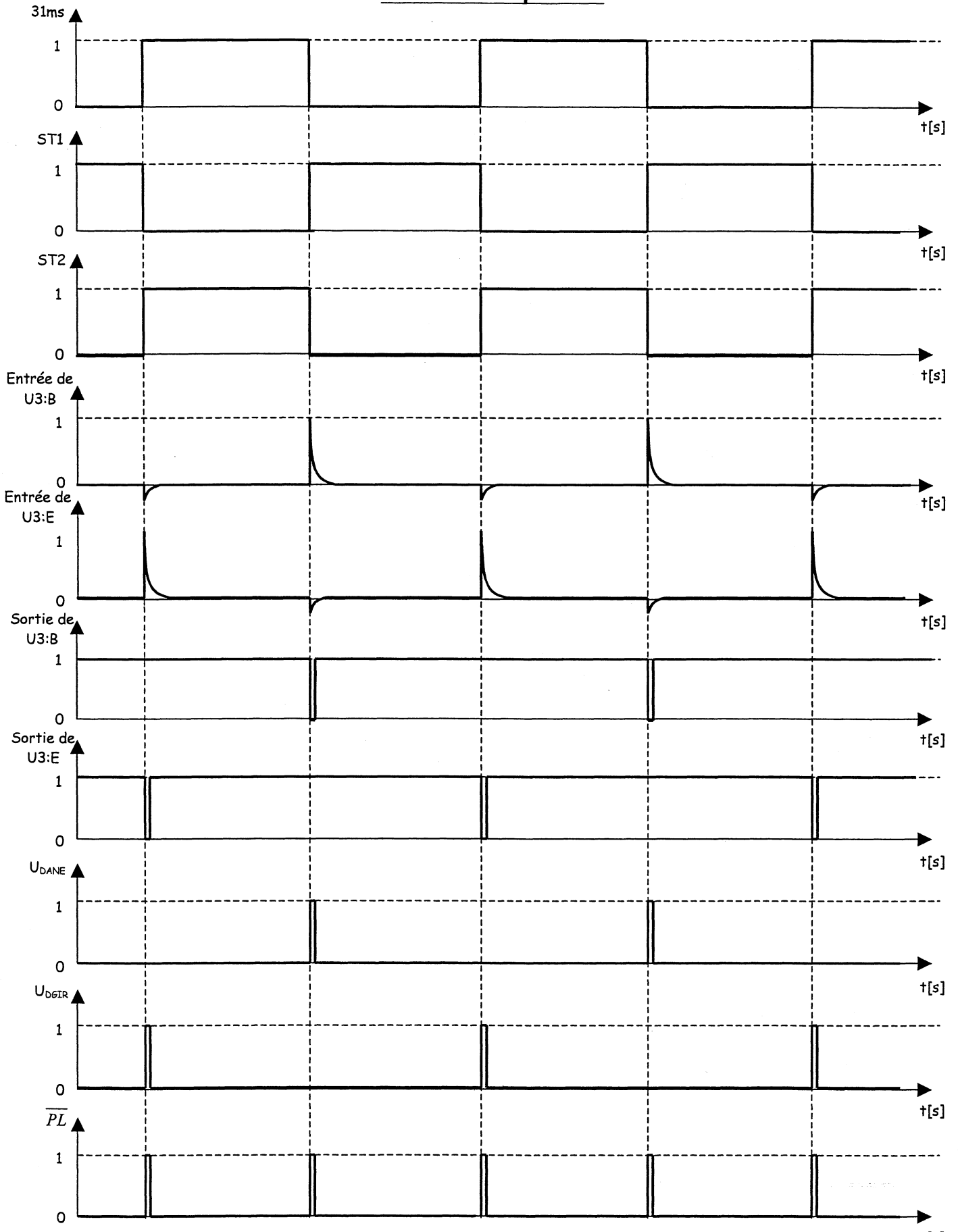
TITRE: Carte Anémomètre Girouette STATION METEO DEPORTEE

Tous les composants sont alimentés en 0V / 5V

6

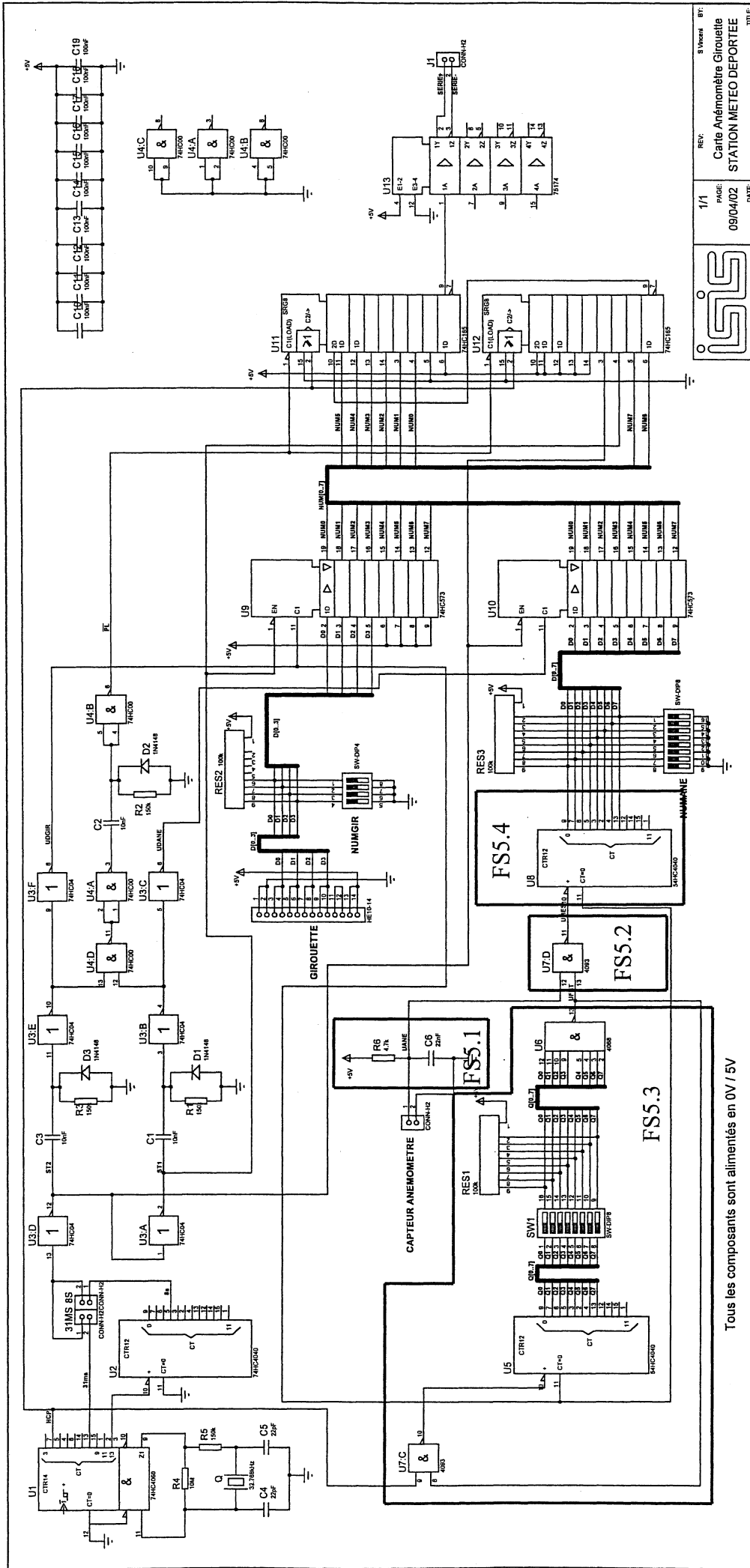
h

Document réponse 2




STATION METEO DEPORTEE

Document réponse 3

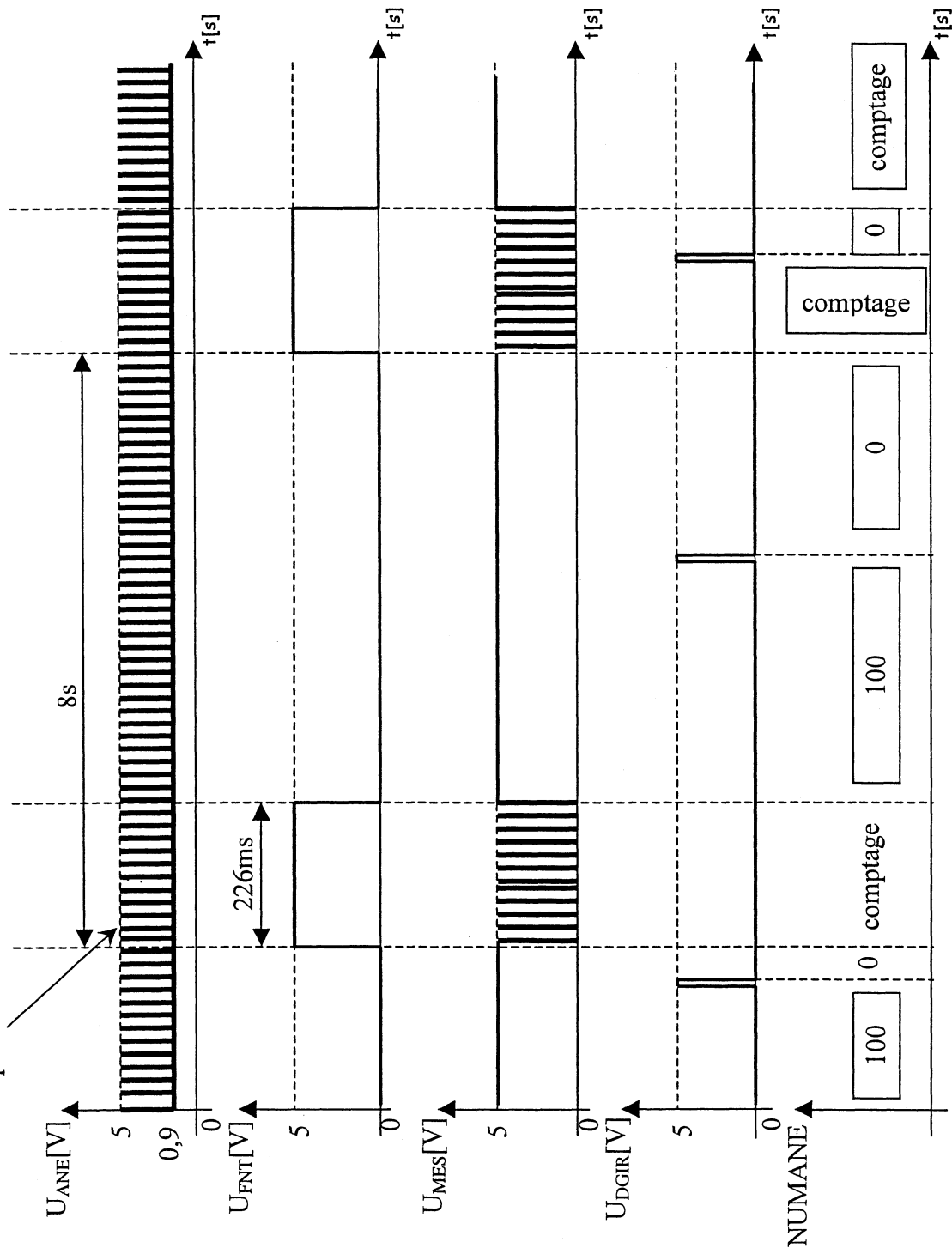


Tous les composants sont alimentés en 0V / 5V


 REV: 8 Version 8F:
 Carte Anémomètre Girouette
 STATION METEO DEPORTEE
 1/1 PAGE: 09/04/02
 DATE:

Document réponse 4

Le nombre d'impulsions représentées n'est pas indicatif



Sommaire des documentations constructeur :

74HC00	pages 11 à 12
74HC04	pages 13 à 14
4093	page 15
74HC4040	pages 16 à 17

Quad 2-input NAND gate

74HC/HCT00

FEATURES

- Output capability: standard
- I_{CC} category: SSI

GENERAL DESCRIPTION

The 74HC/HCT00 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LS TTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT00 provide the 2-input NAND function.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; t_r = t_f = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t _{PHL} /t _{PLH}	propagation delay nA, nB to nY	C _L = 15 pF; V _{CC} = 5 V	7	10	ns
C _I	input capacitance		3.5	3.5	pF
C _{PD}	power dissipation capacitance per gate	notes 1 and 2	22	22	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW):

$$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o)$$

where:

f_i = input frequency in MHz

f_o = output frequency in MHz

C_L = output load capacitance in pF

V_{CC} = supply voltage in V

∑ (C_L × V_{CC}² × f_o) = sum of outputs

2. For HC the condition is V_I = GND to V_{CC}

For HCT the condition is V_I = GND to V_{CC} - 1.5 V

ORDERING INFORMATION

See "74HC/HCT/HCU/HCMOS Logic Package Information".

Quad 2-input NAND gate

74HC/HCT00

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 4, 9, 12	1A to 4A	data inputs
2, 5, 10, 13	1B to 4B	data inputs
3, 6, 8, 11	1Y to 4Y	data outputs
7	GND	ground (0 V)
14	V _{cc}	positive supply voltage

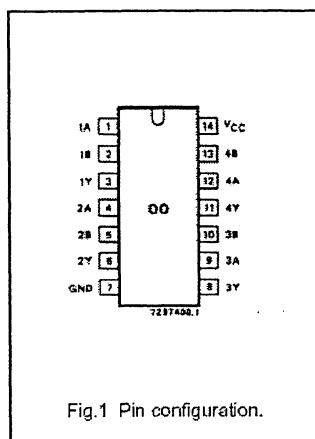


Fig.1 Pin configuration.

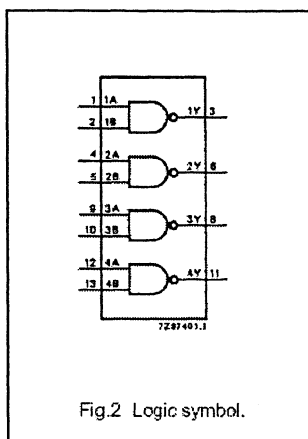


Fig.2 Logic symbol.

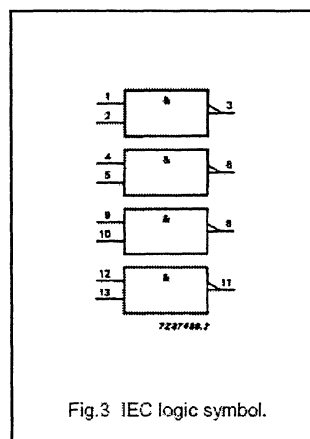


Fig.3 IEC logic symbol.

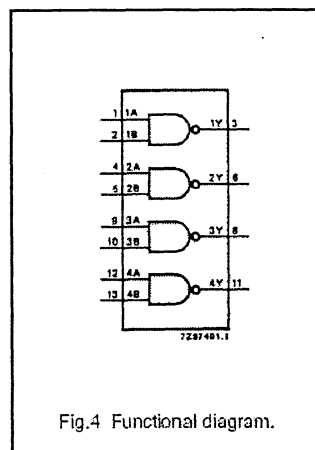


Fig.4 Functional diagram.

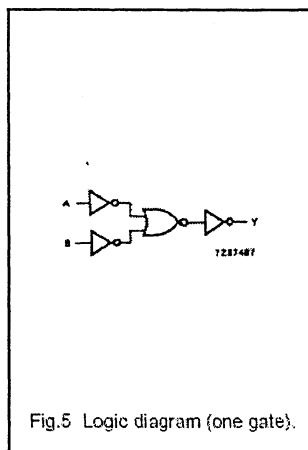


Fig.5 Logic diagram (one gate).

FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
L	L	H
L	H	H
H	L	H
H	H	L

Note

- H = HIGH voltage level
L = LOW voltage level

Hex inverter

74HC/HCT04

FEATURES

- Output capability: standard
- I_{CC} category: SSI

GENERAL DESCRIPTION

The 74HC/HCT04 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSSTTL). They are specified in compliance with JEDEC standard no. 7A. The 74HC/HCT04 provide six inverting buffers.

QUICK REFERENCE DATA

GND = 0 V; $T_{amb} = 25^{\circ}\text{C}$; $t_r = t_f = 6 \text{ ns}$

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay nA to nY	$C_L = 15 \text{ pF}$; $V_{CC} = 5 \text{ V}$	7	8	ns
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per gate	notes 1 and 2	21	24	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW):

$$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o) \text{ where:}$$

f_i = input frequency in MHz

f_o = output frequency in MHz

$\sum (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

C_L = output load capacitance in pF

V_{CC} = supply voltage in V

2. For HC the condition is $V_i = \text{GND to } V_{CC}$
For HCT the condition is $V_i = \text{GND to } V_{CC} - 1.5 \text{ V}$

ORDERING INFORMATION

See "74HC/HCT/HCU/HCMOS Logic Package Information".

Hex inverter

74HC/HCT04

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 3, 5, 9, 11, 13	1A to 6A	data inputs
2, 4, 6, 8, 10, 12	1Y to 6Y	data outputs
7	GND	ground (0 V)
14	V _{cc}	positive supply voltage

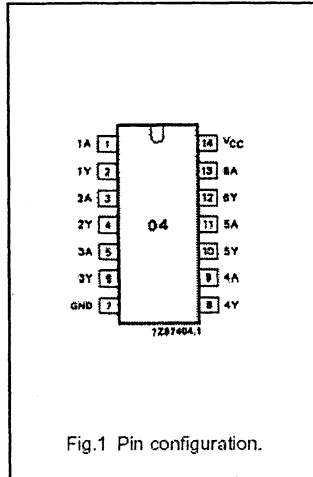


Fig.1 Pin configuration.

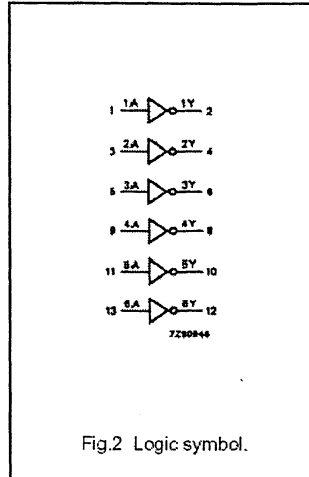


Fig.2 Logic symbol.

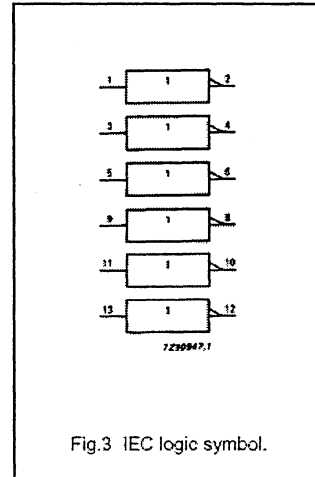


Fig.3 IEC logic symbol.

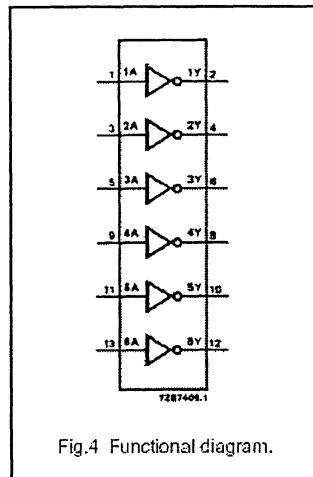


Fig.4 Functional diagram.

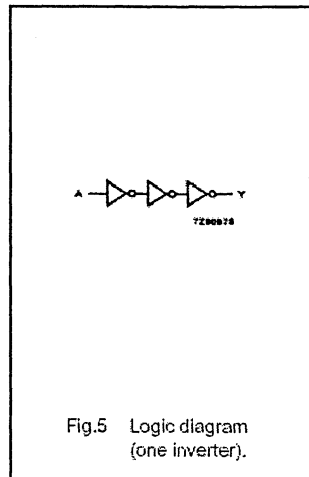


Fig.5 Logic diagram (one inverter).

FUNCTION TABLE

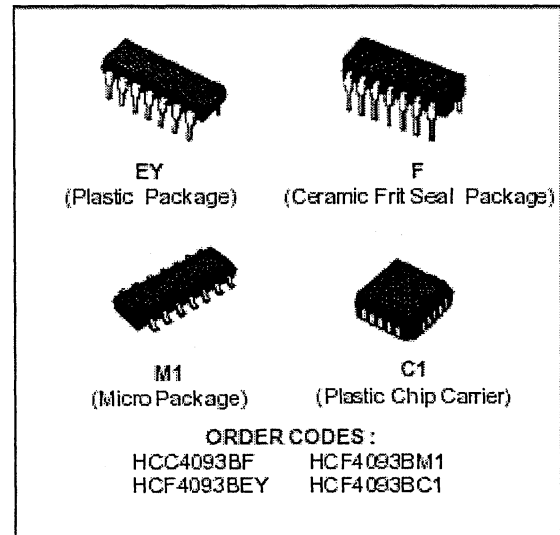
INPUT	OUTPUT
nA	nY
L	H
H	L

Notes

- H = HIGH voltage level
L = LOW voltage level

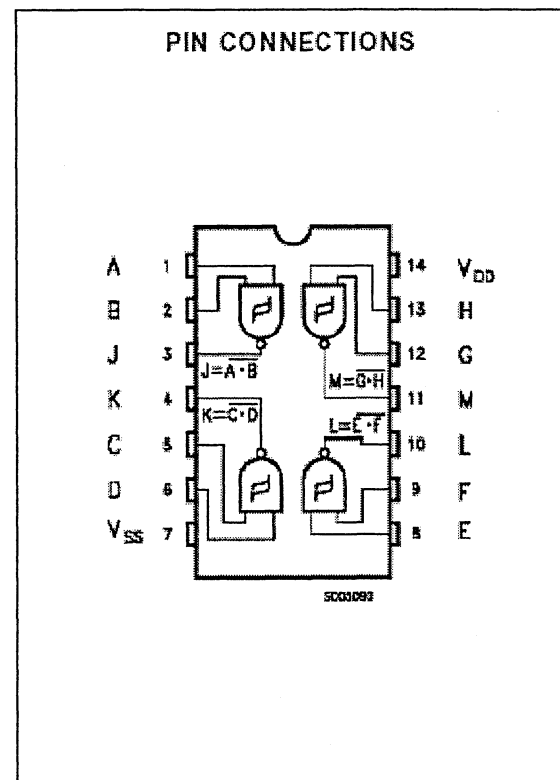
QUAD 2-INPUT NAND SCHMIDT TRIGGERS

- SCHMITT-TRIGGER ACTION ON EACH INPUT WITH NO EXTERNAL COMPONENTS
- HYSTERESIS VOLTAGE TYPICALLY 0.9V AT $V_{DD} = 5V$ AND 2.3V AT $V_{DD} = 10V$
- NOISE IMMUNITY GREATER THAN 50% OF V_{DD} (typ.)
- NO LIMIT ON INPUT RISE AND FALL TIMES
- STANDARDIZED SYMMETRICAL OUTPUT CHARACTERISTICS
- QUIESCENT CURRENT SPECIFIED TO 20V FOR HCC DEVICE
- 5V, 10V, AND 15V PARAMETRIC RATINGS
- INPUT CURRENT OF 100nA AT 18V AND 25°C FOR HCC DEVICE
- 100% TESTED FOR QUIESCENT CURRENT
- MEETS ALL REQUIREMENTS OF JEDEC TENTATIVE STANDARD N°. 13A, "STANDARD SPECIFICATIONS FOR DESCRIPTION OF "B" SERIES CMOS DEVICES"

**DESCRIPTION**

The HCC4093B (extended temperature range) and HCF4093B (intermediate temperature range) are available in 14-lead dual in-line plastic or ceramic package and plastic micropackage. The HCC/HCF4093B consists of four Schmitt-trigger circuits. Each circuit functions as a two-input NAND gate with Schmitt-trigger action on both inputs. The gate switches at different points for positive and negative-going signals.

The difference between the positive voltage (V_P) and the negative voltage (V_N) is defined as hysteresis voltage (V_H) (see fig. 1).



STATION METEO DEPORTEE

Philips Semiconductors

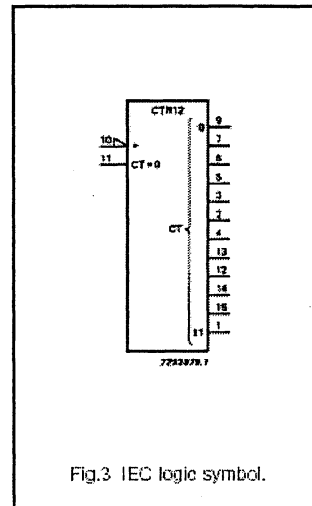
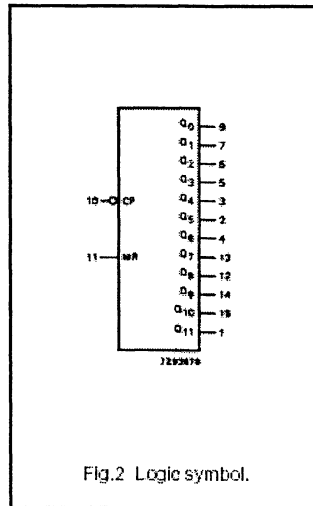
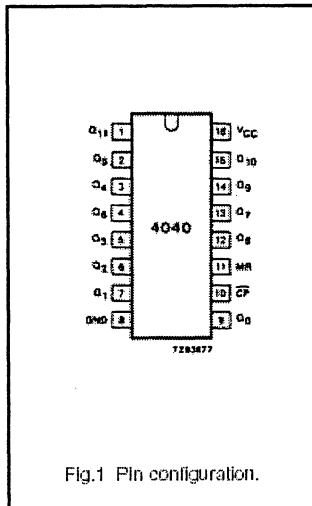
Product specification

12-stage binary ripple counter

74HC/HCT4040

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
8	GND	ground (0 V)
9, 7, 6, 5, 3, 2, 4, 13, 12, 14, 15, 1	Q ₀ to Q ₁₁	parallel outputs
10	CP	clock input (HIGH-to-LOW, edge-triggered)
11	MR	master reset input (active HIGH)
16	V _{CC}	positive supply voltage



December 1990

3

BEP METIERS DE L'ELECTRONIQUE		Code examen 5125508	Session 2003	
CORRIGE	EPI Candidats Epreuve ponctuelle	Durée : 3 heures	Coefficient : 3	Page 16/17

12-stage binary ripple counter

74HC/HCT4040

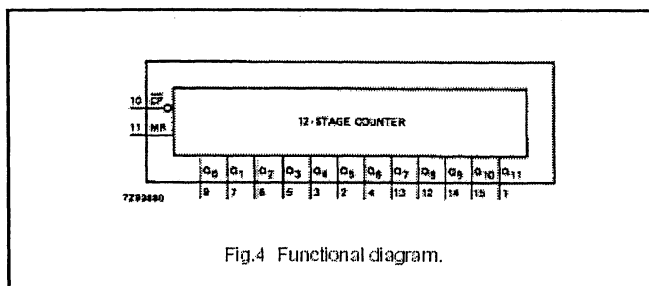


Fig.4 Functional diagram.

FUNCTION TABLE

INPUTS		OUTPUTS
\overline{CP}	MR	Q_n
↑	L	no change
↓	L	count
X	H	L

Notes

- H = HIGH voltage level
L = LOW voltage level
X = don't care
↑ = LOW-to-HIGH clock transition
↓ = HIGH-to-LOW clock transition

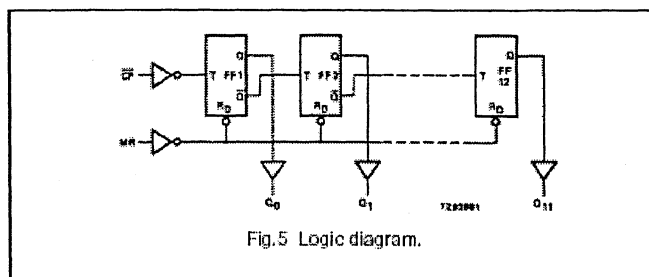


Fig.5 Logic diagram.

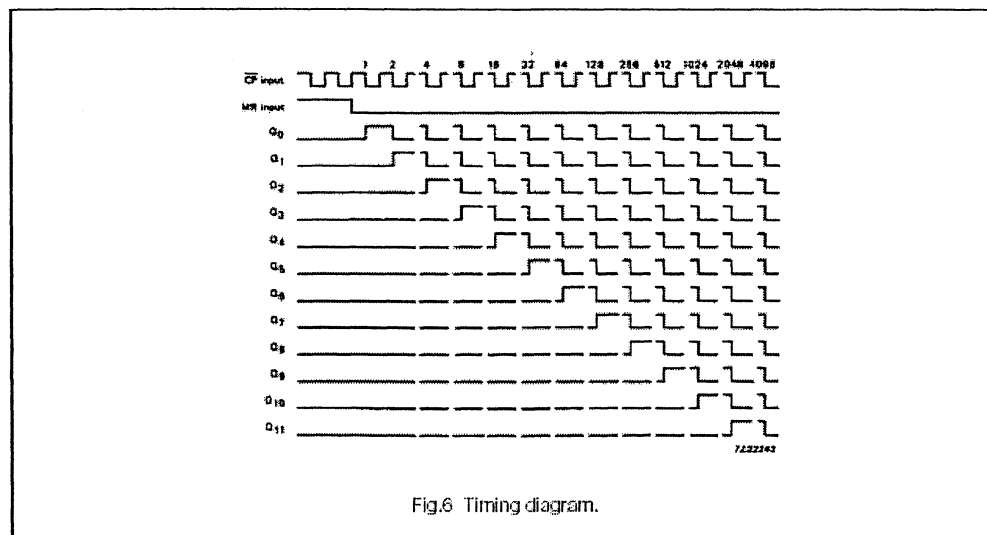


Fig.6 Timing diagram.