

# SYSTEME DE CONTROLE D'ACCÈS

## 1<sup>ère</sup> partie Epreuve technologique

Cette étude comporte deux parties :

- Etude fonctionnelle
- Etude structurelle

Documents autorisés :

- Dossier élève (pages 1 à 29) sans annotation

Calculatrice autorisée

**Le candidat devra répondre directement sur les différents documents réponse.**

**A l'issue de l'épreuve, l'ensemble de ce dossier devra être agrafé dans une copie d'examen anonymable ; seule cette copie devra comprendre les coordonnées du candidat.**

Groupement inter académique IIA		session 2003
Durée : 3 heures	EPI : Epreuve technologique	Coef : 3
BEP Métiers de l'électronique		

Lundi 31 mars 2003 de 9h à 12h

30476-1

## ETUDE FONCTIONNELLE

### 1) – SYSTEME DE CONTROLE D'ACCES

1 a - Citer plusieurs solutions permettant d'effectuer la tâche de surveillance dans un système de contrôle d'accès.

.....

.....

.....

1 b - Citer plusieurs tâches de gestion pouvant être associées à un système de contrôle d'accès.

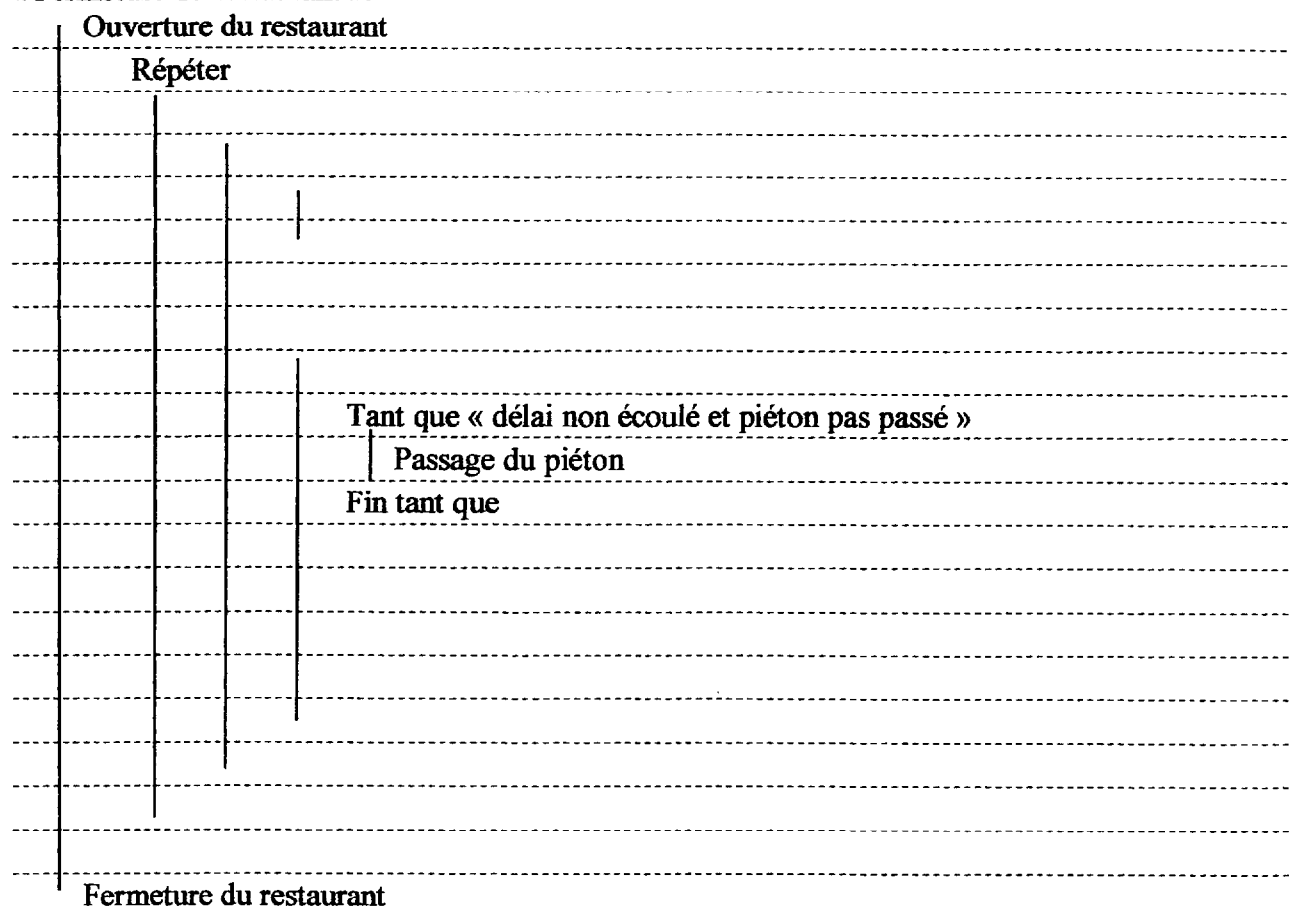
.....

.....

.....

### 2) - ALGORIGRAMME D'ACCES A UN REPAS

Compéter l'algorithme correspondant à l'algorigramme allant de « Ouverture du restaurant » à « Fermeture du restaurant ».



### 3) - ROLE DES ELEMENTS DU SYSTEME

**Donner le rôle des éléments à caractère technique de ce système.**

[illegible]

#### 4) – LE TOURNIQUET TRIPODE

**Donner la fonction d'usage du tourniquet tripode.**

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

## 5) – ALGORIGRAMME DE L'OBJET TECHNIQUE

Sur l’algorithme de fonctionnement de l’objet technique donné en annexe 1, repasser en vert le chemin parcouru quand on utilise une carte valable et qu’on attend 20 secondes avant de passer.

## 6) – ETUDE FONCTIONNELLE DE DEGRE 1

6 a - Citer le rôle des fonctions principales FP2, FP3 et FP4 du tourniquet tripode.

.....

.....

.....

6 b - Donner les caractéristiques des signaux d'entrée et de sortie de la fonction principale FP4.

### 7) – ETUDE FONCTIONNELLE DE DEGRE 2 DE FP2 ET FP5

Sur les schémas structurels fournis en annexe 2 et 3, encadrer les structures réalisant les fonctions secondaires de FP2 et de FP5 et repérer les entrées et les sorties de ces fonctions.

## ETUDE STRUCTURELLE DE FP5 « SURVEILLANCE DE LA TEMPERATURE »

### Préambule

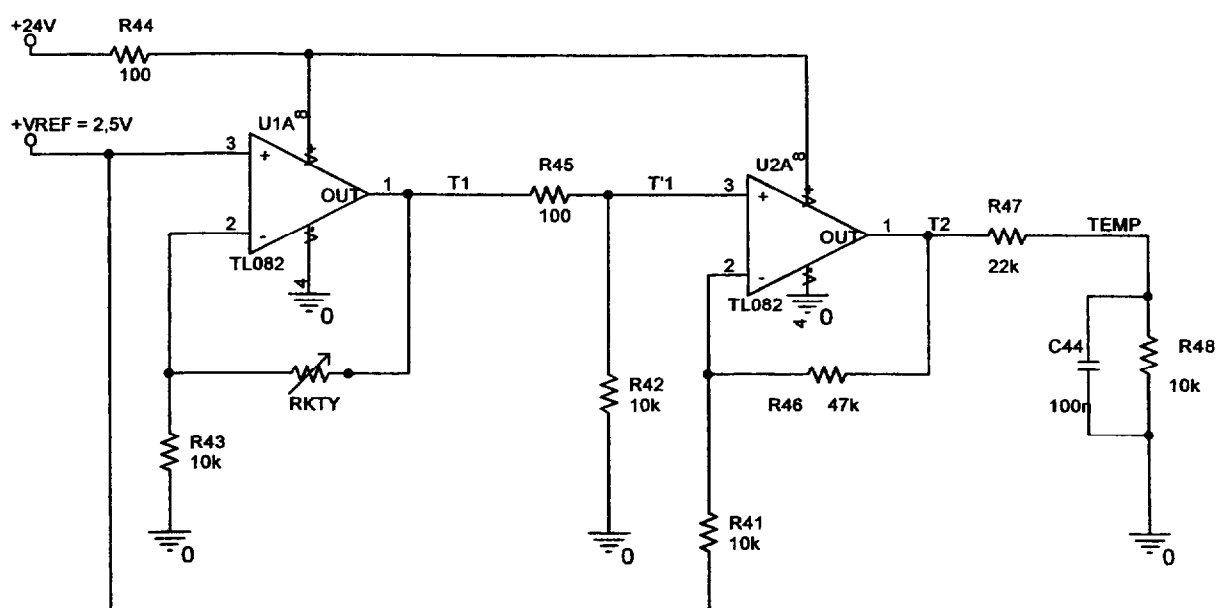
- Donner le modèle électrique du composant KTY10.

---

---

---

### SCHEMA STRUCTUREL DE FP5



#### 1 - Structure réalisant la fonction secondaire FS51

1 a – Quel est le mode de fonctionnement de cette structure ?

---

---

---

1 b - Exprimer la d.d.p.  $V_{T1}$  en fonction  $V_{REF}$ ,  $R_{43}$  et  $R_{KTY}$ .

---

---

---

---

---

---

---

1 c - Calculer la d.d.p.  $V_{T1}$  pour  $R_{KTY} = 2k\Omega$ .

## 2 - Structure réalisant la fonction secondaire FS52

**2 a – Quel est le mode de fonctionnement de cette structure ?**

2 b - Exprimer la d.d.p.  $V_{T1}$  en fonction  $V_{T1}$ ,  $R_{45}$  et  $R_{42}$ .

2 c - Calculer la d.d.p.  $V_{T'1}$  quand  $V_{T1} = 2,95$  volts.

2 d - Pour la question suivante on considèrera  $V_{T1} = V_{T1}$ . Exprimer la d.d.p.  $V_{T2}$  en fonction  $V_{REF}$ ,  $R_{41}$ ,  $R_{46}$  et  $V_{T1}$ .



3 f- Quel est le nom du composant 74HC14 ?

\_\_\_\_\_

\_\_\_\_\_

3 g – D'après la documentation technique donnée en annexe 6, quels sont les seuils de basculement du composant 74HC14 ? Les reporter sur le chronogramme de 13U10 en « annexe 4 »

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

3 h - Tracer sur le chronogramme en « annexe 4 », l'allure du signal 12U10

---

#### 4 – Etude du composant U19

4 a - Quel est le nom de la porte logique U19A ? Donner sa table de vérité

[illegible]

4 b - Tracer sur le chronogramme en « annexe 4 », l'allure du signal /INT1

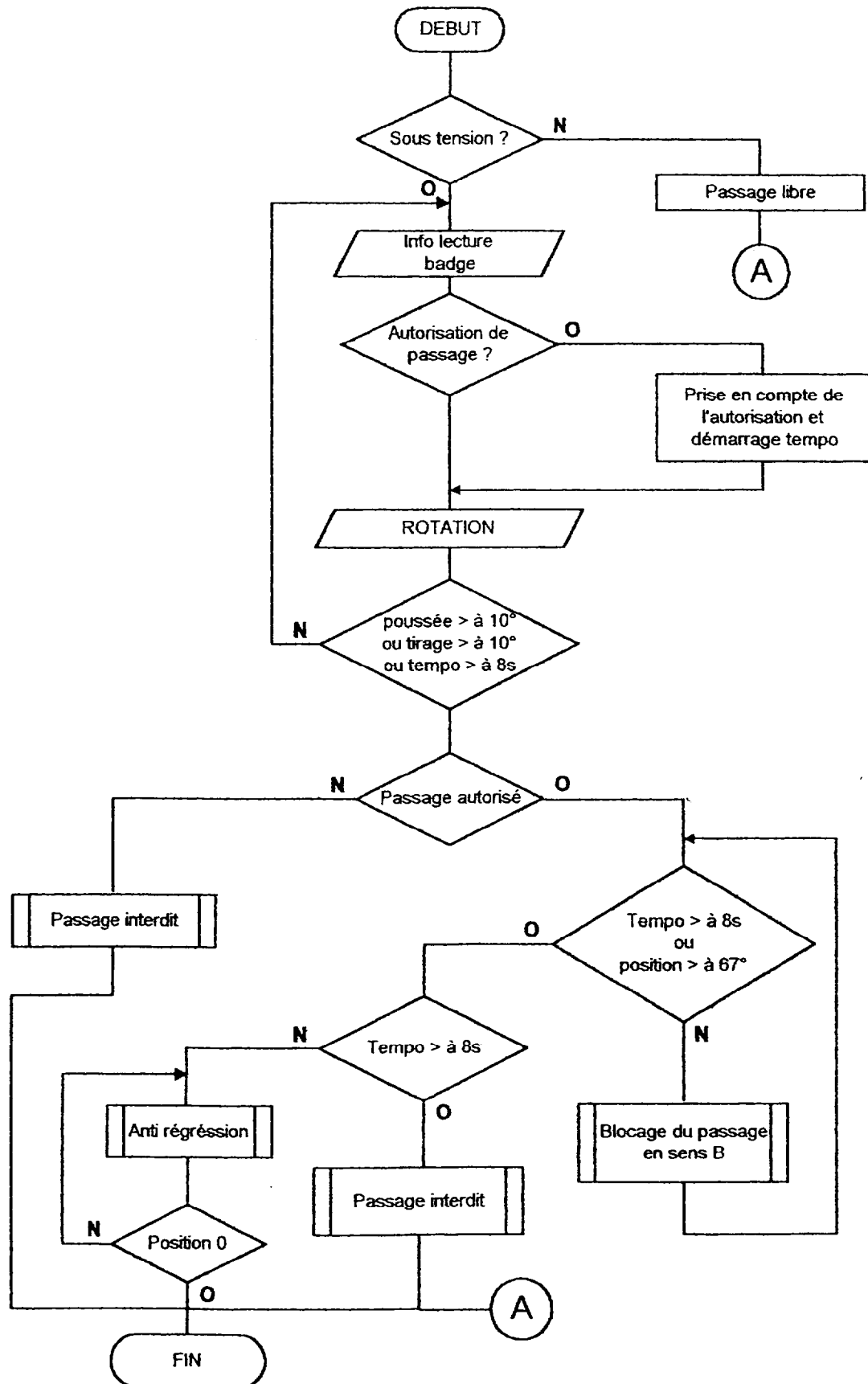
4 c - A l'aide des courbes universelles de charge et décharge du condensateur (annexe numéro 5), déterminer la valeur de la durée  $t_1$  d'un niveau bas du signal /INT1 lors de la charge du condensateur C52.

This image shows a single sheet of white paper with horizontal dashed lines, typical of primary-ruled notebook paper. The lines are evenly spaced and run across the width of the page. There are no margins, text, or other markings on the paper.

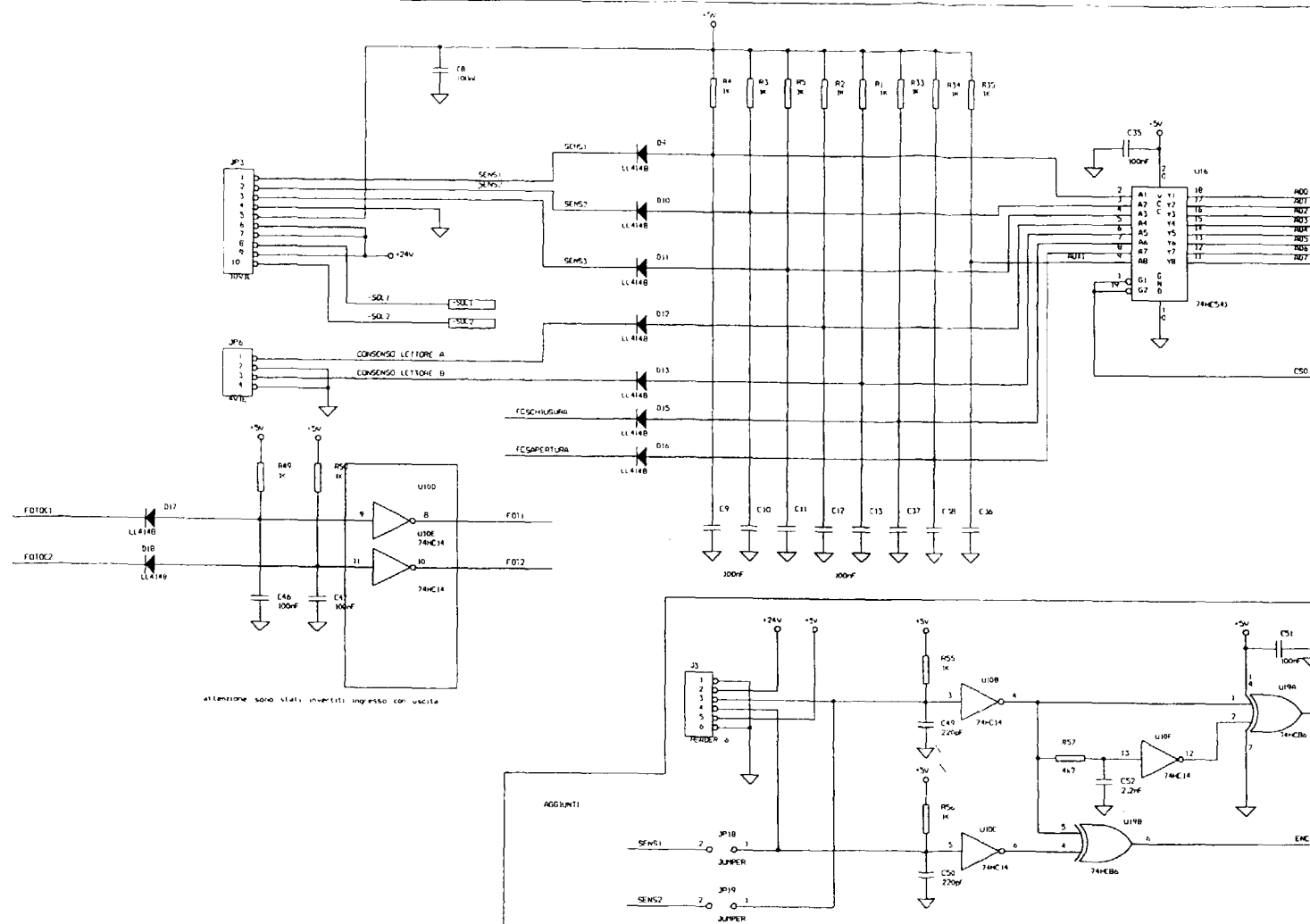


Annexe numéro 1

ALGORIGRAMME DE FONCTIONNEMENT DE L'OBJET TECHNIQUE

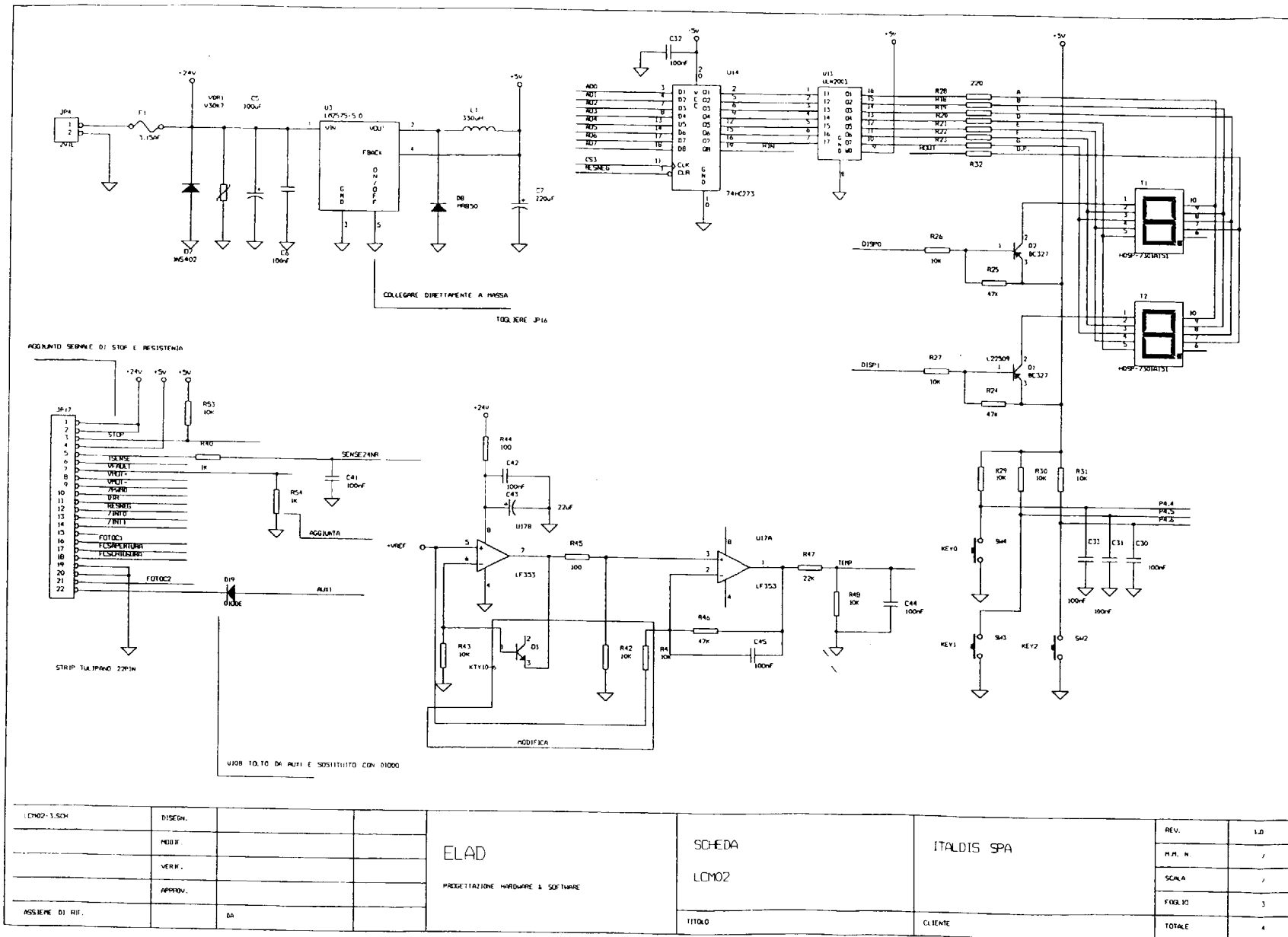


30476-1

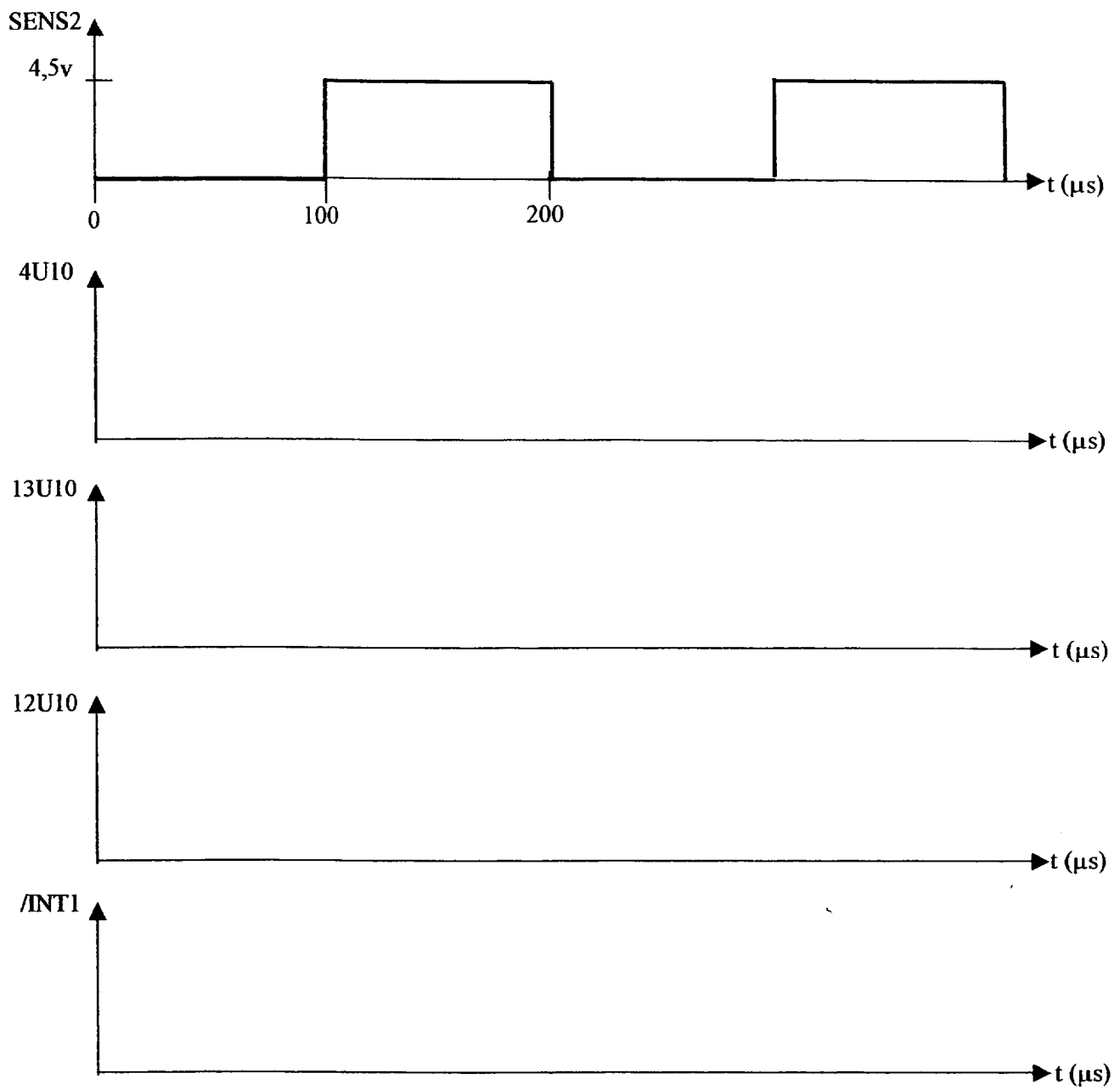


DRILL CHART				
SYM	DIAM	TOL	QTY	NOTE
TOTAL			0	

LOM2-4 SCH	DISIGN.			ELAD	SCHEDA	ITALDIS SPA	REV.	1.0
	MODIF.				LOM2		M.P. N.	/
	VERIF.						SCALA	/
	APPROV.						FOD. ID	4
ASSEMBL. DI R.F.		SA			111010	CLIENTE	TOTALE	4

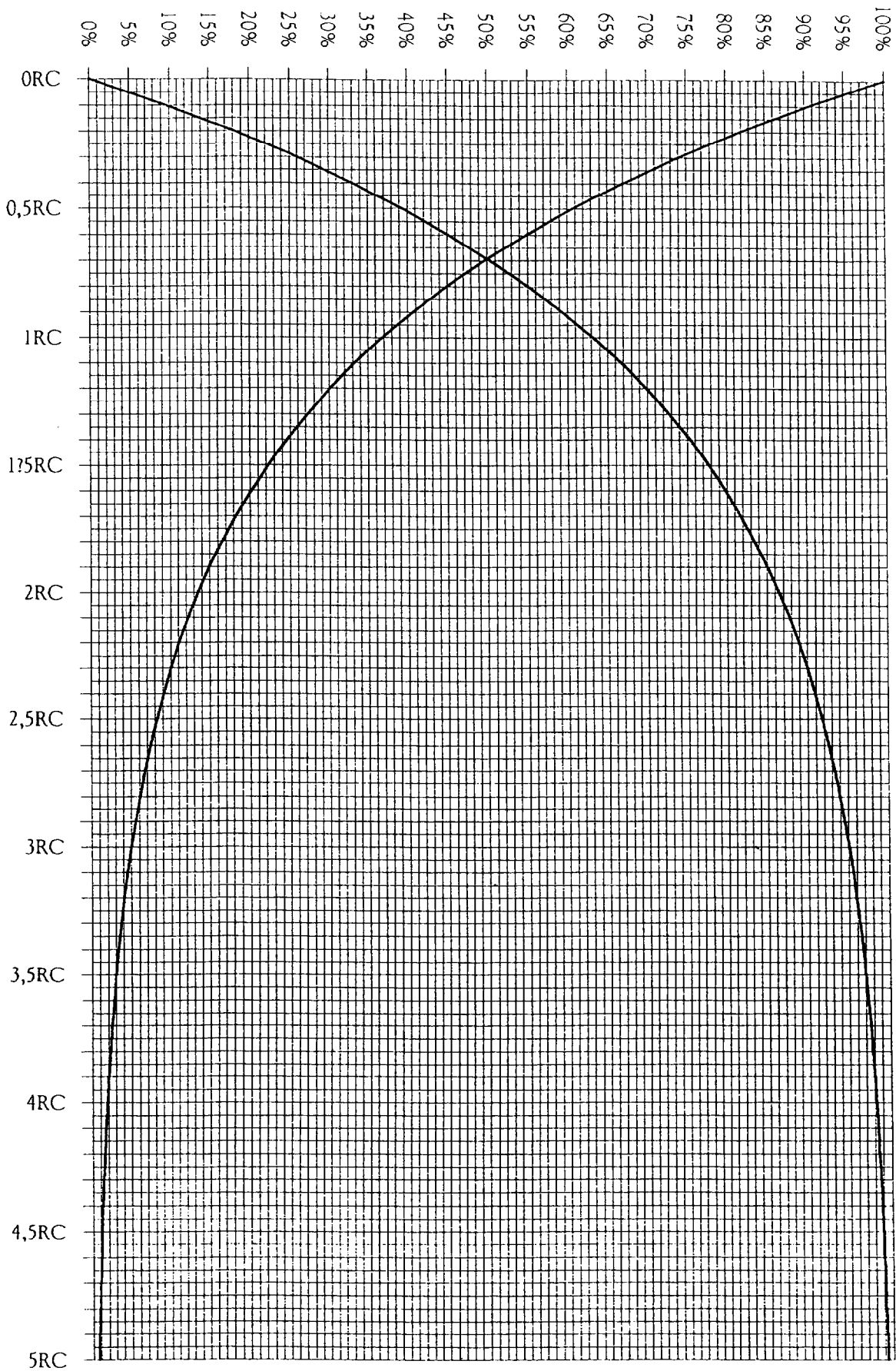


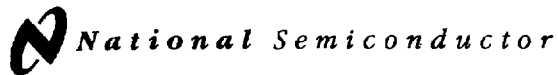
Annexe numéro 4



# Annexe numéro 5

Courbes universelles de charge et décharge d'un condensateur





November 1995

## MM54HC14/MM74HC14 Hex Inverting Schmitt Trigger

### General Description

The MM54HC14/MM74HC14 utilizes advanced silicon-gate CMOS technology to achieve the low power dissipation and high noise immunity of standard CMOS, as well as the capability to drive 10 LS-TTL loads.

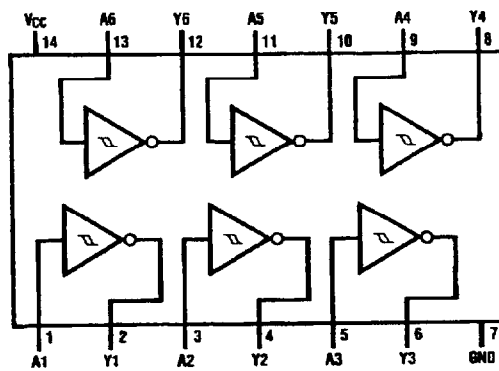
The 54HC/74HC logic family is functionally and pinout compatible with the standard 54LS/74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to  $V_{CC}$  and ground.

### Features

- Typical propagation delay: 13 ns
- Wide power supply range: 2–6V
- Low quiescent current: 20  $\mu$ A maximum (74HC Series)
- Low input current: 1  $\mu$ A maximum
- Fanout of 10 LS-TTL loads
- Typical hysteresis voltage: 0.9V at  $V_{CC} = 4.5V$

### Connection and Schematic Diagrams

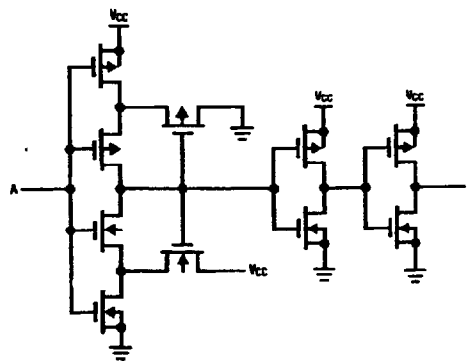
Dual-In-Line Package



TL/F/5105-1

Top View

Order Number MM54HC14 or MM74HC14



TL/F/5105-2

**Absolute Maximum Ratings** (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ( $V_{CC}$ )	-0.5 to +7.0V
DC Input Voltage ( $V_{IN}$ )	-1.5 to $V_{CC} + 1.5V$
DC Output Voltage ( $V_{OUT}$ )	-0.5 to $V_{CC} + 0.5V$
Clamp Diode Current ( $I_{IK}, I_{OK}$ )	$\pm 20$ mA
DC Output Current, per pin ( $I_{OUT}$ )	$\pm 25$ mA
DC $V_{CC}$ or GND Current, per pin ( $I_{CC}$ )	$\pm 50$ mA
Storage Temperature Range ( $T_{STG}$ )	-65°C to +150°C

Power Dissipation ( $P_D$ )

(Note 3)

S.O. Package only

600 mW

500 mW

Lead Temp. ( $T_L$ ) (Soldering 10 seconds)

260°C

**Operating Conditions**

	Min	Max	Units
Supply Voltage ( $V_{CC}$ )	2	6	V
DC Input or Output Voltage ( $V_{IN}, V_{OUT}$ )	0	$V_{CC}$	V
Operating Temp. Range ( $T_A$ )			°C
MM74HC	-40	+85	°C
MM54HC	-55	+125	°C

**DC Electrical Characteristics** (Note 4)

Symbol	Parameter	Conditions	V <sub>CC</sub>	T <sub>A</sub> = 25°C		74HC	54HC	Units
						T <sub>A</sub> = -40 to 85°C	T <sub>A</sub> = -55 to 125°C	
				Typ	Guaranteed Limits			
V <sub>T+</sub>	Positive Going Threshold Voltage	Minimum	2.0V	1.2	1.0	1.0	1.0	V
			4.5V	2.7	2.0	2.0	2.0	V
			6.0V	3.2	3.0	3.0	3.0	V
		Maximum	2.0V	1.2	1.5	1.5	1.5	V
			4.5V	2.7	3.15	3.15	3.15	V
			6.0V	3.2	4.2	4.2	4.2	V
V <sub>T-</sub>	Negative Going Threshold Voltage	Minimum	2.0V	0.7	0.3	0.3	0.3	V
			4.5V	1.8	0.9	0.9	0.9	V
			6.0V	2.2	1.2	1.2	1.2	V
		Maximum	2.0V	0.7	1.0	1.0	1.0	V
			4.5V	1.8	2.2	2.2	2.2	V
			6.0V	2.2	3.0	3.0	3.0	V
V <sub>H</sub>	Hysteresis Voltage	Minimum	2.0V	0.5	0.2	0.2	0.2	V
			4.5V	0.9	0.4	0.4	0.4	V
			6.0V	1.0	0.5	0.5	0.5	V
		Maximum	2.0V	0.5	1.0	1.0	1.0	V
			4.5V	0.9	1.4	1.4	1.4	V
			6.0V	1.0	1.5	1.5	1.5	V
V <sub>OH</sub>	Minimum High Level Output Voltage	V <sub>IN</sub> = V <sub>IL</sub>  I <sub>OUT</sub>   = 20 μA	2.0V	2.0	1.9	1.9	1.9	V
			4.5V	4.5	4.4	4.4	4.4	V
			6.0V	6.0	5.9	5.9	5.9	V
		V <sub>IN</sub> = V <sub>IL</sub>  I <sub>OUT</sub>   = 4.0 mA  I <sub>OUT</sub>   = 5.2 mA	4.5V	4.2	3.98	3.84	3.7	V
			6.0V	5.7	5.48	5.34	5.2	V
V <sub>OL</sub>	Maximum Low Level Output Voltage	V <sub>IN</sub> = V <sub>IH</sub>  I <sub>OUT</sub>   = 20 μA	2.0V	0	0.1	0.1	0.1	V
			4.5V	0	0.1	0.1	0.1	V
			6.0V	0	0.1	0.1	0.1	V
		V <sub>IN</sub> = V <sub>IH</sub>  I <sub>OUT</sub>   = 4.0 mA  I <sub>OUT</sub>   = 5.2 mA	4.5V	0.2	0.26	0.33	0.4	V
			6.0V	0.2	0.26	0.33	0.4	V
I <sub>IN</sub>	Maximum Input Current	V <sub>IN</sub> = V <sub>CC</sub> or GND	6.0V		±0.1	±1.0	±1.0	μA
I <sub>CC</sub>	Maximum Quiescent Supply Current	V <sub>IN</sub> = V <sub>CC</sub> or GND I <sub>OUT</sub> = 0 μA	6.0V		2.0	20	40	μA

Note 1: Absolute Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating — plastic "N" package: -12 mW/°C from 65°C to 85°C; ceramic "J" package: -12 mW/°C from 100°C to 125°C.

Note 4: For a power supply of 5V  $\pm 10\%$  the worst case output voltages ( $V_{OH}$  and  $V_{OL}$ ) occur for HC at 4.5V. Thus the 4.5V values should be used when designing with this supply. Worst case  $V_{IH}$  and  $V_{IL}$  occur at  $V_{CC} = 5.5V$  and 4.5V respectively. (The  $V_{IH}$  value at 5.5V is 3.85V.) The worst case leakage current ( $I_{IK}$ ,  $I_{OK}$  and  $I_{OZ}$ ) occur for CMOS at the higher voltage and so the 6.0V values should be used.