

Systeme de chauffage domestique électrique piloté par téléphone

BEP des Métiers de l'électronique

SESSION 2004

ÉPREUVE EP3

Exercice 1 : _____ / 21 pts

Exercice 2 : _____ / 10 pts

Exercice 3 : _____ / 10 pts

Exercice 4 : _____ / 23 pts

Exercice 5 : _____ / 7 pts

Exercice 6 : _____ / 9 pts

TOTAL :	/80
TOTAL :	/20

CONSIGNES :

→ Le candidat doit répondre directement sur ce document qui sera rendu dans son intégralité et agrafé par les surveillants de l'épreuve dans une copie d'examen .

→ La couleur rouge est interdite aux candidats.

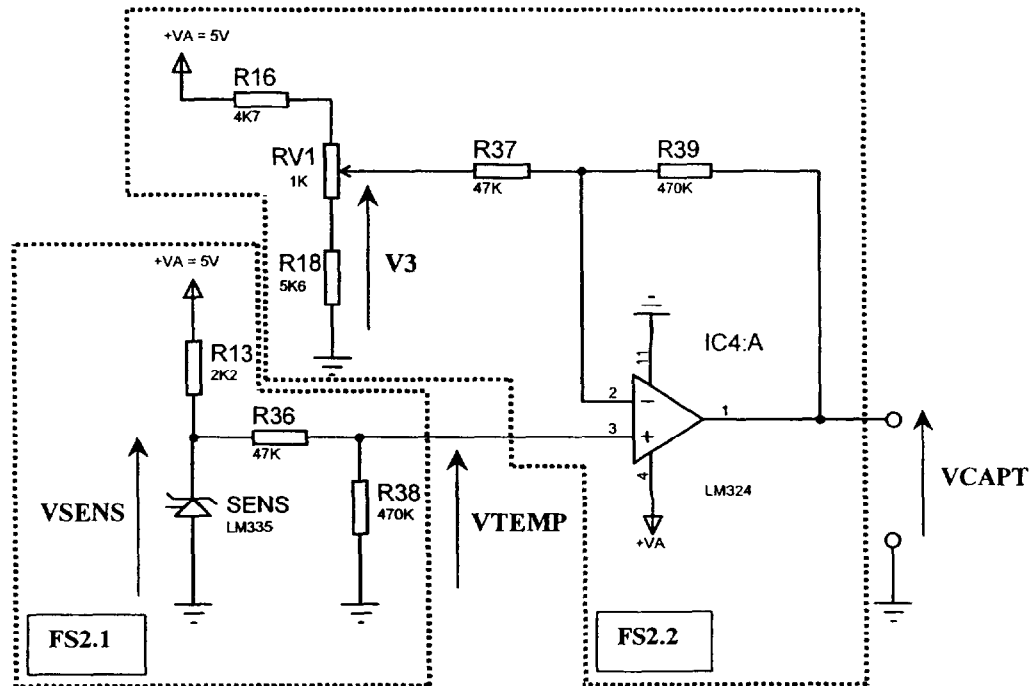
→ Document autorisé : le dossier support des épreuves EP2 et EP3 sans aucune annotation personnelle et sans le découpage des fonctions sur le schéma structurel.

Coefficient : 4

Durée : 4 heures

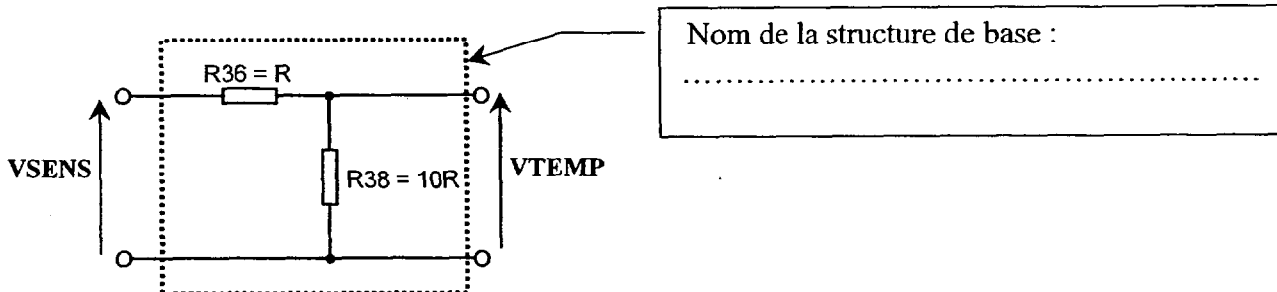
Exercice 1 : Etude de FP2

On désire montrer que la d.d.p V_{CAPT} est proportionnelle à la température ambiante notée $TEMP$. Les condensateurs de filtrage C9 et C10 se comportent comme des circuits ouverts aux fréquences d'utilisation. Le schéma structurel de FP2 est donné ci-dessous.



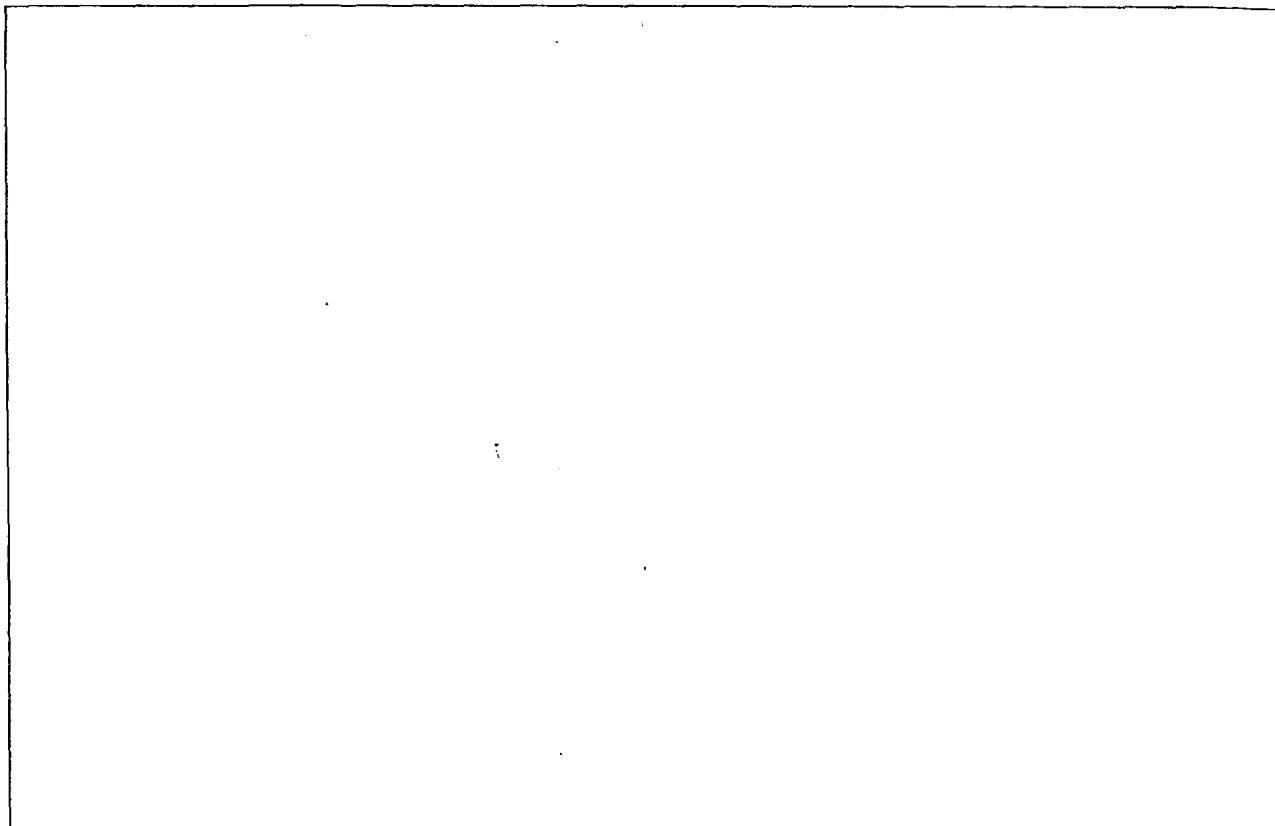
1. Détermination de V_{TEMP} en fonction de $TEMP$.

1.1. Identifier la structure électronique de base réalisée ci-dessous .



/ 1

- 1.2. **Exprimer** VTEMP en fonction de R38, R36 et de VSENS. Mettre VTEMP sous la forme : $VTEMP = \frac{10}{11} \times VSENS$

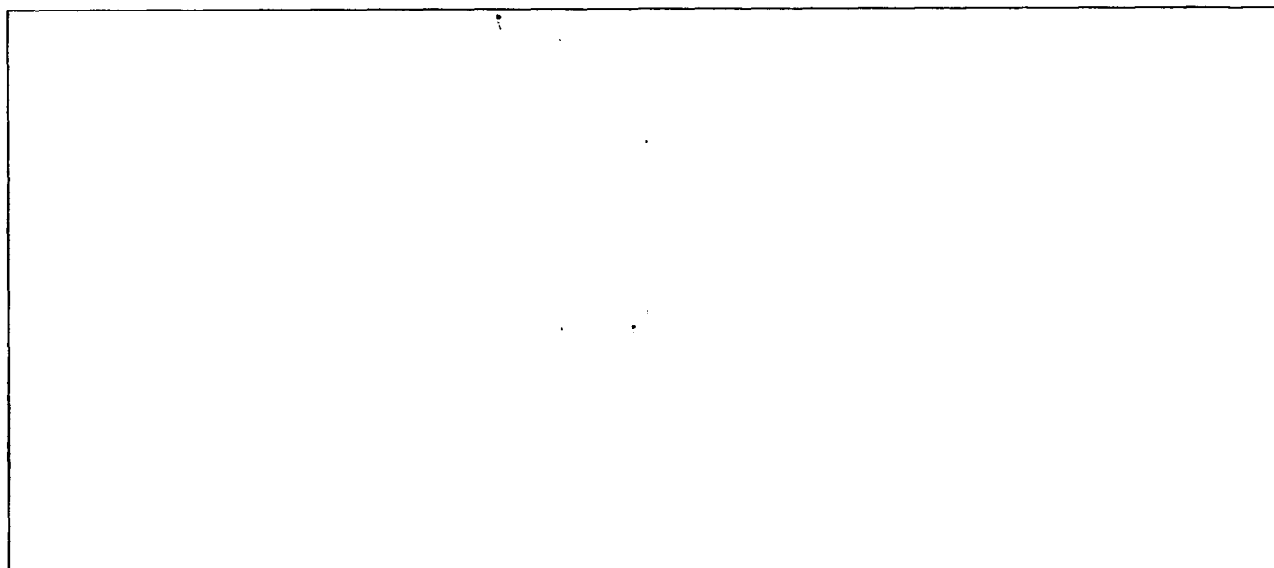


/3

- 1.3. On rappelle que la d.d.p VSENS aux bornes du capteur LM335 est proportionnelle à TEMP telle que :

$$VSENS = k \times TEMP + V0 = 0,01 \times TEMP + 2,73$$

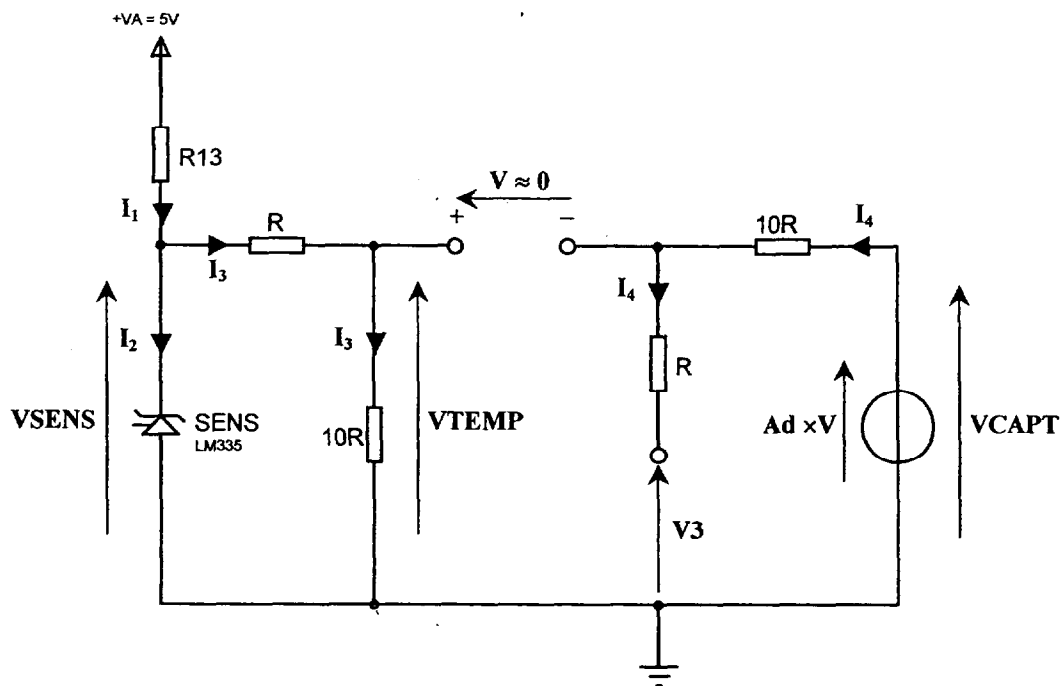
- 1.3.1. **Montrer** que : $VTEMP = \frac{0,1}{11} TEMP + \frac{27,3}{11}$



/2

2. Détermination de VCAPT en fonction VTEMP et de V3.

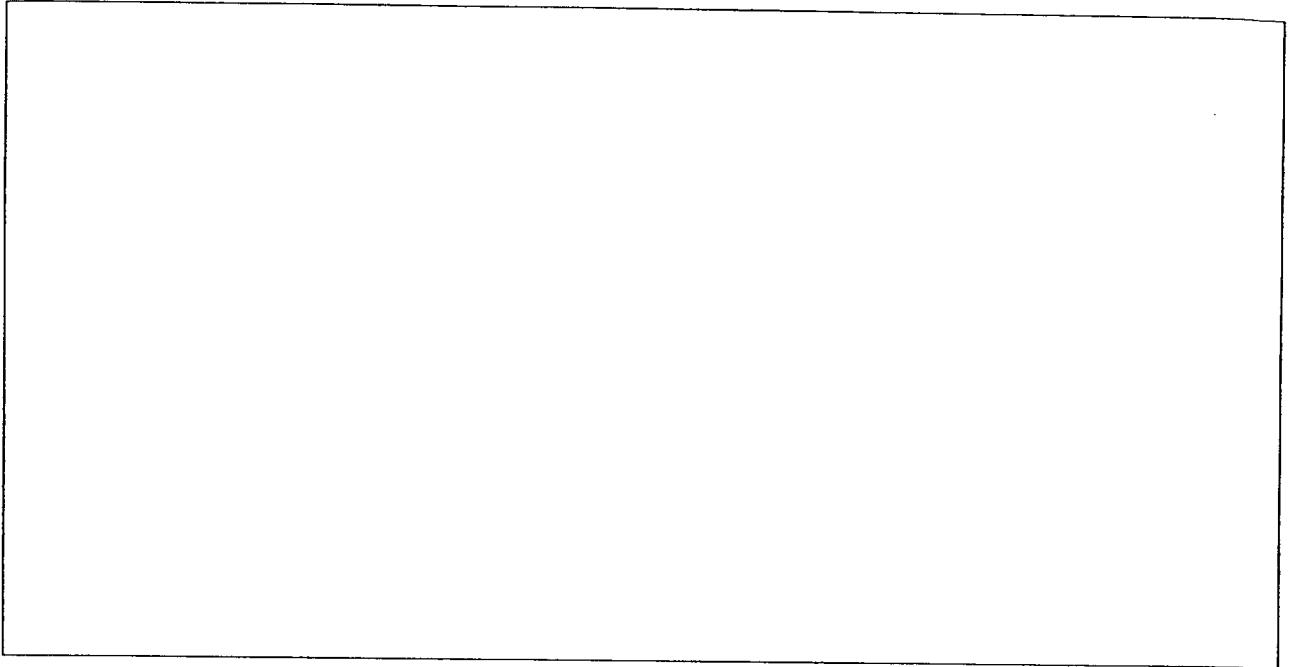
On pose $R_{36}=R_{37}=R=47\text{ k}\Omega$ et $R_{39}=R_{38}=10R=470\text{ k}\Omega$. Le schéma équivalent partiel de FP2 correspondant est :



2.1. A l'aide du schéma équivalent, exprimer I_4 en fonction de VCAPT, V3 et de R.

/2

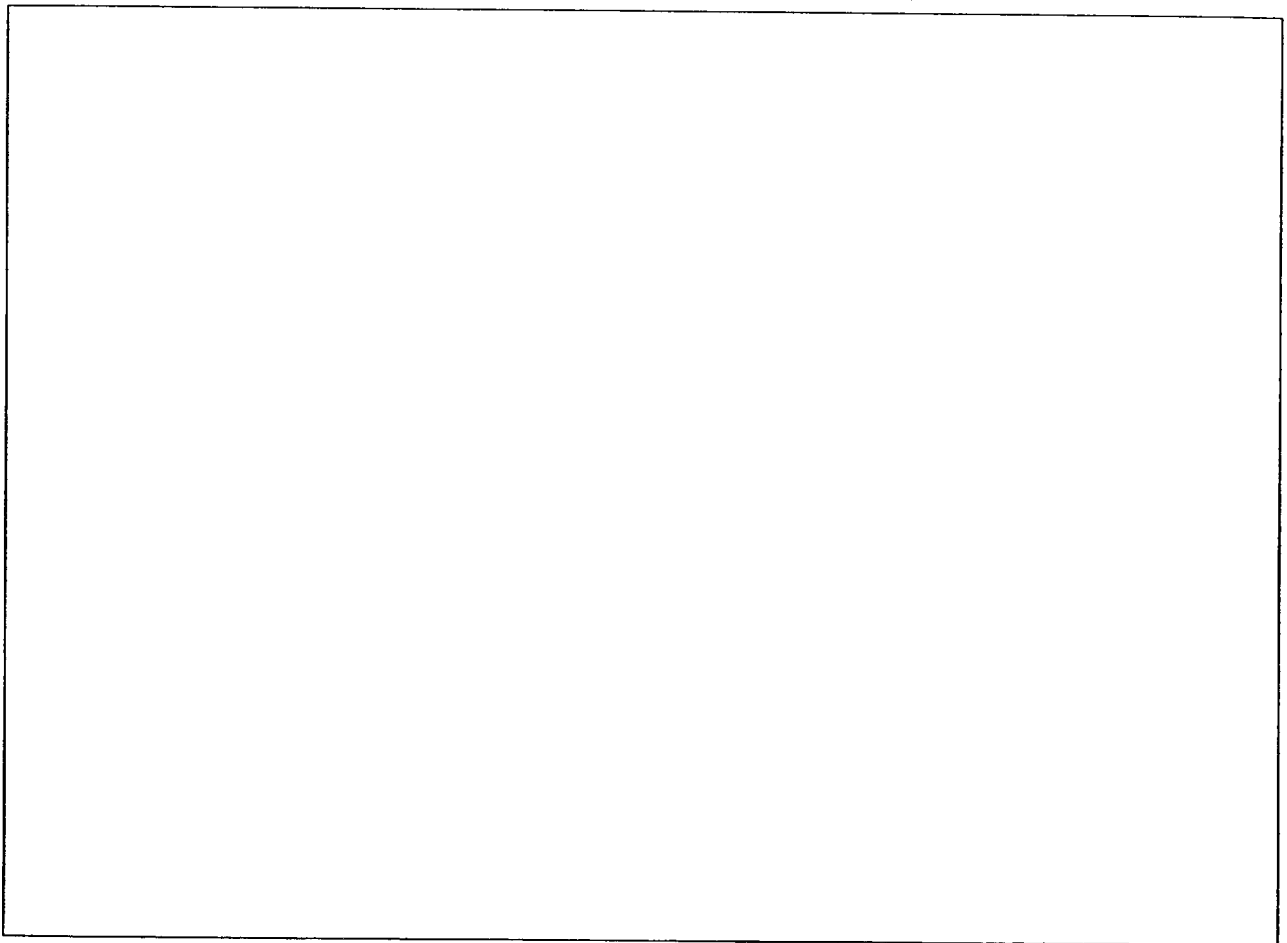
2.2. A l'aide du schéma équivalent, exprimer I_4 en fonction V_{TEMP} , V_3 et de R .



/2

2.3. En égalant les 2 expressions précédentes de I_4 , retrouver l'expression suivante :

$$V_{CAPT} = 11V_{TEMP} - 10V_3$$



/3

3. Synthèse.

3.1. La valeur de réglage de V3 est de 2,73V. En reprenant les expressions précédentes de VTEMP et de VCAPT, établir que : $VCAPT = 0,1 \times TEMP$ où la constante 0,1 est exprimée en Volts/°C.

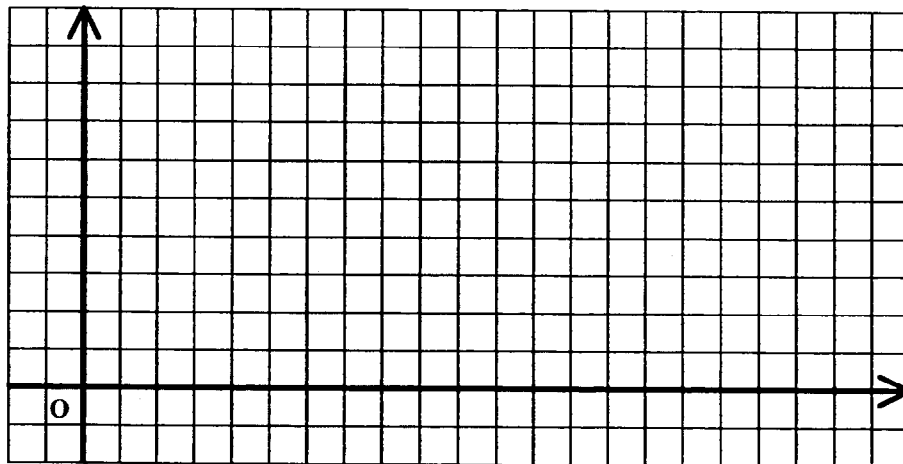
/ 2

3.2. Compléter par le calcul le tableau suivant :

TEMP (° C)	0	5	10	15	20
VCAPT (V)					

/ 2

3.3. Tracer à l'échelle (à choisir) la représentation graphique de VCAPT en fonction de TEMP.



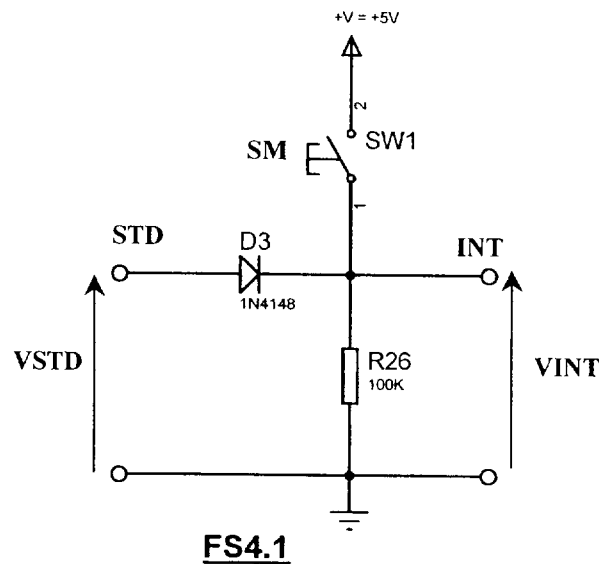
/ 2

3.4. Identifier la représentation graphique obtenue et conclure sur l'évolution de VCAPT en fonction de TEMP.

/ 2

EXERCICE 2 : Etude de FS4.1

La fonction FS4.1 « Aiguillage » réalise une fonction logique de base que l'on désire identifier.



☞ la diode D3 est supposée parfaite : $V_{AK} \approx 0V$ lorsque D3 est passante.

☞ $V_{STD} = 5V$ ($STD = 1$) \rightarrow nouveau mot binaire (Q1 à Q4)
présent en sortie de FS1.6
 $V_{STD} = 0V$ ($STD = 0$) \rightarrow pas de nouveau mot binaire (Q1 à Q4)
présent en sortie de FS1.6

☞ SM est l'action manuelle sur le bouton poussoir SW1 pour la sélection sur site du mode de consigne (confort ou réduit) :
action sur SW1 \rightarrow SM = 1
pas d'action sur SW1 \rightarrow SM = 0

1. Compléter le tableau suivant :

VSTD	SM (Action sur SW1)	Valeur de VINT en Volts
0V	Pas d'action	
0V	action	
5V	Pas d'action	
5V	action	

/ 4

2. En déduire la table de vérité de INT en fonction de STD et de SM.

STD	SM	INT

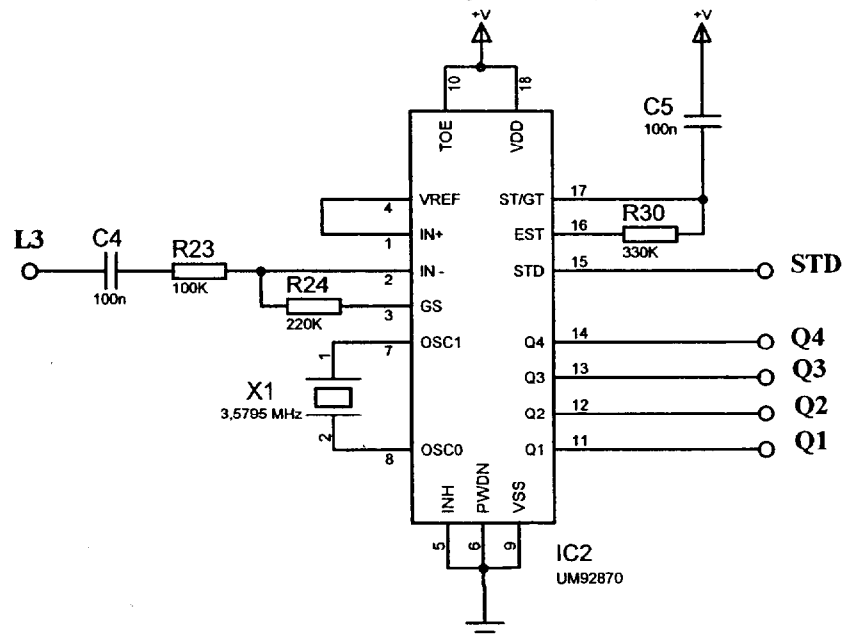
/ 3

3. Identifier la fonction logique de base réalisée par FS4.1 et écrire l'équation logique de INT en fonction de STD et de SM. Dessiner le symbole normalisée de cette fonction logique.

/ 3

EXERCICE 3 : Etude de FS1.6

L'utilisateur est en ligne avec le thermostat. Il tape sur le clavier de son téléphone 250* (250 est son code personnel et * est la commande du basculement jour / nuit).

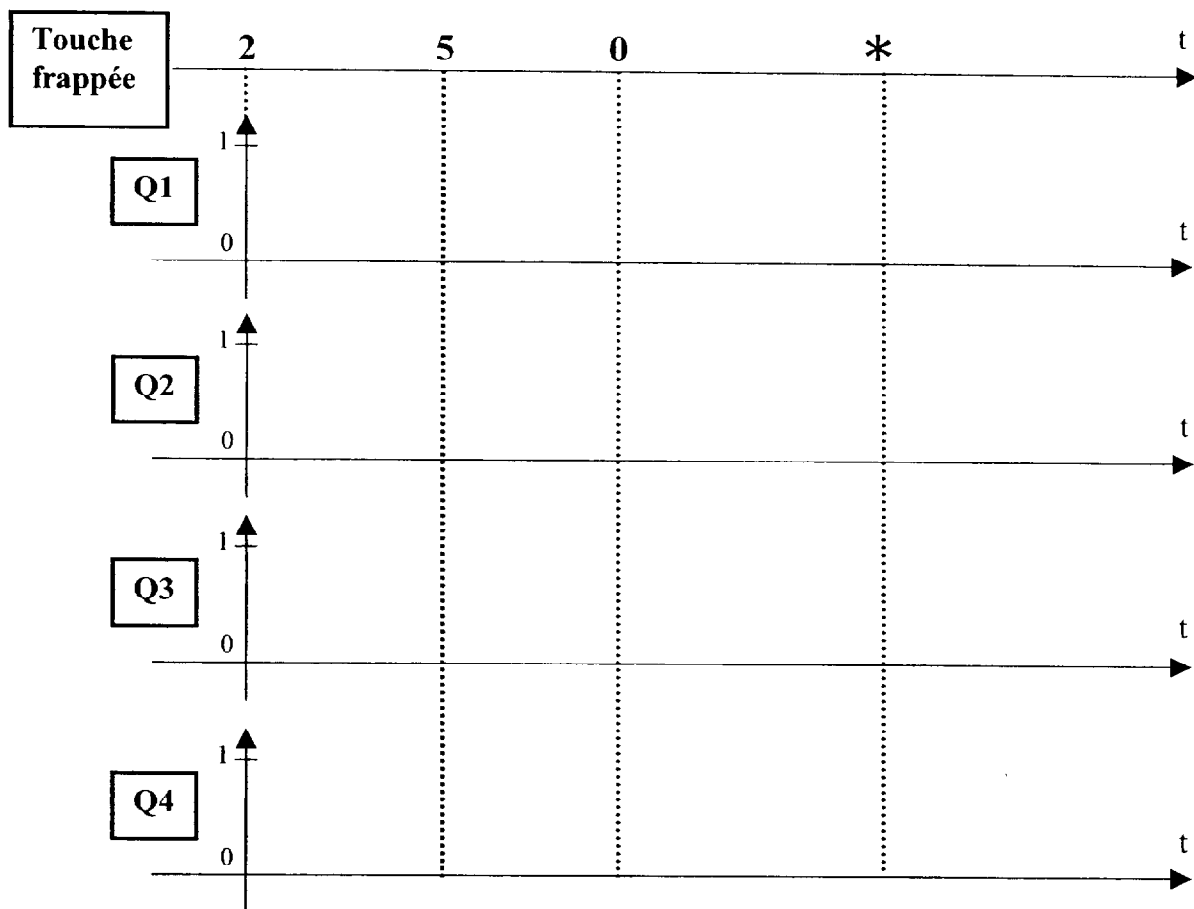


1. **Ecrire** dans le tableau ci-dessous les paires de fréquences (codage DTMF) présentes en L3.

Touche frappée	2	5	0	*
Fréquence basse émise				
Fréquence haute émise				

/ 4

2. **En vous aidant** de l'extrait de la documentation constructeur du CI UM92870 donné en page 16 du sujet, **compléter les chronogrammes** de Q1, Q2, Q3, Q4 .



/ 4

3. **Comment réagit la sortie STD** chaque fois qu'une nouvelle touche du clavier téléphonique est frappée ? **Indiquer** le rôle de STD vis à vis de FP4.

/ 2

EXERCICE 4 : Etude de FS4.2

FS4.2 gère en logique programmée le fonctionnement du thermostat. *Pour établir le programme d'initialisation des ports RA et RB, il est nécessaire de définir le sens de circulation des données de chaque ligne de RA et de RB pour paramétrer les registres du PIC, nommés TRISA et TRISB (voir annexe 5 de votre dossier support).*

1. Compléter le tableau ci-dessous en vous aidant :

- du schéma structurel,
- du schéma fonctionnel de degré 2, présents dans votre dossier support.

A titre d'exemple, la ligne du tableau pour RA0 est déjà remplie.

	Identification de la ligne du port	Repère du signal correspondant sur le schéma structurel	Sens de circulation des informations sur la ligne (préciser entrée ou sortie) par rapport à FS4.2
Port RA (4 bits)	RA0	T>CONF	Entrée
	RA1		
	RA2		
	RA3		
Port RB (8 bits)	RB0		
	RB1		
	RB2		
	RB3		
	RB4		
	RB5		
	RB6		
	RB7		

16

2. En vous aidant de l'annexe 5 de votre dossier support et du tableau précédent, écrire le contenu binaire du registre TRISB, puis le convertir en décimal et en hexadécimal. A titre d'exemple, les contenus binaire, décimal et hexadécimal de TRISA correspondant à la configuration du tableau précédent vous sont donnés ci dessous.

→ Exemple pour TRISA :

Ligne de RA concernée	RA3	RA2	RA1	RA0
Bit de TRISA concerné	bit 3	bit 2	bit 1	bit 0
Contenu binaire de TRISA	1	1	0	1

Contenu de TRISA en décimal :	(13) _D
Contenu de TRISA en hexadécimal :	(D) _H

→ pour TRISB :

Ligne de RB concernée	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0
Bit de TRISB concerné	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
Contenu binaire de TRISB								

/ 2

Contenu de TRISB en décimal : <i>☞ Faire obligatoirement apparaître vos calculs.</i>	
Contenu de TRISB en hexadécimal : <i>☞ Faire obligatoirement apparaître vos calculs.</i>	

/ 4

/ 4

3. La fonction FS4.2 est architecturée autour d'un microcontrôleur (PIC 16C54 en version OTPROM) possédant 512×12 bits de ROM et 32×8 bits de RAM. *On veut préciser certaines caractéristiques du PIC utilisé.*

3.1 Donner la signification anglaise de l'abréviation ROM.

/ 1

3.2 Traduire en français votre réponse précédente.

/ 1

3.3 Indiquer si le code utilisateur (3 chiffres) utilisé pour le paramétrage à distance est mémorisé dans la RAM où dans la ROM du PIC ? **Justifier** votre réponse.

/ 2

3.4 A l'aide du schéma structurel de l'objet technique présent dans votre dossier support, indiquer le repère et le type de composant qui assure la cadence de l'horloge du PIC.

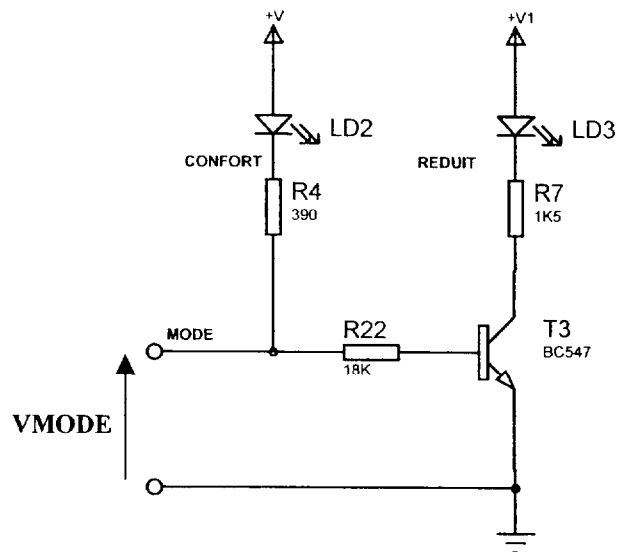
/ 2

3.5 A l'aide de l'annexe 5 de votre dossier support, en déduire la désignation de l'oscillateur à déclarer lors de la programmation du PIC (LP, RC, XT ou HS).

/ 1

EXERCICE 5 : Etude de FS4.4

FS4.4 visualise l'état du mode de consigne sélectionné (réduit ou confort). Le transistor T3 fonctionne en commutation. On se propose de valider le fonctionnement de FS4.4.



1. Compléter le tableau suivant :

VMODE	Etat électrique de T3 (bloqué ou saturé)	Etat physique de LD2 (éteinte ou allumée)	Etat physique de LD3 (éteinte ou allumée)
0 V			
5 V			

/ 3

2. On associe aux informations visuelles CONFORT et REDUIT le raisonnement logique suivant :

LD2 allumée → CONFORT = 1	LD3 allumée → REDUIT = 1
LD2 éteinte → CONFORT = 0	LD3 éteinte → REDUIT = 0

2.1. Ecrire les tables de vérité de CONFORT et de REDUIT en fonction de MODE.

MODE	CONFORT
0	
1	

MODE	REDUIT
0	
1	

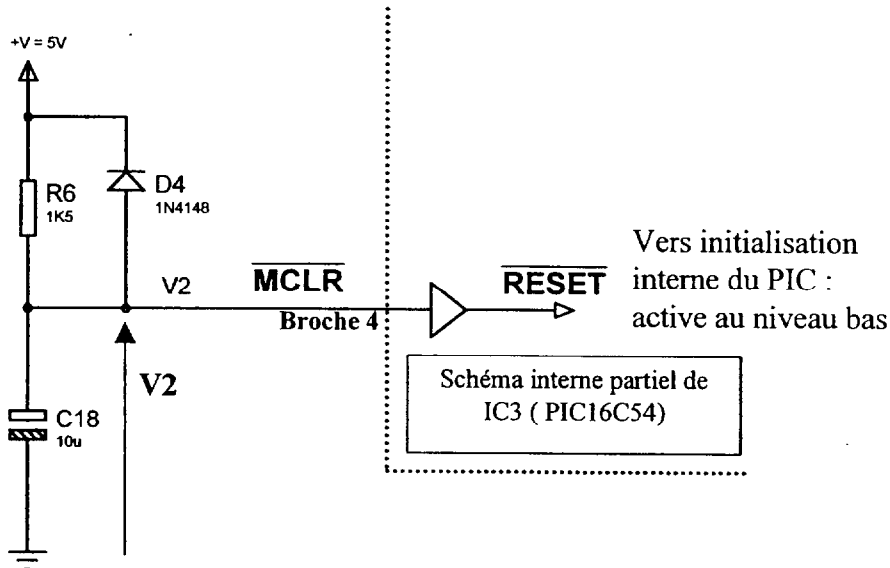
/ 2

2.2. Ecrire les équations logiques de CONFORT et de REDUIT en fonction de MODE.

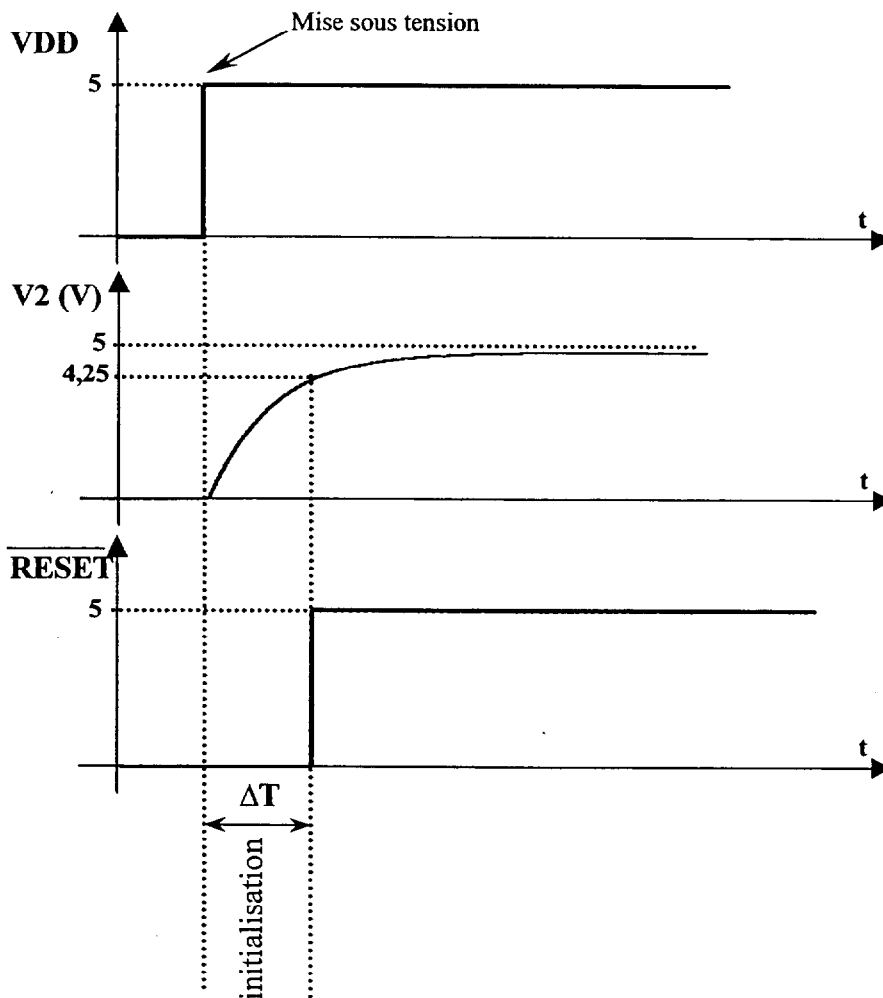
/ 2

EXERCICE 6 : Etude de FS4.3

FS4.3 initialise à la mise sous tension le microcontrôleur IC3 (PIC16C54). On désire vérifier que la durée de l'initialisation (notée ΔT) est conforme à la documentation constructeur du PIC16C54.



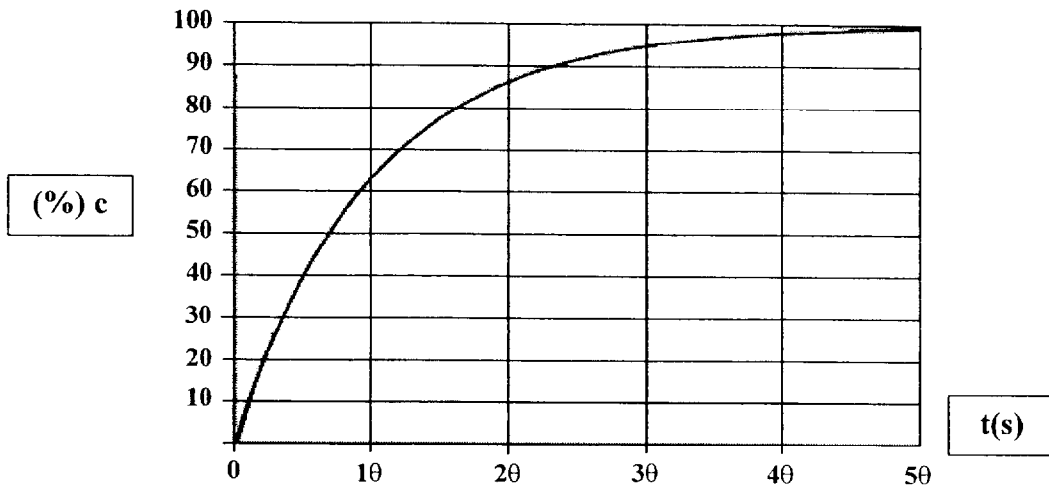
Les chronogrammes de VDD, V2 et $\overline{\text{RESET}}$ sont :



1. **Calculer** le pourcentage en charge (notée $(\%)c$) atteint par V2 à la fin de l'initialisation.

/ 2

2. **A l'aide de la courbe universelle de charge d'un condensateur fournie ci-dessous, déterminer** l'expression de ΔT en fonction de θc , constante de temps de charge de C18 à travers R6.



/ 3

3. **Calculer** θc , constante de temps de charge de C18 à travers R6 et la valeur de ΔT .

/ 2

4. **A l'aide de l'extrait de la documentation constructeur du PIC1654 fournie en page 17, indiquer** à quelle valeur doit être supérieure ΔT pour que l'initialisation soit effective.
Conclure.

/ 2

Remarque : UM92870 équivale à MT8870

MT8870D/MT8870D-1 ISO²-CMOS

condition is maintained (EST remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TS1}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD} . GT continues to drive high as long as EST remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$$t_{REC} = t_{DP} + t_{GTP}$$

$$t_{ID} = t_{DA} + t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 μ F is

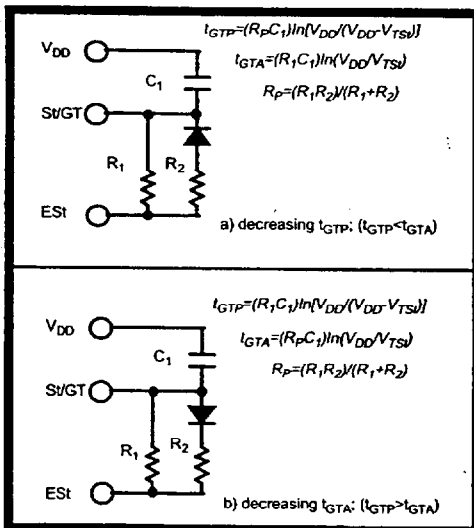


Figure 5 - Guard Time Adjustment

4-14

Digit	TOE	INH	EST	Q ₄	Q ₃	Q ₂	Q ₁
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table

L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

recommended for most applications, leaving R to be selected by the designer.

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

FIGURE 10-4: RESET, WATCHDOG TIMER, AND DEVICE RESET TIMER TIMING - PIC16C54/55/56/57

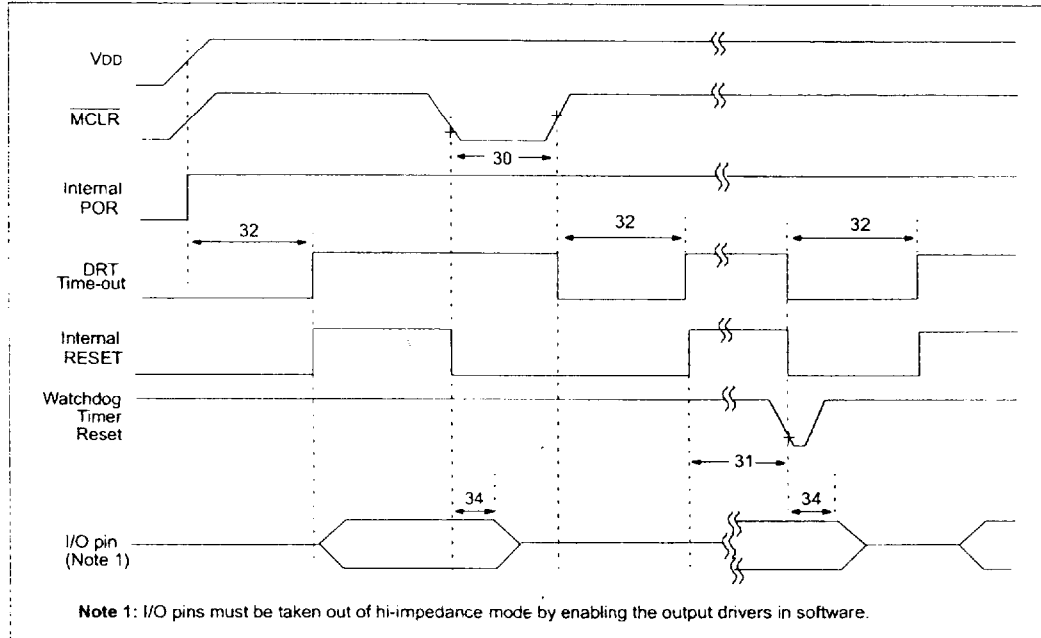


TABLE 10-3: RESET, WATCHDOG TIMER, AND DEVICE RESET TIMER - PIC16C54/55/56/57

AC Characteristics Standard Operating Conditions (unless otherwise specified)							
Operating Temperature 0°C ≤ TA ≤ +70°C (commercial)							
-40°C ≤ TA ≤ +85°C (industrial)							
-40°C ≤ TA ≤ +125°C (extended)							
Operating Voltage VDD range is described in Section 10.1, Section 10.2 and Section 10.3							
Parameter No.	Sym	Characteristic	Min	Typ ⁽¹⁾	Max	Units	Conditions
30	TmCL	MCLR Pulse Width (low)	100*	—	—	ns	VDD = 5.0V
31	Twdt	Watchdog Timer Time-out Period (No Prescaler)	9*	18*	30*	ms	VDD = 5.0V (Commercial)
32	TDRT	Device Reset Timer Period	9*	18*	30*	ms	VDD = 5.0V (Commercial)
34	TioZ	I/O Hi-impedance from MCLR Low	—	—	100*	ns	

* These parameters are characterized but not tested.

Note 1: Data in the Typical ("Typ") column is at 5.0V, 25°C unless otherwise stated. These parameters are for design guidance only and are not tested.