

B.T.S. ELECTRONIQUE

Session 2005

ETUDE D'UN SYSTEME TECHNIQUE

**SYSTEME DE SERRAGE AUTOMATISE
MOD 5200**

Dossier de questionnement

SOMMAIRE

PARTIE A : ETUDE DE LA FONCTION TRAITEMENT DES DONNEES FP4	1
PARTIE B : ETUDE DE LA FONCTION MEMORISATION DES DONNEES FP5.....	3
B.1. Etude du plan mémoire	3
B.2. Etude de l'échange des informations	3
PARTIE C : ETUDE DE LA CHAINE DE MESURE FP1 ET FP2	7
C.1. Etude de la fonction captage FP1.....	7
C.2. Etude de la fonction captage FP2.....	9
PARTIE D : ETUDE DE LA MESURE DE L'ANGLE DE ROTATION FP6	15

Remarque importante :

Ce dossier de questionnement est composé de quatre parties indépendantes dont voici une brève description ainsi qu'une estimation de la durée du travail demandé :

- ✓ **PARTIE A (1H00)** : Au sein de cette première partie vous serez amené, à travers une étude détaillée du décodage d'adresse mis en œuvre, à comprendre et valider le bon fonctionnement des structures utilisées.
- ✓ **PARTIE B (1H15)** : Cette deuxième partie se décompose en deux sous parties :
 - Dans un premier temps il vous sera demandé de quantifier les capacités mémoires mise en œuvre au sein de l'objet technique puis de valider le choix des types de mémoire retenus.
 - Dans un second temps nous nous attacherons à vérifier que le choix en terme de temps d'accès des mémoires est correct en fonction des structures réalisant l'interfaçage avec le microprocesseur.
- ✓ **PARTIE C (2H15)** : Dans cette troisième partie nous étudierons la chaîne complète de mesure du couple de serrage. En partant du capteur et de ses caractéristiques nous analyserons toutes les fonctions secondaires constituant FP2 jusqu'à la numérisation de l'information. Cette étude nous permettra de caractériser la chaîne de mesure du couple de l'objet technique étudié et de montrer que les structures utilisées permettent bien de réaliser les mesures souhaitées.
- ✓ **PARTIE D (1H00)** : Cette dernière partie est consacrée à l'étude de la fonction principale FP6. A partir de la définition des signaux d'entrée et de sortie de FP6, vous serez amené à analyser le diagramme d'états correspondant au circuit programmable MN31 ainsi que la description ABEL en découlant. A l'issue de cette étude il vous sera demandé d'effectuer un choix de composant permettant de remplacer MN31 devenu obsolète.

Remarque :

30 minutes sont consacrées à la lecture du sujet.

PARTIE A : ETUDE DE LA FONCTION TRAITEMENT DES DONNEES FP4

Objectifs : On se propose d'expliquer le rôle de l'association de certains composants dans la mise en œuvre du microprocesseur et de la mémoire RAM ou ROM de l'objet technique étudié. Le questionnement ci-dessous a donc pour but de vous amener progressivement à la compréhension du fonctionnement de la logique de décodage d'adresse et des différentes structures associées à la mise en œuvre du microprocesseur. A l'issue vous serez donc en mesure de comprendre, expliquer le rôle et valider le bon fonctionnement de l'association des structures étudiées.

Question A.1.1 : Expliquez brièvement le rôle du composant MN2 MAX695 (schéma 1 sur 5) et notamment la signification du signal LOWLINE. Déterminez le niveau logique de ce signal LOWLINE pour que l'entrée $\overline{G1}$ de MN9 74HC154 (schéma 1 sur 5) soit active.

.....

.....

.....

.....

.....

.....

.....

Dans l'étude du décodage d'adresse ci-dessous on suppose $\overline{AS} = 0$, $FC0 = FC1 = 0$.

Question A.1.2 : Complétez le tableau d'adressage ci-dessous :

		Bus d'adresses						Signaux de sélection		
		Valeurs binaires							Valeurs hexadécimales	
		A23 ... A20	A19 ... A16	A15 ... A12	A11 ... A8	A7 ... A4	A3 ... A0		A23 A0	
Adresse basse	0								0	$\overline{CSACIA1}$
Adresse haute	0								1	
Adresse basse	0								0	\overline{CSRAM}
Adresse haute	0								1	
Adresse basse	0								0	\overline{CSROM}
Adresse haute	0								1	

Question A.1.3 : Sachant que les vecteurs d'interruptions et de reset se trouvent au voisinage des adresses \$000000, expliquez pourquoi les résultats précédents sont corrects.

.....

.....

.....

.....

.....

Question A.1.4 : Dans le tableau précédent, le bit d'adresse A23 était au niveau logique bas ($A23 = 0$). Lorsque A23 passe au niveau logique haut de nouveaux espaces mémoire apparaissent et sont en réalité identiques à ceux obtenu pour $A23=0$? Comment appelle-t-on ces espaces mémoire ? On suppose toujours que $FC0 = FC1 = 0$.

.....

.....

.....

.....

Question A.1.5 : Déterminez la période du signal \overline{BERR} (schéma 1 sur 5) en sortie de MN5:D pour $\overline{AS} = 0$. Que devient ce signal si la fréquence du signal \overline{AS} est très grande devant celle du signal \overline{BERR} calculée précédemment ?

.....

.....

.....

.....

Tous les cycles de lecture ou d'écriture du microprocesseur comportent plusieurs changements de niveau du signal \overline{AS} (Adress Strobe). De plus, le passage au niveau logique bas du signal \overline{BERR} indique au microprocesseur une erreur dans le cycle en cours.

Question A.1.6 : Dans ces conditions et sachant que la fonction réalisée autour de MN1A et B est nommée "chien de garde" (ou watch dog), expliquez comment une anomalie (microprocesseur dans un état indéterminé : plus de cycle d'écriture ou lecture) peut être détectée par une telle structure. Quel est le rôle de cette fonction dans la mise en œuvre du microprocesseur ?

.....

.....

.....

.....

.....

PARTIE B : ETUDE DE LA FONCTION MEMORISATION DES DONNEES FP5**B.1. Etude du plan mémoire**

Objectifs : Dans cette première partie, on se propose de quantifier la capacité mémoire (RAM ou ROM) de cet objet technique puis d'identifier le type de composant choisi et enfin de justifier le choix de ces composants.

Question B.1.1 : *En vous aidant de la documentation constructeur des composants MN18, MN19, MN21 et MN22 (schéma 2 sur 5) et des schémas structurels, déterminez l'espace mémoire RAM et ROM de l'objet technique. Exprimez-le en octet, Koctet, Moctet et mots de 16 bits.*

.....

.....

.....

.....

.....

.....

.....

.....

Question B.1.2 : *Citez les principaux types de composants mémoires que vous connaissez et expliquez le choix du constructeur sachant que l'opérateur saisit un certain nombre de données à sauvegarder pour la configuration de l'objet technique en cas de coupure de l'alimentation générale.*

.....

.....

.....

.....

.....

.....

.....

.....

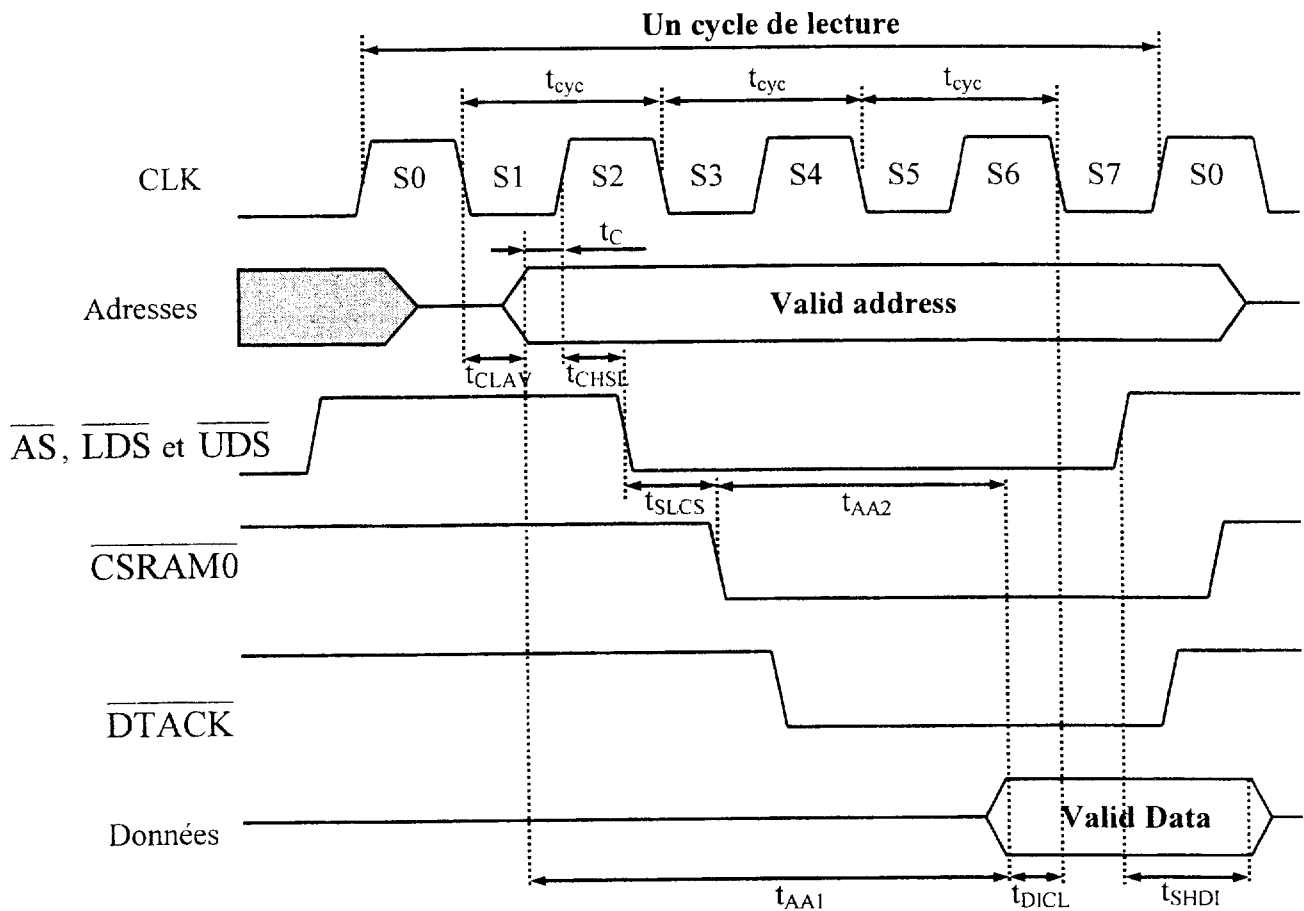
B.2. Etude de l'échange des informations

Objectifs : Cette deuxième partie est consacrée à la validation du choix des composants MN19 et MN22 et plus exactement à la comparaison du temps d'accès de ces composants par rapport aux temps d'accès imposés par les cycles de lecture/écriture de l'objet technique. Vous serez donc amené, dans un premier temps, à calculer le temps d'accès théorique, puis tenant compte du décodeur d'adresses de la RAM. Dans un second temps il vous sera demandé d'analyser le fonctionnement de la structure permettant de générer le signal \overline{DTACK} afin d'augmenter la durée du cycle de lecture des RAM. Enfin, vous serez en mesure de montrer que le choix des composants MN19 et MN22 est correct ou non.

Le 68000 possède deux modes d'échange des données via les bus système :

- ✓ Le **mode asynchrone**, avec échange de signaux de « poignées de mains » (*handshake*) comme \overline{DTACK} .
- ✓ Le **mode synchrone**, compatible avec la génération des processeurs 8 bits, pour lequel les échanges sont « synchronisés » par une horloge unique (signal E) imposée par le processeur et les signaux \overline{VPA} et \overline{VMA} .

Dans le cadre de notre étude nous n'étudierons que le **mode asynchrone** et le cycle de lecture. Afin de bien comprendre l'utilité des schémas proposés et leur fonctionnement, il convient de revenir tout d'abord sur le cycle de lecture du 68000.



Symboles	Significations	Durées
t_{CYC}	Temps d'un cycle processeur	62.5 ns
t_{CLAV}	Clock Low to Address Valid	30 ns
t_{CHSL}	Clock High to AS Low	30 ns
t_{SLCS}	AS Low to Chip Select	≈ 50 ns
t_{DICL}	Data-In valid to Clock Low (setup time)	5 ns
t_{SHDI}	AS High to Data Invalid (hold time)	0 ns au minimum

Question B.2.1 : *Compte tenu du cycle de lecture du 68000 (voir chronogrammes précédents), calculez le temps d'accès théorique t_{AA} entre le moment où les adresses sont valides et le moment où les données doivent être présentes en sortie du composant sélectionné. Exprimez le temps t_{AA1} en fonction de t_{CYC} , t_{CLAV} et t_{D1CL} puis calculez sa valeur numérique.*

.....

.....

Dans notre cas, la sélection des composants (décodage d'adresses) est réalisée à partir des signaux FCO, FC1, \overline{AS} et du bus d'adresses introduisant ainsi le temps t_{SLCS} dans la génération du signal de sélection de boîtier CSRAM0

Question B.2.2 : *Exprimez, dans un premier temps, t_c en fonction de t_{CYC} et t_{CLAV} .*

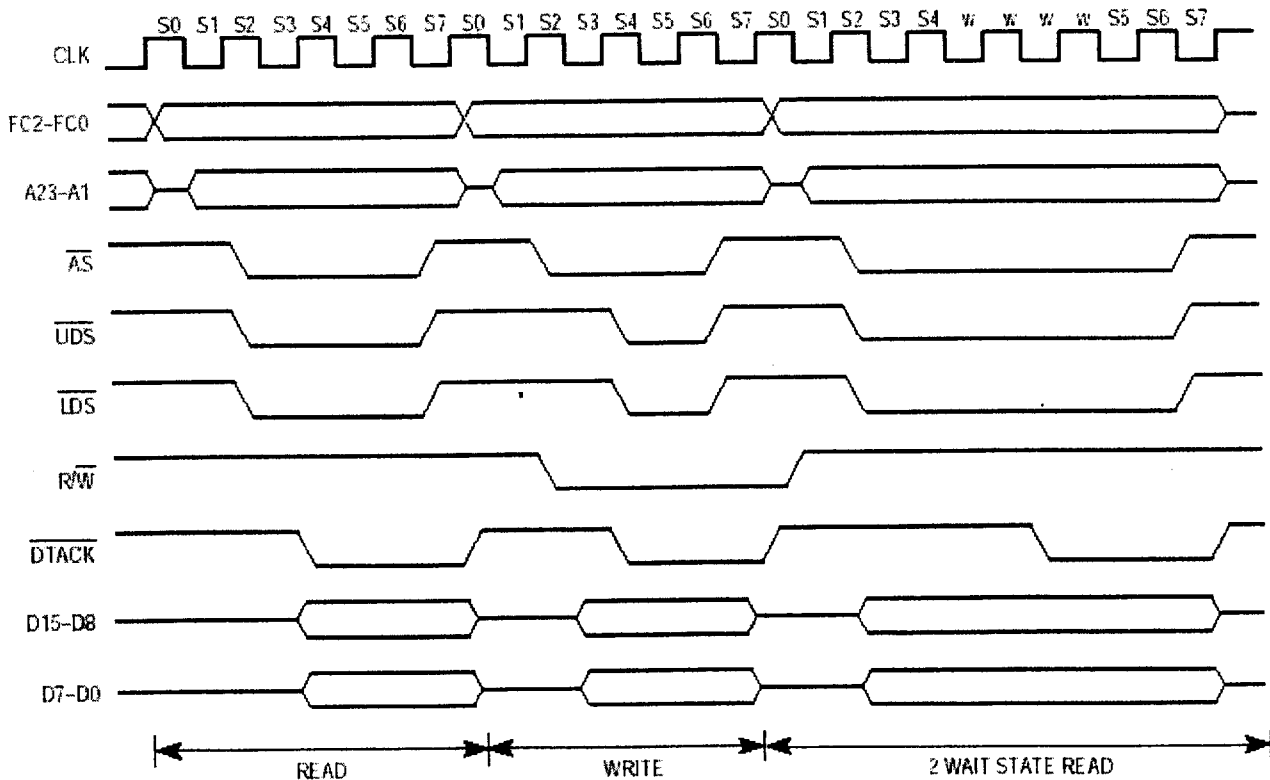
.....

Question B.2.3 : *Dans un second temps, exprimez puis calculez le temps t_{AA2} en fonction de t_{AA1} , t_{CYC} , t_{CLAV} , t_{SLCS} et t_{CHSL} .*

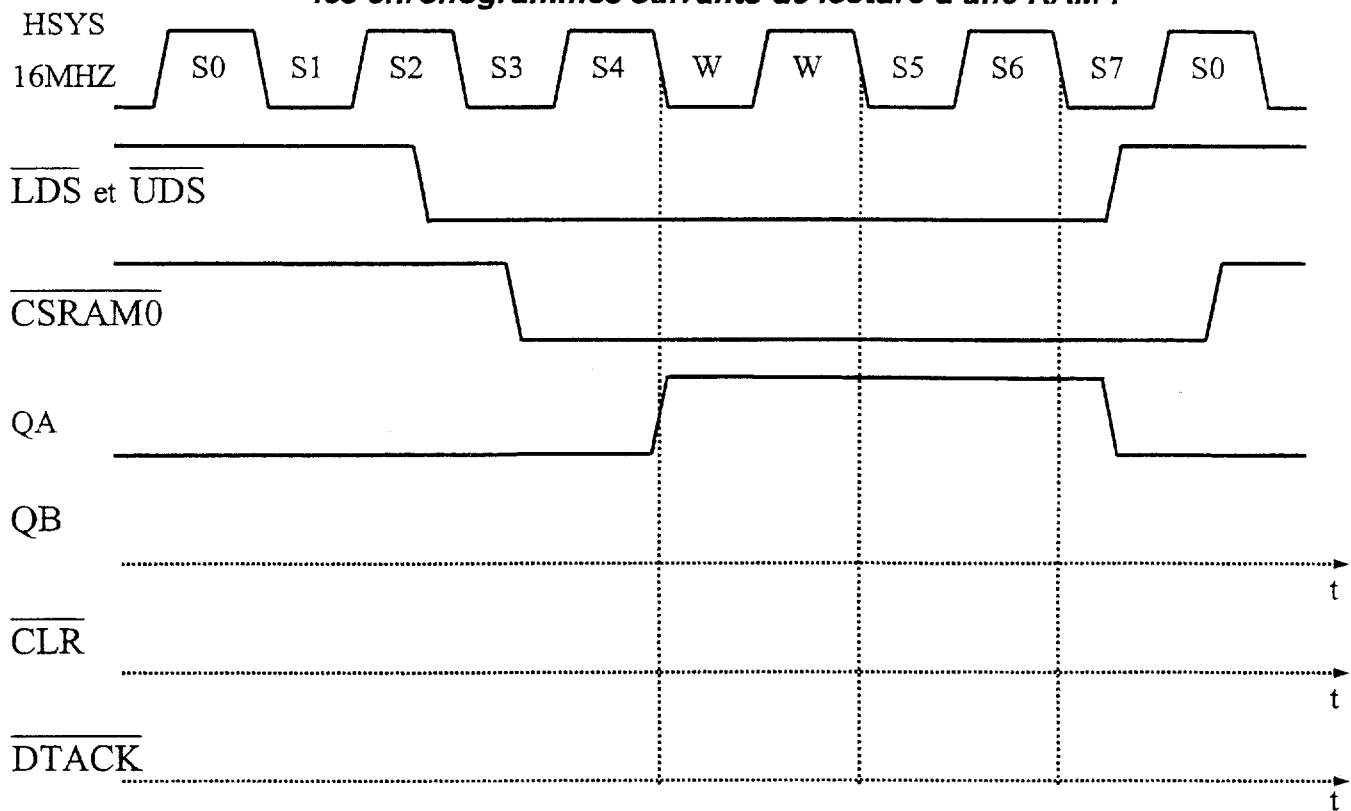
.....

.....

Pour imposer au microprocesseur d'insérer des cycles d'attente entre S4 et S5 il suffit de retarder l'arrivée du niveau bas sur le signal DTACK. Le chronogramme ci-dessous donne l'exemple de deux cycles, l'un de lecture et l'autre d'écriture, sans cycle d'attente suivi d'un cycle de lecture comportant deux cycles d'attente :



Question B.2.4 : En posant $\overline{DTACK1} = 1$, $\overline{DTACK3} = 0$, $\overline{CSROM} = 1$, le cavalier ST6 en position 2-3 (schéma structurel page 2 sur 5), complétez les chronogrammes suivants de lecture d'une RAM :



Question B.2.5 : Déterminez, à partir de la documentation constructeur, le temps d'accès des RAM CXK581000-10LL (MN19 et 22) utilisées.

.....

.....

.....

Question B.2.6 : Montrez quantitativement que le choix du constructeur pour les composants RAM MN19 et MN22 est correct ou non. Pour ce faire, recalculez le temps d'accès obtenu à la question B.2.3 (tenir compte du ou des cycle(s) d'attente(s) SW) et comparez-le au temps d'accès des RAM déterminé lors de la question précédente.

.....

.....

.....

.....

.....

.....

PARTIE C : ETUDE DE LA CHAÎNE DE MESURE FP1 ET FP2**C.1. Etude de la fonction captage FP1**

Objectifs : Dans cette première partie nous allons nous attacher à caractériser le capteur de couple formé par l'association de plusieurs jauges de contraintes. L'objectif étant de déterminer la valeur de la tension de sortie de ce capteur en fonction du couple appliqué. La relation ainsi obtenue nous permettra de quantifier l'ordre de grandeur des tensions délivrées par le capteur.

Dans notre étude la fonction FP1 est constituée de huit jauges résistives J_1 à J_8 (référence : TA-13-125-FHP 350) de résistances respectives R_{j1} à R_{j8} qui sont collées sur le corps d'épreuve et disposées dans les branches d'un pont entier de Wheatstone. La déformation d'une jauge entraîne une variation ΔR de sa résistance.

Alliage	Composition	K_j
Constantan	45% Ni, 55% Cu	2,0 à 2,1
Karma	74% Ni, 20% Cr, 3% Cu, 3%Fe	2,1 à 2,2
Isoélastique	52% Fe, 35% Ni, 8% Cr, 4% (Mn, Mo)	3,2 à 3,6
Platine-Tungstène	92% Pt, 8% W	4,0 à 4,6
Semi-conducteur	Silicium mono-cristal	50 à 200

Tableau des facteurs de jauge de différents matériaux

On admettra que : $\Delta R/R_j = K_j \Delta L/L$

Avec R_j résistance nominale de la jauge
 K_j facteur de jauge (voir tableau ci-dessus)
 $\Delta L/L$ variation relative de la dimension initiale

La disposition des capteurs sur le corps d'épreuve est telle que :

$$R_{j1} = R_{j8} = R_{j4} = R_{j5} = R_j + \Delta R$$

$$R_{j2} = R_{j3} = R_{j6} = R_{j7} = R_j - \Delta R$$

Question C.1.1 : Déterminez à partir de la description de la référence des jauges issue de la documentation constructeur :

- La valeur de la résistance nominale R_j de la jauge,
- le facteur de jauge K_j ,
- la géométrie des jauges (simple, double, membrane, etc.),
- longueur active L sachant que 1 pouce = 2,54 cm.

$R_j =$

$K_j =$

Géométrie :

Longueur active $L =$