

0506 – AER A ST A

SESSION 2005

DUREE : 4 heures

COEFFICIENT : 2

E1A - ETUDE D'UN SYSTEME D'AERONEF (U11)

option : MS - AVIONIQUE

1 - DOSSIER TECHNIQUE

2 - DOSSIER SUJET - REPONSES

E1A – ETUDE D'UN SYSTEME D'UN AERONEF (U 11) Option : MS - AVIONIQUE

DOSSIER TECHNIQUE

CE DOSSIER EST COMPOSE DE 27 FEUILLES DE DT 1 à DT 27

SOMMAIRE

DESCRIPTION DU SYSTEME	Page 1
DESCRIPTION ET FONCTIONNEMENT DU DEBITMETRE	Page 3
1. Généralités.	Page 3
2. Caractéristiques.	Page 3
3. Description.	Page 5
4. Fonctionnement.	Page 7
Tables des figures.	Page 12
Nomenclature.	Page 18
Documentation constructeur des composants électroniques.	Page 19

BAC. PROFES. « AERONAUTIQUE » Option Avionique

<u>Epreuve E1A</u> : Etude d'un système d'un aéronef	
DUREE : 4 heures	COEFFICIENT : 2
DOSSIER TECHNIQUE	Sommaire

DESCRIPTION DU SYSTEME

GENERALITES

A. L'installation en carburant de l'avion est en partie comprise dans les zones délimitées par les réservoirs des deux demi-voilures et du plan central.

Cette installation est composée de deux circuits identiques permettant de remplir chaque réservoir.

Une canalisation réalise l'intercommunication entre les réservoirs.

Une branche particulière cheminant dans le fuselage alimente le groupe APU (*) à partir du réservoir de demi-voilures gauche.

B. Le remplissage s'effectue normalement sous pression par commande et contrôle électrique.

Le remplissage peut également être effectué sous pression par commande et contrôle manuel ou en cas de besoin, par gravité dans chaque demi-voilures.

C. L'indication de la quantité de combustible contenue dans chaque réservoir est fournie en permanence au poste d'équipage par un système de jaugeage électrique.

En cas de besoin, la quantité de combustible peut être mesurée par des jauges mécaniques à lecture directe.

D. Le débitmètre (Fig.1) page2/27, objet de notre étude, permet le contrôle de l'installation. Il est situé sur la planche de bord.

(*) APU = Auxiliary Power Unit (Groupe Auxiliaire de Puissance)

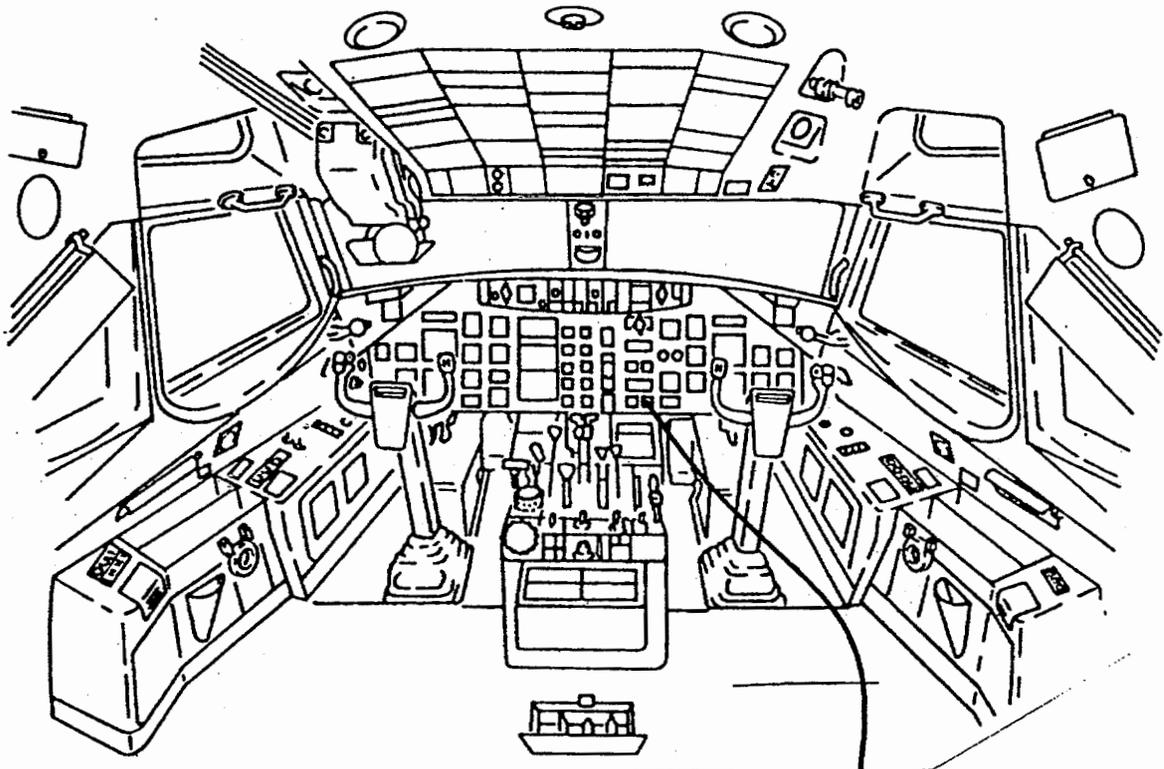
BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

DUREE : 4 heures COEFFICIENT : 2

DOSSIER TECHNIQUE Page 1 / 27

Poste d'équipage



Face avant du débitmètre

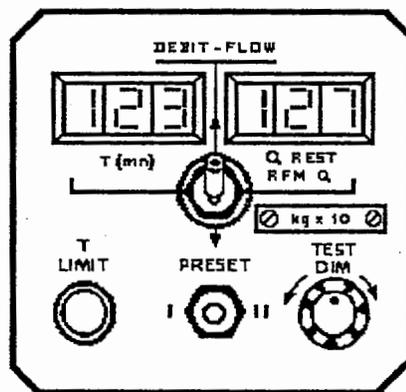


Fig. 1

BAC. PROFES. " AERONAUTIQUE " Option Avionique

Epreuve EIA : Etude d'un système d'un aéronef

DUREE : 4 heures

COEFFICIENT : 2

DOSSIER TECHNIQUE

Page 2 / 27

DESCRIPTION ET FONCTIONNEMENT DE L'OBJET TECHNIQUE :

DEBITMETRE

1. GENERALITES

Suivant le mode de fonctionnement sélectionné, le débitmètre numérique est un système électronique permettant, d'afficher :

- Le débit de carburant sur chaque moteur, grâce aux informations fournies par les transmetteurs placés dans les circuits d'alimentations.
- La quantité de carburant restante.
- Le temps de vol restant.

Ce module débitmètre est utilisable sur 4 types d'appareils.

Situé à l'arrière du débitmètre (Fig. 2) page 4/27, un commutateur permet de choisir le type d'appareil, un autre commutateur permet de choisir, l'unité de mesures.

Une embase, située à l'arrière, permet d'effectuer la liaison électrique avec les différents organes externes tels que:

- Les transmetteurs droit et gauche envoient des signaux électriques dont la fréquence est proportionnelle au débit,
- Les alimentations 28 V DC
- Les thermistances servant au contrôle de la température.

2. CARACTERISTIQUES DU DEBITMETRE

A. CARACTERISTIQUES PHYSIQUES

- Encombrement (Fig. 2) page 4/27.
- Masse : 558 g

B. CARACTERISTIQUES TECHNIQUES

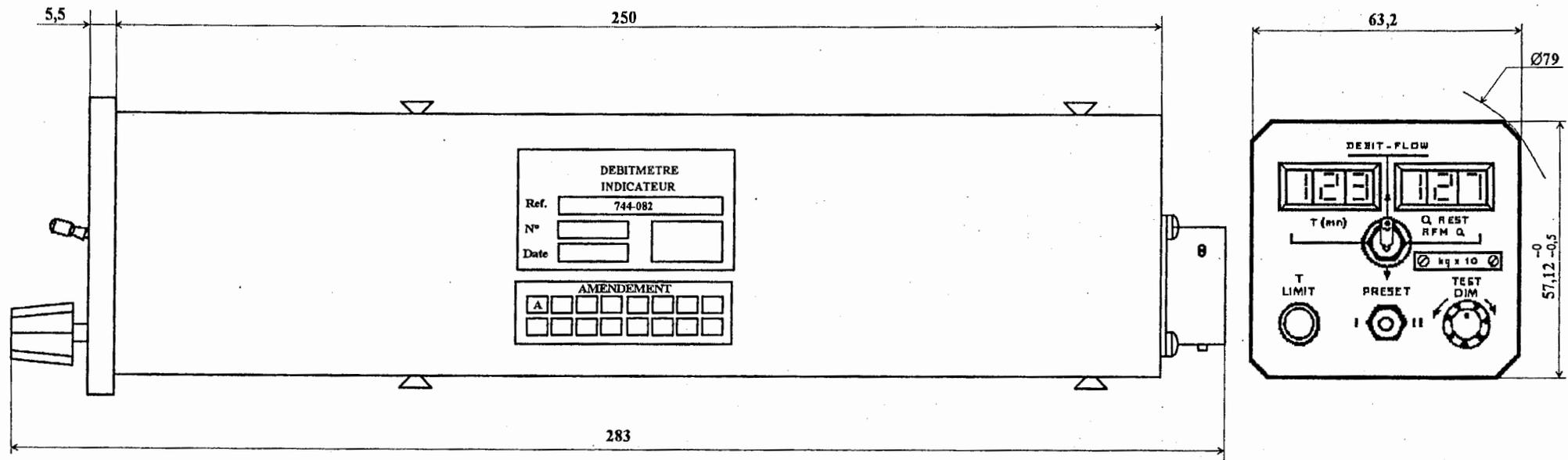
- Alimentation : 28 V DC.
- Eclairage : 5 lampes, 28 V, 120 mA \pm 15 mA.
- Température de fonctionnement : - 40 °C à + 100 °C.

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

DUREE : 4 heures COEFFICIENT : 2

DOSSIER TECHNIQUE Page 3 / 27



Vue de dessus

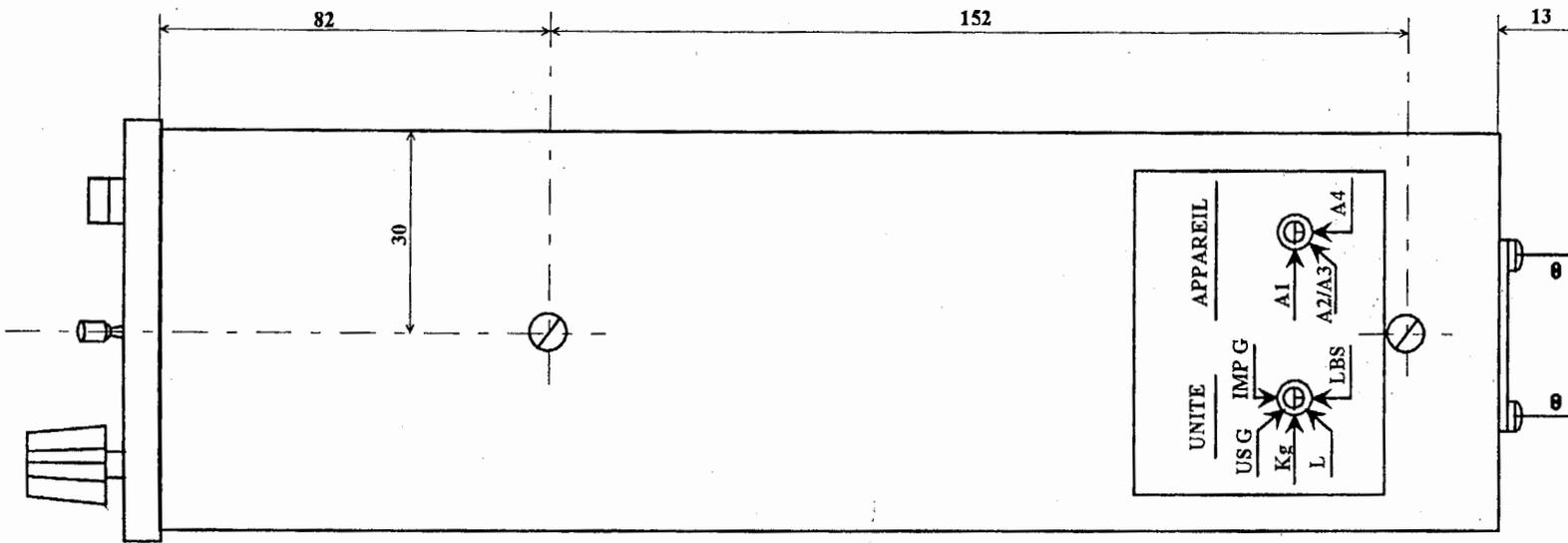


FIG. 2 : DEBITMETRE : Encombrement

BAC. PROFES. " AERONAUTIQUE " Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

DUREE : 4 heures

COEFFICIENT : 2

DOSSIER TECHNIQUE

Page 4 / 27

3. DESCRIPTION

A. DESCRIPTION EXTERNE

1°) **Face avant :** (Fig. 2 et 3) page 4/27 et 6/27

- Afficheurs de débit gauche ou temps restant (430).
- Afficheurs de débit droit ou quantité restante (430).
- Un sélecteur pour le mode de fonctionnement (480).
- Un interrupteur "PRESET" (470).
- Un bouton de test servant aussi de réglage d'éclairage (70).
- Un voyant de réserve (temps de vol limite) (500).
- Une étiquette indiquant l'unité utilisée (80).

2°) **Face arrière:**

- Une embase permettant la connexion (300).
- Deux commutateurs implantés sur la carte Z3 (400), (Fig. 4 page 13).
 - Un, pour le choix du type d'appareil,
 - L'autre, pour le choix de l'unité de mesure,

3°) **Dessus:**

- Une plaque indicatrice de positionnement des deux commutateurs suivant le type d'appareil et d'unité de mesure choisis.

4°) **Côté**

- Une plaque d'identité.
- Une plaque d'amendements.

B. CONSTITUTION INTERNE (Fig. 3 et 4) page 6/27 et 13/27.

Trois cartes équipées, positionnées horizontalement

- Carte alimentation Z1 (PL1 190),
- Carte logique de commande Z2 (PL2 240),
- Carte mesures et affichages Z3 (PL3 400).

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

DUREE : 4 heures COEFFICIENT : 2

DOSSIER TECHNIQUE Page 5 / 27

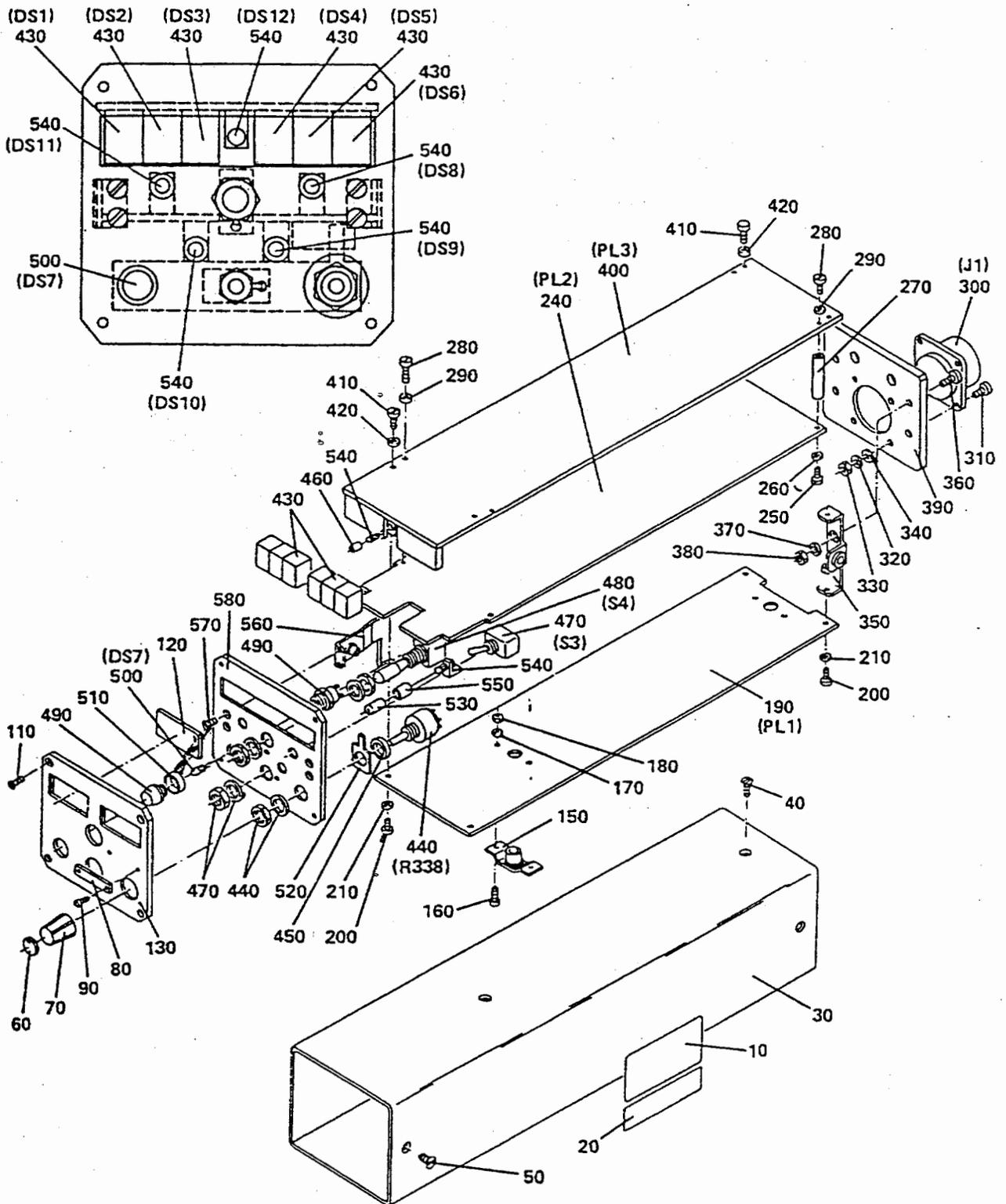


Fig. 3: INDICATEUR DEBITMETRE

BAC. PROFES. " AERONAUTIQUE " Option Avionique	
<u>Epreuve E1A</u> : Etude d'un système d'un aéronef	
DUREE : 4 heures	COEFFICIENT : 2
DOSSIER TECHNIQUE	Page 6 / 27

4. FONCTIONNEMENT

A. SCHEMA FONCTIONNEL (Fig. 4).

Les diverses alimentations nécessaires aux circuits sont réalisées à partir d'une source d'alimentation 28 V_{DC} externe, contrôlée.

Un sélecteur et deux commutateurs indiquent au microprocesseur le mode de fonctionnement, le type d'appareil et l'unité de mesure choisie. Suivant ces indications, le microprocesseur va traiter les signaux (remis en forme auparavant) venant des transmetteurs afin de calculer les débits instantanés gauche et droit, la quantité de carburant restante ainsi que le temps de vol restant.

Les différents calculs sont réalisés à l'aide des programmes enregistrés dans l'EPROM. La RAM sert pour le stockage des données.

Le microprocesseur envoie les indications nécessaires à l'affichage, relatives au type d'appareil et à l'unité de mesure choisis.

Un chien de garde permet d'effectuer la remise à zéro de la RAM et du microprocesseur à la demande de ce dernier ou lorsqu'un défaut d'alimentation survient.

Un témoin de réserve s'allume lorsque le temps de vol limite calculé est inférieur à 40 mn.

Deux thermistances, placées dans les transmetteurs, permettent au microprocesseur de contrôler la température.

Une pile de sauvegarde permet de conserver les données stockées dans la RAM, lors d'une coupure d'alimentation 28V.

B. FONCTIONNEMENT DETAILLE

1°) Alimentations (Fig.5) page 14/27.

La tension 28 V réseau est protégée puis filtrée afin d'alimenter le voyant de réserve DS7 (Fig. 8) page 17/27 et les circuits générant les tensions d'utilisations.

a) Contrôle 28 V

La tension réseau 28 V est appliquée au comparateur MA100 qui commande le transistor Q100. Ce dernier est saturé lorsque la tension réseau devient inférieure à 18,2 Volts, le signal de validité 28 V devenant nul. Lorsque la tension réseau est correcte, cette validité est à 5 V.

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

DUREE : 4 heures COEFFICIENT : 2

DOSSIER TECHNIQUE Page 7 / 27

b) Tension + 13 V

La tension réseau 28 V filtrée est appliquée au régulateur MA102 qui fournit une tension 13 V régulée grâce au pont de résistance qui référence ce régulateur à 1 V. Cette tension de 13 V sert, après filtrage, à alimenter les circuits de remise en forme des signaux et le circuit de réglage de luminosité des afficheurs.

c) Tension + 5 V analogique

Cette même tension + 13 V, après division par un réseau de résistances, est appliquée à l'entrée de l'amplificateur MA101 qui, en sortie, délivre une tension de + 5 V servant après filtrage à alimenter le circuit de contrôle de la température.

d) Tension + 5 V numérique

La tension réseau 28 V filtrée alimente deux transistors Q101 et Q102 montés en cascades et commandés par un circuit modulateur d'impulsion MX100 délivrant un signal rectangulaire. La tension de sortie des transistors, après filtrage, est appliquée à ce même circuit modulateur afin de créer un asservissement. Cette tension de 5 V NUM sert à alimenter les circuits à fonction numérique.

2°) Logique de commande et de contrôle (Fig.6 page 15/27 et Fig 8 page 17/27).

Le principal organe de ce circuit logique est un microprocesseur (MN200) qui, grâce à un programme stocké dans l'EPROM (MN203), peut commander et contrôler les autres organes par l'intermédiaire

- D'une RAM (MN204) pour le stockage des données.
- D'un bus de données.
- D'un bus d'adresses.
- D'un sélecteur de fonctions (multiplexeur MN201 et porte NAND MN205).
- De diverses commandes (VMA, IRQ, RESET...). (*)

Le sélecteur de fonctions génère des signaux de commande pour les différents organes permettant au microprocesseur de venir lire ou écrire sur le circuit sélectionné.

Ces signaux de commande sont générés en fonction des adresses suivantes :

- 8000 : Surveillance du bon déroulement du programme (MN307),
- 9000 : Validation contrôle température (MN315),
- A000 : Décodeur d'adresses (MN304),
- B000 : Validation des sélecteurs types d'appareils et unités de mesure (MN306),
- C000 : Validation des entrées (boutons commandes face avant)(MN305),
- D000 : Validation RAM (MN204),
- F000 : Autorisation lecture EPROM (MN203).

(*)

VMA = Valid Memory Adress = Adresse mémoire valide

IRQ = Interrupt Request = Demande d'interruption

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

DUREE : 4 heures COEFFICIENT : 2

DOSSIER TECHNIQUE Page 8 / 27

Un circuit d'horloge, nécessaire pour le fonctionnement du microprocesseur, est réalisé à l'aide d'un quartz de 4 MHz (Y1) et des condensateurs C200 et C201.

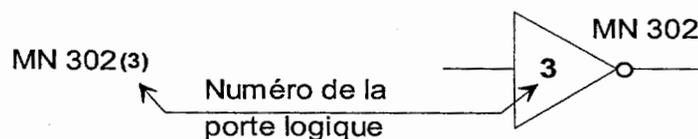
Un indicateur de direction (MN202), commandé par le microprocesseur détermine le sens d'action du bus de données (lecture ou écriture).

3°) Chien de garde (Fig. 7) page 16/27 et 17/27

Le chien de garde est un circuit de surveillance, constitué essentiellement d'un double monostable (MN301), de circuits inverseurs (MN302 et de portes NAND (MN303) à effet Trigger. Ce circuit provoque la remise à zéro du microprocesseur et de la mémoire RAM, dans les cas suivants :

- Défaut d'alimentation source 28 V, qui, passant à un niveau bas, provoque un signal d'interruption NMI (Non Maskable Interrupt = Interruption Non Masquable. A la réception de ce signal, le microprocesseur stocke en mémoire RAM les informations qu'il détenait avant d'effectuer une remise à zéro différée par l'intermédiaire des circuits MN303₍₃₎, MN302₍₃₎ et R322/C316. (*)
- Remise sous tension + 28 V. Au rétablissement de cette dernière, une remise à zéro s'effectue par l'intermédiaire des circuits MN303₍₃₎ et MN302₍₃₎ durant une constante de temps déterminée par le circuit R322/C316. En même temps, par l'intermédiaire des circuits MN303₍₄₎ et MN302₍₄₎, le premier monostable du circuit MN301, en accord avec le top d'horloge du microprocesseur, déclenche; ceci entraîne, par la suite, le déclenchement du second monostable, qui, quand sa sortie passe à + 5 V, va annuler le "RESET", par l'intermédiaire des circuits MN303₍₃₎ et MN302₍₃₎ et en accord avec le + 5 V retardé du circuit R322/C316.
- Absence du signal de bon fonctionnement. Ce signal est issu du circuit de surveillance MN307 qui, par l'intermédiaire du circuit MN202, remet régulièrement le chien de garde à zéro, dans le cas où le programme se déroule correctement. En l'absence de ce signal, le chien de garde déclenche et envoie une impulsion de "RESET" sur le microprocesseur et la mémoire RAM.

(*)



4°) L'affichage (Fig. 8)

Ce circuit permet, suivant les données du microprocesseur, l'affichage des valeurs. Il se décompose en quatre sous ensembles

- Afficheurs 7 segments DS1 à DS6 permettant la visualisation,
- Décodeur d'adresses : multiplexeur MN304 (Fig. 6 page 15/27) qui, lorsqu'il est sélectionné par le sélecteur de fonctions, envoie des signaux de commande aux décodeurs en fonction des adresses suivantes
 - A000 : Validation décodeurs MN312 et MN313
 - A200 : Validation décodeur MN311
 - A400 : Validation décodeurs MN310 et MN309
 - A600 : Validation décodeur MN308
- Décodeurs BCD/7 segments MN308 à MN313 qui, suivant les données du microprocesseur, envoient des signaux sur les segments des afficheurs pour réaliser un affichage correct. Les décodeurs non sélectionnés permettent de garder affichée la valeur précédente,
- Réglage de luminosité des afficheurs : Ce réglage agit sur les décodeurs. Il est réalisé grâce au potentiomètre R338 qui permet de faire varier la composante continue que l'on rajoute aux signaux provenant d'un multivibrateur MN314₍₁₎, MN314₍₂₎, C324, C325, R341 et R342. Le signal global est appliqué à l'entrée de la porte NAND MN314₍₃₎ montée en inverseur. En sortie de cet inverseur à seuil, on obtient des signaux rectangulaires dont le rapport cyclique est proportionnel au réglage du potentiomètre R338.

5°) Circuit de surveillance (Fig.8 page 17/27)

Ce circuit de surveillance MN307 constitué de bascules D garde en mémoire les données venant du bus du microprocesseur tant que ce dernier ne vient pas les modifier. Ces données servent de commandes pour :

- La remise à zéro du microprocesseur et de la RAM (voir § (3)).
- L'allumage du voyant de réserve DS7 : lorsque cette donnée est à 5 V, elle commande le transistor Q300 qui, se saturant, allume le voyant de réserve,
- La lecture des données venant du transmetteur droit (voir §(8)).
- La lecture des données venant du transmetteur gauche (voir §(8)).

6°) Le contrôle de la température (Fig. 8 page 17/27)

Contrôle réalisé par deux thermistances externes et un convertisseur Analogique-Numérique MN315. Ce dernier transforme les variations de tension, dues aux variations de température sur des thermistances, en données numériques compréhensibles par le microprocesseur qui vient les lire grâce à son bus de données lors de la sélection de ce convertisseur.

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

DUREE : 4 heures COEFFICIENT : 2

DOSSIER TECHNIQUE Page 10 / 27

7°) Indications externes (Fig. 8 page 17/27).

- Deux commutateurs (placés à l'arrière du boîtier) indiquent au microprocesseur, par l'intermédiaire du sélecteur type d'appareil et d'unités de mesure MN306, les choix retenus.
- Deux inverseurs et un bouton poussoir (placés sur la face avant) indiquent au microprocesseur, par l'intermédiaire d'un sélecteur des commandes d'entrée, le mode de fonctionnement choisi.
- Le circuit de sélection des commandes d'entrée MN305 transmet aussi au microprocesseur des indications internes telles que les indications provenant du transmetteur gauche (après remise en forme des signaux) et la validité du circuit surveillant la pile de sauvegarde, cette validité est réalisée grâce à la porte NAND MN314⁽⁴⁾.

8°) Mise en forme des signaux provenant des transmetteurs (Fig. 7 pages 16/27 et 17/27)

Les signaux, provenant du transmetteur droit, sont amplifiés et filtrés (circuit MA300). A la sortie de ce filtre amplificateur, les signaux sont écrêtés grâce à la diode CR300 avant d'attaquer l'entrée d'une bascule de Schmitt MN303⁽¹⁾ permettant d'obtenir des créneaux rectangulaires de 5 V.

Les signaux provenant du transmetteur gauche sont mis en forme de la même manière en utilisant les circuits MA301 et CR301, avant d'attaquer la bascule de Schmitt MN303⁽²⁾.

La gestion des signaux provenant des portes MN303^{(1)et(2)} est réalisée par deux bascules RS commandées, constituant le circuit MN300, dont les sorties commandent l'interruption IRQ du microprocesseur au travers d'un inverseur MN302⁽²⁾.

Les variations de débit sont prises en compte en fonction de la fréquence de ces interruptions. La fréquence des signaux des transmetteurs étant basse, le microprocesseur peut effectuer, entre chaque interruption, diverses opérations (exemple commander les afficheurs).

Le microprocesseur peut autoriser la lecture des signaux provenant de l'un et/ou de l'autre des transmetteurs en commandant les bascules RS respectives, via le circuit de surveillance MN307. Lors d'un débit simultané, le microprocesseur peut prendre en compte les signaux provenant des deux bascules, grâce à une dérivation de la sortie de la bascule RS1, sur le bus de données, via le circuit de validation des entrées MN305. Ainsi, en fonction des interruptions et des informations du bus de données, le microprocesseur peut calculer les débits gauche et droit.

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

DUREE : 4 heures COEFFICIENT : 2

DOSSIER TECHNIQUE Page 11 / 27

TABLE DES FIGURES

Fig. 1 - Poste de pilotage et face avant du débitmètre	Page 2
Fig. 2 - Encombrement	Page 4
Fig. 3 - Vue éclatée	Page 6
Fig. 4 - Schéma fonctionnel	Page 13
Fig. 5 - Schéma structurel : alimentation	Page 14
Fig. 6 - Schéma structurel : Logique de commande et de contrôle	Page 15
Fig. 7 - Schéma structurel : Chien de garde	Page 16
Fig. 8 - Schéma structurel : Affichage	Page 17
Nomenclature.	Page 18

Documentation constructeur des composants électroniques

MN 200	MC6802	Page 19
MN 201	SN 54LS138	Page 20
MN 202	SN 54LS245	Page 21
MN 203	ETC 2732	Page 22
MN 204	MWS 5101	Page 23
MN 205	SN 54LS00	Page 24
MN 302	MC14049	Page 25
MN 303	MC14093	Page 26
MN 308	MC4511	Page 27

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Étude d'un système d'un aéronef

DUREE : 4 heures COEFFICIENT : 2

DOSSIER TECHNIQUE Page 12 / 27

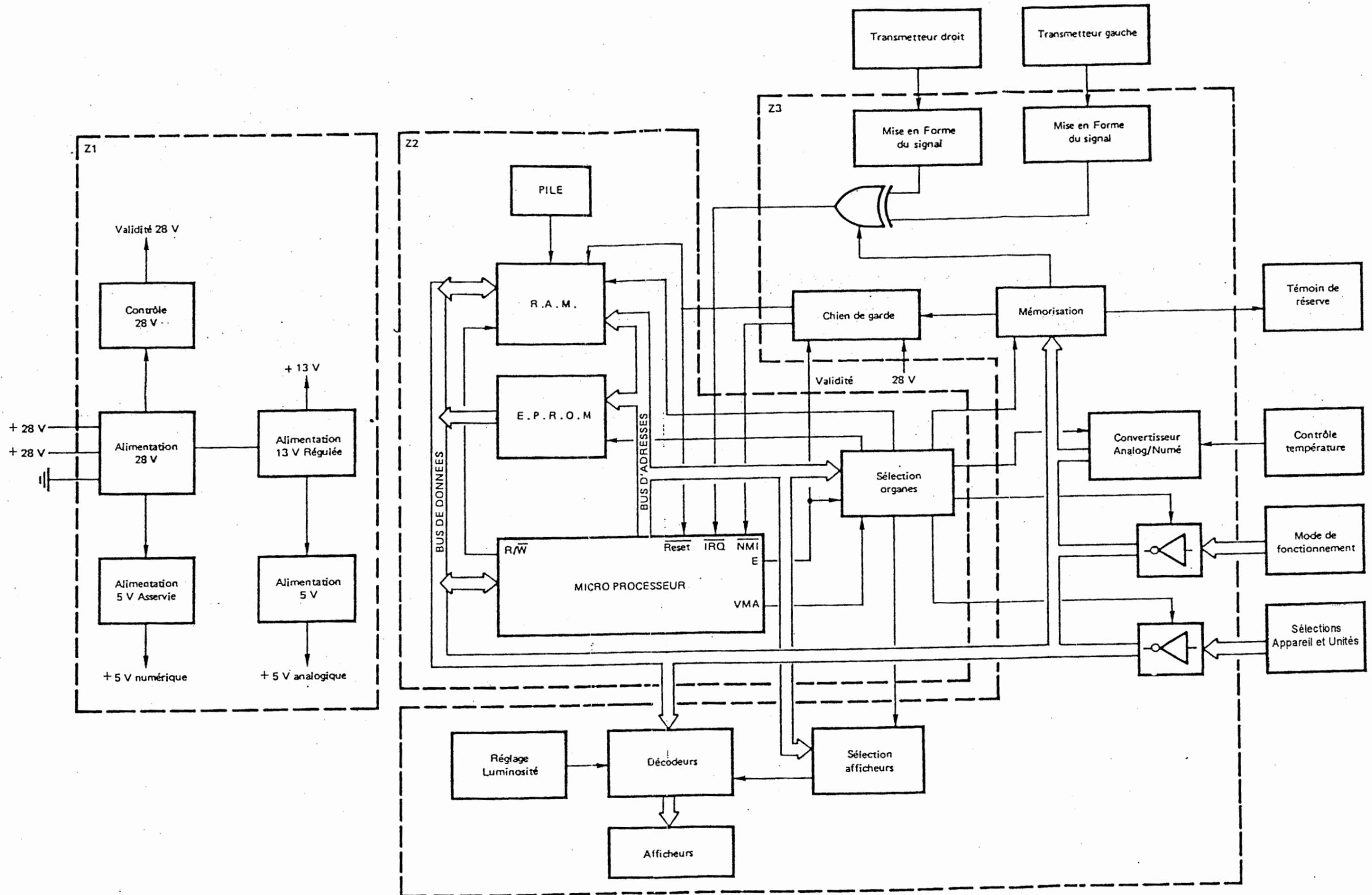
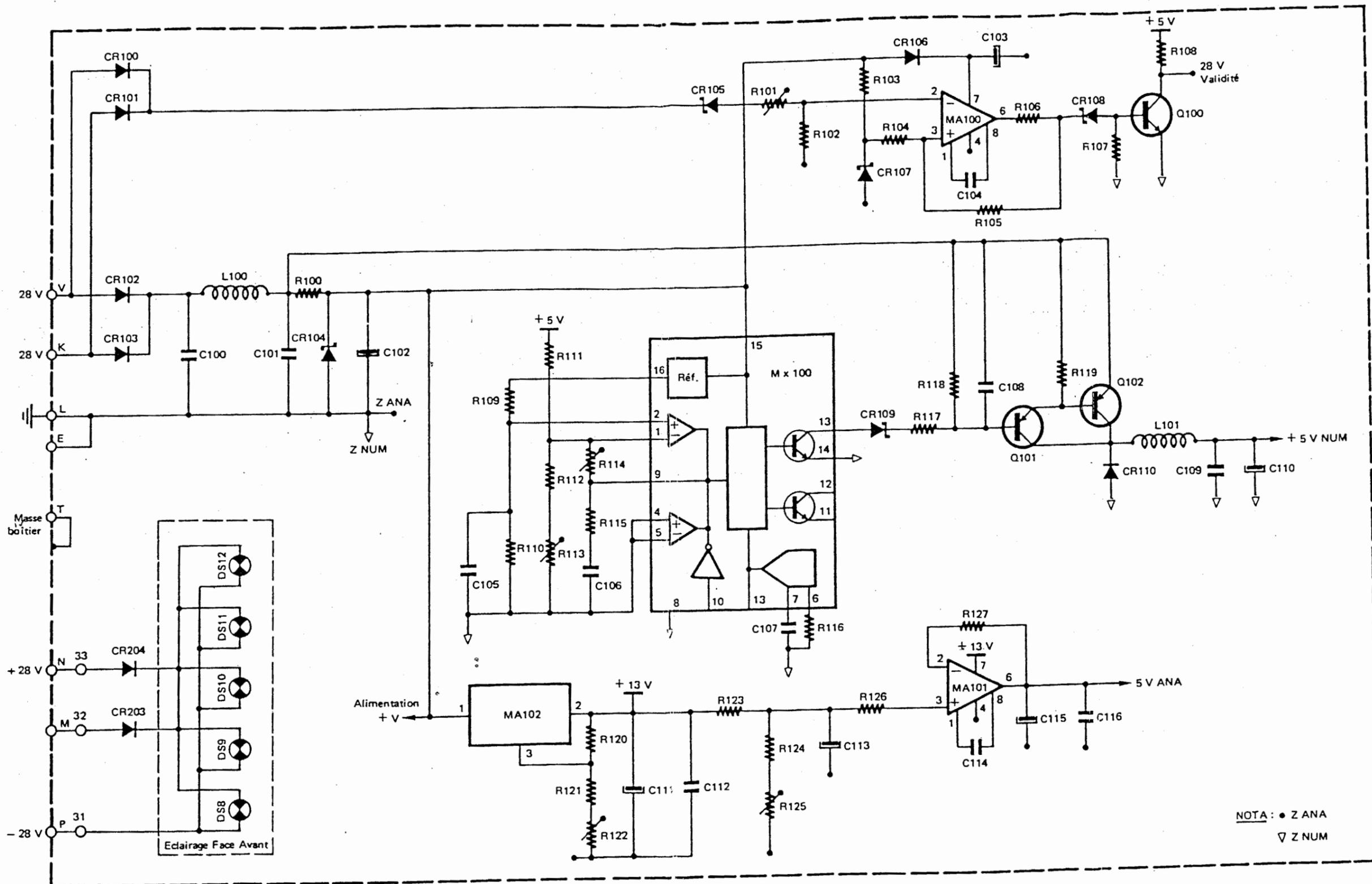
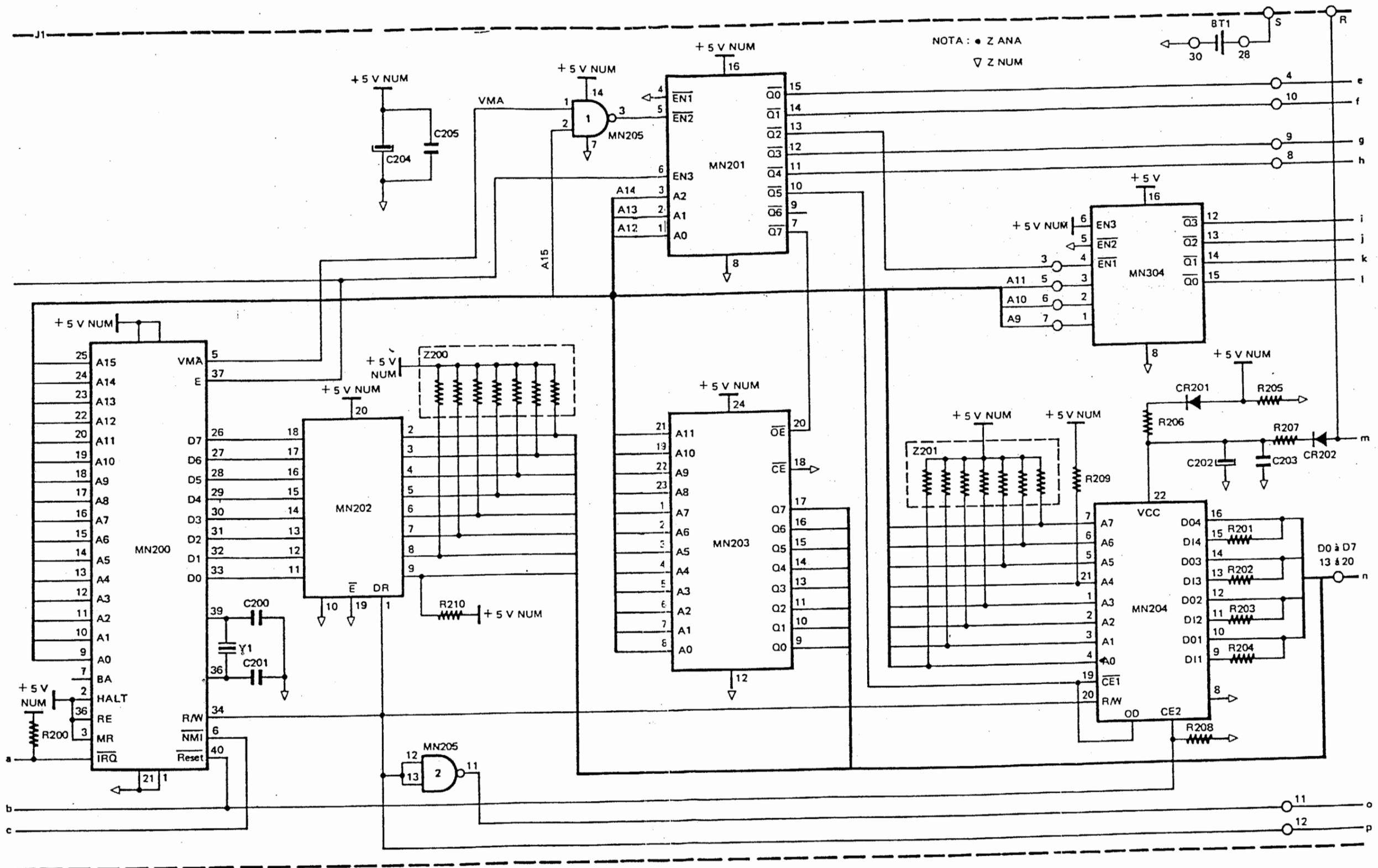


Fig. 4 : SCHEMA FONCTIONNEL

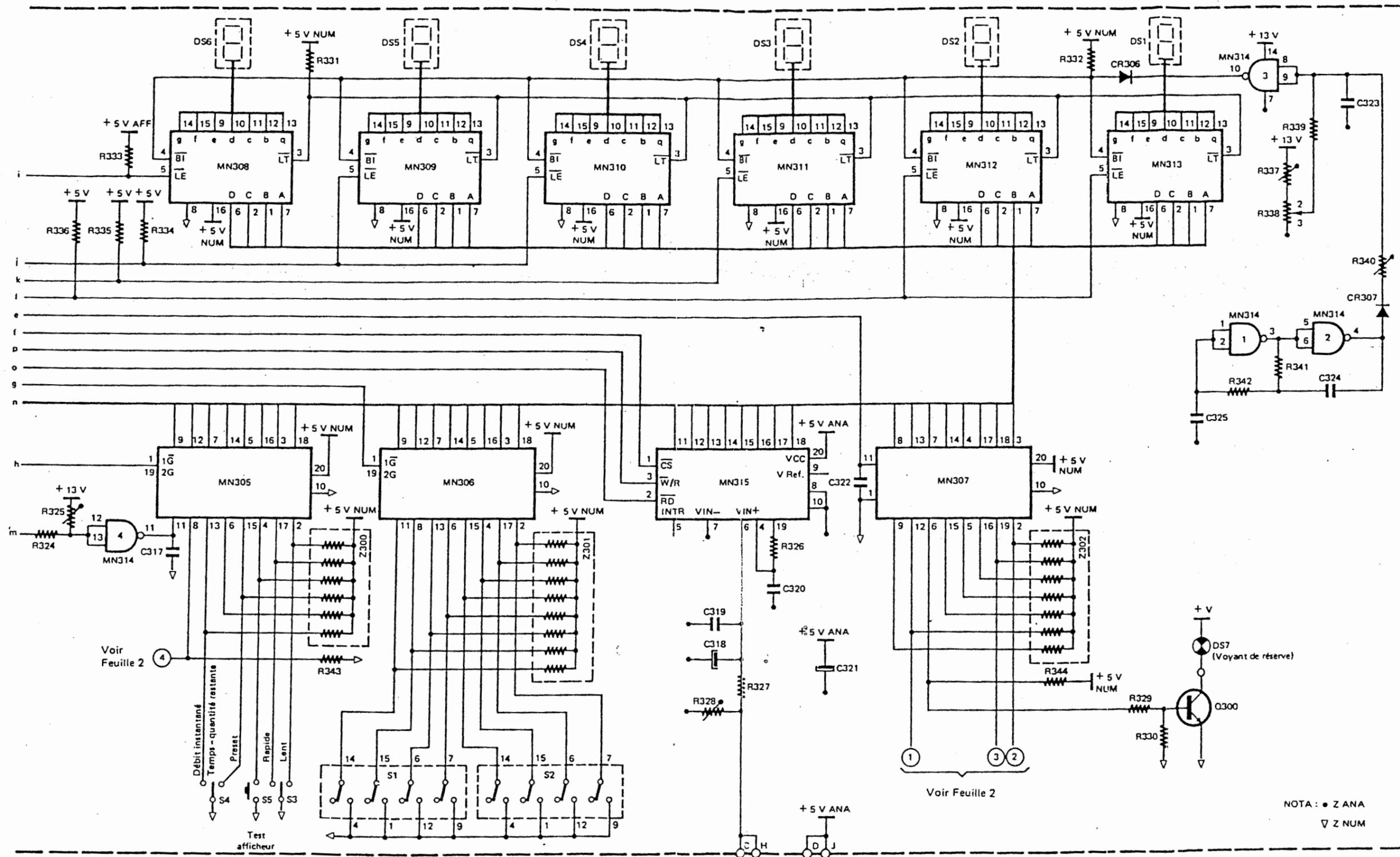


**Fig. 5 : SCHEMA STRUCTUREL :
Alimentations**

BAC. PROFES. « AERONAUTIQUE » Option Avionique
Epreuve E1A : Etude d'un système d'un aéronef
 DUREE : 4 heures COEFFICIENT : 2
 DOSSIER TECHNIQUE Page 14 / 27



**Fig. 6 : SCHEMA STRUCTUREL :
Logique de commande et de contrôle**



**Fig. 8 : SCHEMA STRUCTUREL :
Affichage**

BAC. PROFES. « AERONAUTIQUE » Option Avionique
Epreuve E1A : Etude d'un système d'un aéronef
 DUREE : 4 heures COEFFICIENT : 2
 DOSSIER TECHNIQUE Page 17 / 27

EXTRAIT DE NOMENCLATURE

Rep	Désignation	Rep	Désignation
C200	27 nF 100V	MN306	SN 54LS240 J
C201	27 nF 100V	MN307	SN 54LS374 J
C202	22 µF 16V	MN308	MC4511 BCL
C203	82 nF	MN309	MC4511 BCL
C204	33 µF 10V	MN310	MC4511 BCL
C205	100 nF 63V	MN311	MC4511 BCL
C312	100 nF 63V	MN312	MC4511 BCL
CR201	HSCH1001	MN313	MC4511 BCL
CR202	HSCH1001	MN314	MC14093 BCL
DS1	KW204S	MN315	ADC 0804 LCO
DS2	KW204S	MX100	SG 2524 J
DS3	KW204S	Q101	2N2907A
DS4	KW204S	Q102	BC313A
DS5	KW204S	R200	3,3 KΩ
DS6	KW204S	R201	100Ω
DS7	KW204S	R202	100Ω
MA 101	LM101	R203	100Ω
MA 102	MA 78M 12	R204	100Ω
MN200	MC 6802	R205	1KΩ
MN201	SN 54LS138	R206	100Ω
MN202	SN 54LS245	R207	100Ω
MN203	ETC 2732 A	R208	10KΩ
MN204	MWS 5101	R209	47KΩ
MN205	MLM 54LS00	R210	10KΩ
MN304	SN 54LS138	R316	10KΩ
MN305	SN 54LS240 J		

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

DUREE : 4 heures

COEFFICIENT : 2

DOSSIER TECHNIQUE

Page 18 / 27



MOTOROLA

**MC6802
MC6808
MC6802NS**

MICROPROCESSOR WITH CLOCK AND OPTIONAL RAM

The MC6802 is a monolithic 8-bit microprocessor that contains all the registers and accumulators of the present MC6800 plus an internal clock oscillator and driver on the same chip. In addition, the MC6802 has 128 bytes of on-board RAM located at hex addresses \$0000 to \$007F. The first 32 bytes of RAM, at hex addresses \$0000 to \$001F, may be retained in a low power mode by utilizing VCC standby; thus, facilitating memory retention during a power-down situation.

The MC6802 is completely software compatible with the MC6800 as well as the entire M6800 family of parts. Hence, the MC6802 is expandable to 64K words.

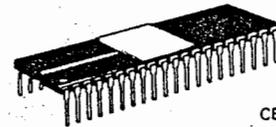
The MC6802NS is identical to the MC6802 without standby RAM feature. The MC6808 is identical to the MC6802 without on-board RAM.

- On-Chip Clock Circuit
- 128 x 8 Bit On-Chip RAM
- 32 Bytes of RAM are Retainable
- Software-Compatible with the MC6800
- Expandable to 64K Words
- Standard TTL-Compatible Inputs and Outputs
- 8-Bit Word Size
- 16-Bit Memory Addressing
- Interrupt Capability

MOS

(N-CHANNEL, SILICON-GATE,
DEPLETION LOAD)

**MICROPROCESSOR
WITH CLOCK AND OPTIONAL RAM**



L SUFFIX
CERAMIC PACKAGE
CASE 715

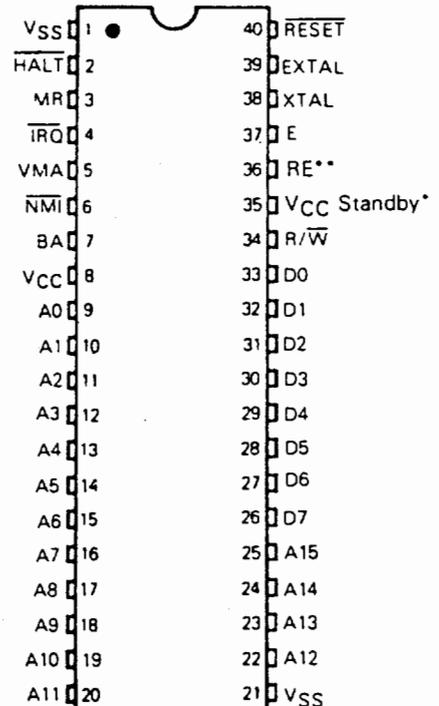


P SUFFIX
PLASTIC PACKAGE
CASE 711

ORDERING INFORMATION

Package Type	Frequency (MHz)	Temperature	Order Number
Ceramic L Suffix	1.0	0°C to 70°C	MC6802L
	1.0	-40°C to 85°C	MC6802CL
	1.0	0°C to 70°C	MC6802NSL
	1.0	0°C to 70°C	MC6808L
	1.5	0°C to 70°C	MC68A02L
	1.5	-40°C to 85°C	MC68A02CL
	1.5	0°C to 70°C	MC68A08L
	2.0	0°C to 70°C	MC68B02L
Plastic P Suffix	2.0	0°C to 70°C	MC68B08L
	1.0	0°C to 70°C	MC6802P
	1.0	-40°C to 85°C	MC6802CP
	1.0	0°C to 70°C	MC6802NSP
	1.0	0°C to 70°C	MC6808P
	1.5	0°C to 70°C	MC68A02P
	1.5	-40°C to 85°C	MC68A02CP
	1.5	0°C to 70°C	MC68A08P
	2.0	0°C to 70°C	MC68B02P
	2.0	0°C to 70°C	MC68B08P

PIN ASSIGNMENT



* Pin 35 must be tied to 5 V on the MC6802NS
** Pin 36 must be tied to ground for the MC6808

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

DUREE : 4 heures COEFFICIENT : 2

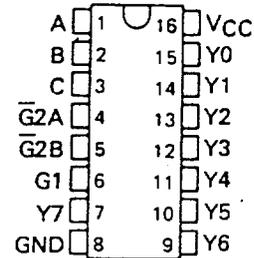
DOSSIER TECHNIQUE Page 19 / 27

TYPES SN54LS138, SN54S138A, SN74LS138, SN74S138A 3-LINE TO 8-LINE DECODERS/DEMULTIPLEXERS

DECEMBER 1972 · REVISED APRIL 1985

- Designed Specifically for High-Speed: Memory Decoders Data Transmission Systems
- 3 Enable Inputs to Simplify Cascading and/or Data Reception
- Schottky-Clamped for High Performance

SN54LS138, SN54S138A ... J OR W PACKAGE
SN74LS138, SN74S138A ... D, J OR N PACKAGE
(TOP VIEW)

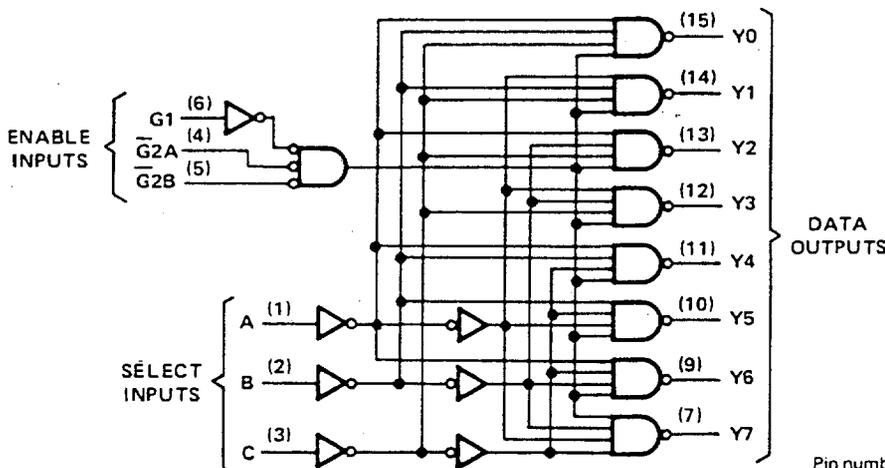


description

These Schottky-clamped TTL MSI circuits are designed to be used in high-performance memory decoding or data-routing applications requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When employed with high-speed memories utilizing a fast enable circuit the delay times of these decoders and the enable time of the memory are usually less than the typical access time of the memory. This means that the effective system delay introduced by the Schottky-clamped system decoder is negligible.

The 'LS138 and 'S138A decode one of eight lines dependent on the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented without external inverters and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

All of these decoder/demultiplexers feature fully buffered inputs, each of which represents only one normalized load to its driving circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and to simplify system design.



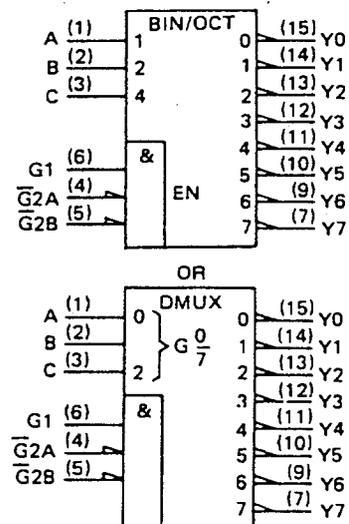
FUNCTION TABLE

INPUTS			OUTPUTS								
ENABLE	SELECT			Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
G1 $\bar{G}2^*$	C	B	A								
X H	X	X	X	H	H	H	H	H	H	H	H
L X	X	X	X	H	H	H	H	H	H	H	H
H L	L	L	L	L	H	H	H	H	H	H	H
H L	L	L	H	H	L	H	H	H	H	H	H
H L	L	H	L	H	H	L	H	H	H	H	H
H L	L	H	H	H	H	H	L	H	H	H	H
H L	H	L	L	H	H	H	H	L	H	H	H
H L	H	L	H	H	H	H	H	H	L	H	H
H L	H	H	L	H	H	H	H	H	H	L	H
H L	H	H	H	H	H	H	H	H	H	H	L

* $\bar{G}2 = \bar{G}2A + \bar{G}2B$

H = high level, L = low level, X = irrelevant

logic symbols



Pin numbers shown on logic notation are for D, J or N packages.

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

DUREE : 4 heures

COEFFICIENT : 2

DOSSIER TECHNIQUE

Page 20 / 27

TYPES SN54LS245, SN74LS245 OCTAL BUS TRANSCEIVERS WITH 3-STATE OUTPUTS

OCTOBER 1976 - REVISED APRIL 1985

- Bi-directional Bus Transceiver in a High-Density 20-Pin Package
- 3-State Outputs Drive Bus Lines Directly
- PNP Inputs Reduce D-C Loading on Bus Lines
- Hysteresis at Bus Inputs Improve Noise Margins
- Typical Propagation Delay Times, Port-to-Port . . . 8 ns

TYPE	I _{OL} (SINK CURRENT)	I _{OH} (SOURCE CURRENT)
SN54LS245	12 mA	-12 mA
SN74LS245	24 mA	-15 mA

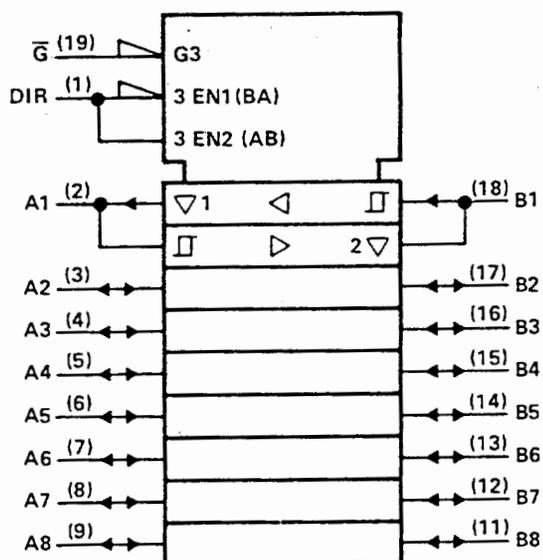
description

These octal bus transceivers are designed for asynchronous two-way communication between data buses. The control function implementation minimizes external timing requirements.

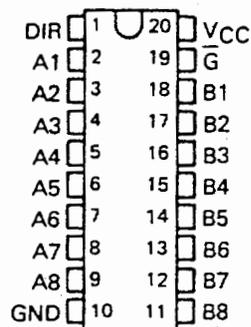
The devices allow data transmission from the A bus to the B bus or from the B bus to the A bus depending upon the logic level at the direction control (DIR) input. The enable input (\bar{G}) can be used to disable the device so that the buses are effectively isolated.

The SN54LS245 is characterized for operation over the full military temperature range of -55°C to 125°C . The SN74LS245 is characterized for operation from 0°C to 70°C .

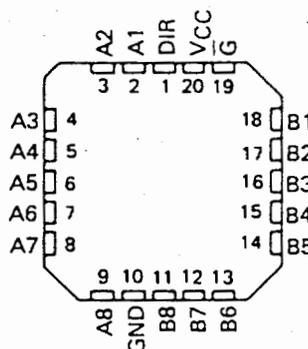
logic symbol



SN54LS245 . . . J PACKAGE
SN74LS245 . . . DW, J OR N PACKAGE
(TOP VIEW)



SN54LS245 . . . FK PACKAGE
SN74LS245
(TOP VIEW)



FUNCTION TABLE

ENABLE \bar{G}	DIRECTION CONTROL DIR	OPERATION
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

H = high level, L = low level, X = irrelevant

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef
DUREE : 4 heures COEFFICIENT : 2
DOSSIER TECHNIQUE Page 21 / 27

ETC2732

32,768 - BIT (4096 x 8) UV ERASABLE CMOS PROM

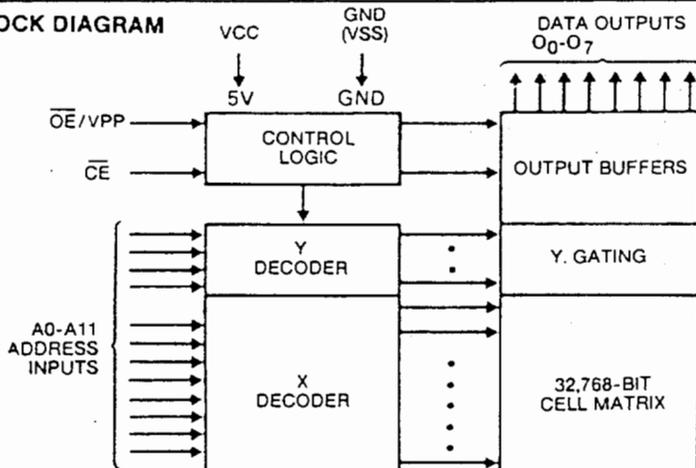
The ETC 2732 is a high speed 32K UV erasable and electrically reprogrammable CMOS EPROM ideally suited for applications where fast turn-around, pattern experimentation and low power consumption are important requirements.

The ETC 2732 is packaged in a 24-pin dual-in-line package with transparent lid. The transparent lid allows the user to expose the chip to ultraviolet light to erase the bit pattern. A new pattern can then be written into the device by following the programming procedure. This EPROM is fabricated with the reliable, high volume, time proven, P² CMOS silicon gate technology.

- CMOS power consumption : 26.25 mW max active power, 0.53 mW max standby power
- 4096 x 8 organization
- Pin compatible to ET 2716, ETC 2716, ET 2732, ET 2764
- Access time down to 350 ns
- Single 5V power supply
- Static - no clocks required
- TTL compatible I/Os during both read and program modes
- Three-state output with OR-tie capability
- Oper. temp. : 0°C, + 70°C ; -20°C, + 70°C (D suffix) ; -25°C, + 70°C (E suffix) ; -40°C, + 85°C (V suffix).

Parameter/Part Number	ETC2732Q-35	ETC2732Q-45	ETC2732Q-55
Access Time (ns)	350	450	500
Active Current (mA at 1 MHz)	5	5	5
Standby Current (mA)	0.1	0.1	0.1

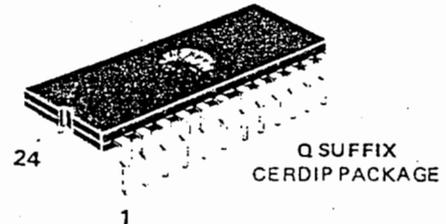
BLOCK DIAGRAM



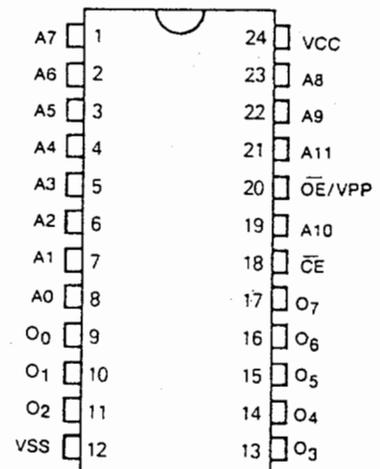
Mode	Pin Name/Number			
	\overline{CE} 18	\overline{OE}/VPP 20	VCC 24	Outputs 9-11, 13-17
Read	VIL	VIL	5V	DOUT
Standby	VIH	Don't Care	5V	Hi-Z
Program	VIL	25V	5V	DIN
Program Verify	VIL	VIL	5V	DOUT
Program Inhibit	VIH	25V	5V	Hi-Z

CMOS

(4096 x 8)
32,768 - BIT
UV ERASABLE PROM



PIN ASSIGNMENT



PIN NAMES

A0-A11	Address Inputs
O0-O7	Data Outputs
\overline{CE}	Chip Enable
\overline{OE}	Output Enable
VPP	Read RV, Program 25V
VCC	5V
VSS	Ground

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

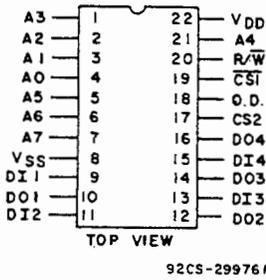
DUREE : 4 heures

COEFFICIENT : 2

DOSSIER TECHNIQUE

Page 22 / 27

MWS5101



TERMINAL ASSIGNMENT

256-Word by 4-Bit LSI Static Random-Access Memory

Features:

- Industry standard pinout
- Very low operating current-8 mA at $V_{DD} = 5 V$ and cycle time = $1 \mu s$
- Two Chip-Select inputs-simple memory expansion
- Memory retention for standby battery voltage of 2 V min.
- Output-Disable for common I/O systems
- 3-state data output for bus-oriented systems
- Separate data inputs and outputs

The RCA-MWS5101 is a 256-word by 4-bit static random-access memory designed for use in memory systems where high speed, very low operating current, and simplicity in use are desirable. It has separate data inputs and outputs and utilizes a single power supply of 4 to 6.5 volts.

Two Chip-Select inputs are provided to simplify system expansion. An Output Disable control provides Wire-OR capability and is also useful in common Input/Output systems by forcing the output into a high-impedance state during a write operation independent of the Chip-Select input condition. The output assumes a high-impedance state when the Output Disable is at high level or when the chip is deselected by $\overline{CS1}$ and/or $CS2$.

The high noise immunity of the CMOS technology is preserved in this design. For TTL interfacing at 5-V operation, excellent system noise margin is preserved by using an external pull-up resistor at each input.

For applications requiring wider temperature and operating voltage ranges, the mechanically and functionally equivalent static RAM, RCA-CDP1822, may be used.

The MWS5101 types are supplied in 22-lead hermetic dual-in-line, side-brazed ceramic packages (D suffix), in 22-lead dual-in-line plastic packages (E suffix), and in chip form (H suffix).

OPERATIONAL MODES

MODE	INPUTS				OUTPUT
	Chip Select 1 $\overline{CS1}$	Chip Select 2 $CS2$	Output Disable OD	Read/Write R/W	
READ	0	1	0	1	Read
WRITE	0	1	0	0	Data In
WRITE	0	1	1	0	High Impedance
STANDBY	1	X	X	X	High Impedance
STANDBY	X	0	X	X	High Impedance
OUTPUT DISABLE	X	X	1	X	High Impedance

Logic 1 = High Logic 0 = Low X = Don't Care

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

DUREE : 4 heures COEFFICIENT : 2

DOSSIER TECHNIQUE Page 23 / 27

TYPES SN5400, SN54L00, SN54LS00, SN54S00, SN7400, SN74LS00, SN74S00 QUADRUPLE 2-INPUT POSITIVE-NAND GATES

REVISED DECEMBER 1983

- Package Options Include Both Plastic and Ceramic Chip Carriers in Addition to Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

description

These devices contain four independent 2-input NAND gates.

The SN5400, and SN54LS00, and SN54S00 are characterized for operation over the full military temperature range of -55°C to 125°C . The SN7400, SN74LS00, and SN74S00 are characterized for operation from 0°C to 70°C .

FUNCTION TABLE (each gate)

INPUTS		OUTPUT
A	B	Y
H	H	L
L	X	H
X	L	H

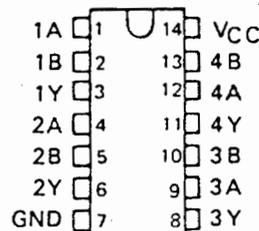
logic diagram (each gate)



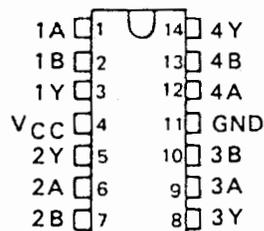
positive logic

$$Y = \overline{A \cdot B} \text{ or } Y = \overline{\overline{A} + \overline{B}}$$

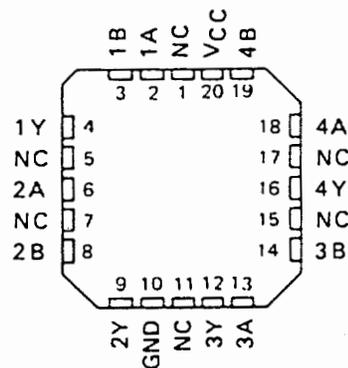
SN5400 ... J PACKAGE
SN54LS00, SN54S00 ... J OR W PACKAGE
SN7400 ... J OR N PACKAGE
SN74LS00, SN74S00 ... D, J OR N PACKAGE
(TOP VIEW)



SN5400 ... W PACKAGE
(TOP VIEW)



SN54LS00, SN54S00 ... FK PACKAGE
SN74LS00, SN74S00
(TOP VIEW)



NC - No internal connection

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

DUREE : 4 heures COEFFICIENT : 2

DOSSIER TECHNIQUE Page 24 / 27



MC14049UB MC14050B

HEX BUFFERS

The MC14049UB hex inverter/buffer and MC14050B noninverting hex buffer are constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. These complementary MOS devices find primary use where low power dissipation and/or high noise immunity is desired. These devices provide logic-level conversion using only one supply voltage, V_{CC} . The input-signal high level (V_{IH}) can exceed the V_{CC} supply voltage for logic-level conversions. Two TTL/DTL Loads can be driven when the devices are used as CMOS-to-TTL/DTL converters ($V_{CC} = 5.0\text{ V}$, $V_{OL} \leq 0.4\text{ V}$, $I_{OL} \geq 3.2\text{ mA}$). Note that pin 16 is not connected internally on these devices; consequently connections to this terminal will not affect circuit operation.

- High Source and Sink Currents
- High-to-Low Level Converter
- Quiescent Current = 2.0 nA/package typical @ 5 Vdc
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Meets JEDEC UB Specifications—MC14049UB
Meets JEDEC B Specification—MC14050B

CMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

HEX BUFFERS

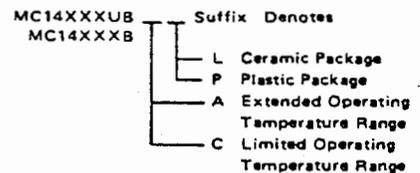
Inverting — MC14049UB
Noninverting — MC14050B



L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

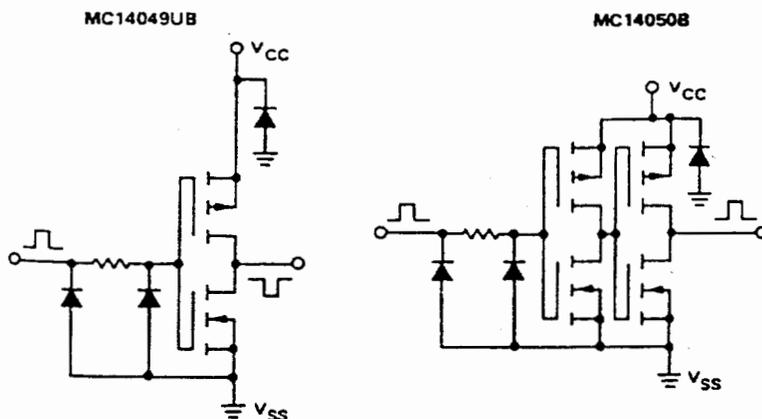
ORDERING INFORMATION



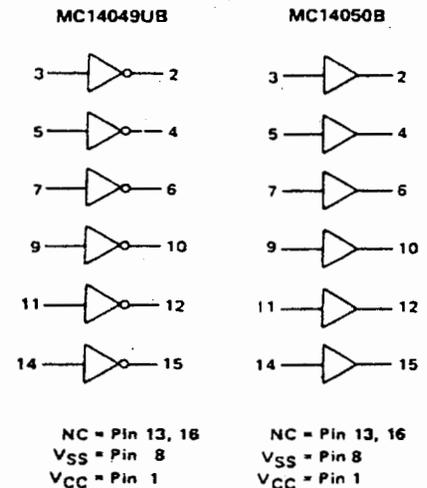
MAXIMUM RATINGS (Voltages referenced to V_{SS} , Pin 8)

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to +18	Vdc
DC Current Drain per Input Pin	I	10	mAdc
DC Current Drain per Output Pin	I	45	mAdc
Operating Temperature Range	T_A	-55 to +125	°C
		-40 to +85	
Storage Temperature Range	T_{stg}	-65 to +150	°C

CIRCUIT SCHEMATIC (1/6 OF CIRCUIT SHOWN)



LOGIC DIAGRAMS



BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

DUREE : 4 heures COEFFICIENT : 2

DOSSIER TECHNIQUE Page 25 / 27



MC14093B

Advance Information

QUAD 2-INPUT "NAND" SCHMITT TRIGGER

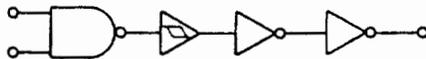
The MC14093B Schmitt trigger is constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. These devices find primary use where low power dissipation and/or high noise immunity is desired. The MC14093B may be used in place of the MC14011B quad 2-input NAND gate for enhanced noise immunity or to "square up" slowly changing waveforms.

- Quiescent Current = 0.5 nA typ/pkg @ 5 Vdc
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-Power TTL Loads, One Low-Power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- Double Diode Protection on All Inputs
- Pin-for-Pin Compatible with CD4093
- Can be Used to Replace MC14011B

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V _{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V _{in}	-0.5 to V _{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range -- AL Device	T _A	-55 to +125	°C
		-40 to +85	°C
Storage Temperature Range	T _{stg}	-65 to +150	°C

EQUIVALENT CIRCUIT SCHEMATIC (1/4 OF CIRCUIT SHOWN)



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range V_{SS} < (V_{in} or V_{out}) < V_{DD}. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

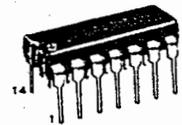
CMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

QUAD 2-INPUT "NAND" SCHMITT TRIGGER

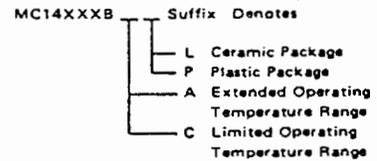


L SUFFIX
CERAMIC PACKAGE
CASE 632

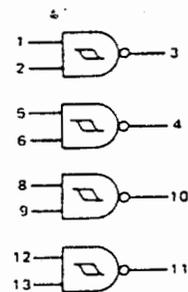


P SUFFIX
PLASTIC PACKAGE
CASE 646

ORDERING INFORMATION



LOGIC DIAGRAM



V_{DD} = Pin 14
V_{SS} = Pin 7

This is advance information and specifications are subject to change without notice.

BAC. PROFES. « AERONAUTIQUE » Option Avionique

Epreuve E1A : Etude d'un système d'un aéronef

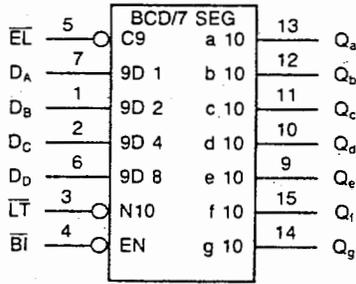
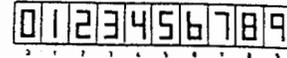
DUREE : 4 heures

COEFFICIENT : 2

DOSSIER TECHNIQUE

Page 26 / 27

4511 — Décodeur/driver à mémoire BCD - 7 segments
BCD-to 7 segments latch/decoder/driver



Boîtier DIL 16
V_{DD} 16 - V_{SS} 8

- Ce circuit peut être utilisé :
- Commande d'afficheurs à LED
 - Commande d'afficheurs à incandescence
 - Commande d'afficheurs fluorescents
 - Commande d'afficheurs LCD
 - Commande d'afficheurs à décharge de gaz
- \overline{LT} - entrée de test des segments
 \overline{BI} - entrée d'effacement en cascade
 \overline{EL} - entrée de validation des verrous

Tables de vérité des circuits 4543 et 4511 (Truth table)

4543											4511																		
entrées				sorties							entrées				sorties														
LD	BI	PH'	D _D	D _C	D _B	D _A	O _a	O _b	O _c	O _d	O _e	O _f	O _g	Affichage	\overline{EL}	\overline{BI}	\overline{LT}	D _D	D _C	D _B	D _A	O _a	O _b	O _c	O _d	O _e	O _f	O _g	affichage
X	H	L	X	X	X	X	L	L	L	L	L	L	L	blanc	X	X	L	X	X	X	X	H	H	H	H	H	H	H	8
H	L	L	L	L	L	L	H	H	H	H	H	H	L	0	X	L	H	X	X	X	X	L	L	L	L	L	L	L	blanc
H	L	L	L	L	L	H	L	H	L	L	L	L	L	1	L	H	H	L	L	L	L	H	H	H	H	H	H	L	0
H	L	L	L	L	H	L	H	H	L	H	L	L	H	2	L	H	H	L	L	L	H	L	H	H	L	L	L	L	1
H	L	L	L	L	H	H	H	H	L	L	L	L	H	3	L	H	H	L	L	H	L	H	H	L	H	L	L	L	2
H	L	L	L	H	L	L	L	H	L	L	L	H	H	4	L	H	H	L	L	H	H	H	H	L	L	L	L	L	3
H	L	L	L	L	H	L	H	L	H	L	H	H	H	5	L	H	H	L	H	L	L	L	L	H	L	L	H	L	4
H	L	L	L	L	H	H	L	H	L	H	H	H	H	6	L	H	H	L	H	L	L	H	L	H	L	L	H	L	5
H	L	L	L	L	H	H	H	L	L	L	L	L	L	7	L	H	H	L	H	H	L	L	H	H	L	L	L	L	6
H	L	L	L	H	L	L	L	H	H	H	H	H	H	8	L	H	H	H	L	L	L	L	H	H	H	H	H	L	7
H	L	L	L	H	L	L	H	H	H	L	L	L	L	9	L	H	H	H	L	L	H	L	H	H	L	L	L	L	8
H	L	L	L	H	L	H	L	L	L	L	L	L	L	blanc	L	H	H	H	L	H	L	L	L	L	L	L	L	L	9
H	L	L	L	H	L	H	L	L	L	L	L	L	L	blanc	L	H	H	H	L	H	L	L	L	L	L	L	L	L	blanc
H	L	L	L	H	H	L	L	L	L	L	L	L	L	blanc	L	H	H	H	L	H	L	L	L	L	L	L	L	L	blanc
H	L	L	L	H	H	L	L	L	L	L	L	L	L	blanc	L	H	H	H	L	H	L	L	L	L	L	L	L	L	blanc
H	L	L	L	H	H	L	L	L	L	L	L	L	L	blanc	L	H	H	H	L	H	L	L	L	L	L	L	L	L	blanc
L	L	L	X	X	X	X	L	L	L	L	L	L	L	blanc	L	H	H	H	L	H	L	L	L	L	L	L	L	L	blanc
L	L	L	X	X	X	X	L	L	L	L	L	L	L	..	H	H	H	X	X	X	X	L	L	L	L	L	L	L	.
comme ci-dessus			H	comme ci-dessus				inverse de ci-dessus							comme ci-dessus			H = état HAUT (tension la plus positive) L = état BAS (tension la moins positive) X = état indifférent											
* Pour les afficheurs à cristaux liquides, appliquer un signal rectangulaire à PH. Pour les afficheurs LED à cathode commune, prendre PH = BAS. Pour les afficheurs LED à anode commune, prendre PH = HAUT. ** Dépend du code BCD préalablement appliqué pour LD = HAUT.											* Dépend du code BCD appliqué pendant le front descendant de \overline{EL} .																		