

**BEP DES METIERS DE  
L'ELECTRONIQUE  
SESSION 2005**

**EPREUVE EP1  
2<sup>EM</sup> PARTIE**

**CANDIDATS INDIVIDUELS**

DUREE : 4H  
COEFFICIENT : 4

**PORTAIL AUTOMATISE  
A COMMANDE PAR DIGICODE**

Documents autorisé : Dossier élève EP1 2005 et documentation technique sans annotation.  
Matériel autorisé : Calculatrice scientifique.

**Toutes les réponses doivent être rédigées sur le sujet qui doit être rendu en  
fin d'épreuve pour être agrafé dans une copie d'examen.**

GROUPEMENT INTERACADEMIQUE II		SESSION 2005
Durée : 4H		EP1 2 <sup>em</sup> PARTIE CANDIDATS INDIVIDUELS
SUJET	1/8	<b>BEP DES METIERS DE L'ELECTRONIQUE</b>

# UN CYCLE D'OUVERTURE ET DE FERMETURE

Pour l'étude expérimentale, vous disposez d'une maquette élève :

Cette maquette reproduit partiellement la carte principale de commande du portail. Elle regroupe les fonctions FP2, FP3 partielle et FP4.

Le schéma structurel et le plan d'implantation des composants sont donnés en Annexe.

Les signaux d'entrée IR , IOV et CPL sont remplacés par des boutons poussoirs.

- ☛ Une action sur BP1 génère un état logique 0 : le rayon IR est coupé.
- ☛ Une action sur BP2 génère un état logique 1 : ordre d'ouverture du portail.
- ☛ Une action sur BP3 génère un état logique 1 : le battant est en fin de course ou rencontre un obstacle.

Le temps de pause est réglable par AJ2 de 5s à 70s.

La fonction FP7 signalisation a été remplacée par un circuit à NE555 et ne figure sur la carte que pour faciliter la compréhension du cycle de fonctionnement du portail.

## Le cycle d'ouverture et de fermeture.

1. Visualiser et noter les états logiques de CO, COM et CGYR à la mise sous tension.  
\_\_\_\_\_  
\_\_\_\_\_  
\_\_\_\_\_
2. Réaliser un cycle complet d'ouverture et de fermeture du portail (sans coupure du rayon IR) par action sur les boutons poussoirs BP2 et BP3.
3. Simuler un ordre d'ouverture puis visualiser le signal IPC et mesurer sa durée à l'état haut après une impulsion sur BP2.  
\_\_\_\_\_  
\_\_\_\_\_
4. Revenir à l'état initial puis simuler un ordre d'ouverture avec BP2 pour visualiser S1 sur la voie CH1 et CO sur la voie CH2 de l'oscilloscope.  
Noter alors les états logiques de CO et COM.  
\_\_\_\_\_  
\_\_\_\_\_  
\_\_\_\_\_

Le portail arrive en fin de course ouverture :

5. Régler AJ2 à mi-course puis simuler une fin de course avec BP3.  
Donner l'état logique de MR. Quelle est la conséquence de ce niveau logique sur la temporisation « pause » ?

---

---

---

6. Mesurer la période du signal CTC de U8 et en déduire la durée de la temporisation « pause ».  
Vérifier approximativement ce résultat.

---

---

Le portail arrive en fin de course fermeture:

7. Simuler une fin de course avec BP3 puis mesurer les états logiques de CO, COM et CF.

---

---

---

8. Justifier par ces mesures que la temporisation « pause » est revenue à l'état initial.

---

---

---

9. Remplacer le composant RCL2 = 330k $\Omega$  de la carte élève.

# ETUDE LOGICIELLE : LE DIGICODE

## EMPLOI DU DIGICODE

10. Utiliser le digicode pour ouvrir portail (code résident par défaut : 2005).
11. Utiliser le digicode avec le code d'entrée 1826. Conséquences ?  
\_\_\_\_\_  
\_\_\_\_\_
12. Changer le code résident en 1826 puis utiliser le digicode pour ouvrir portail.

## LE DECODEUR DE CLAVIER

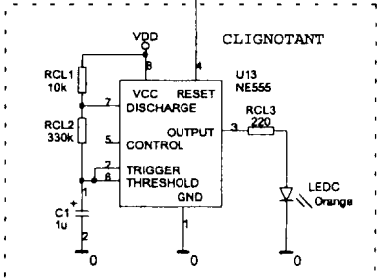
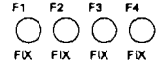
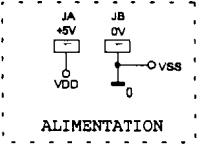
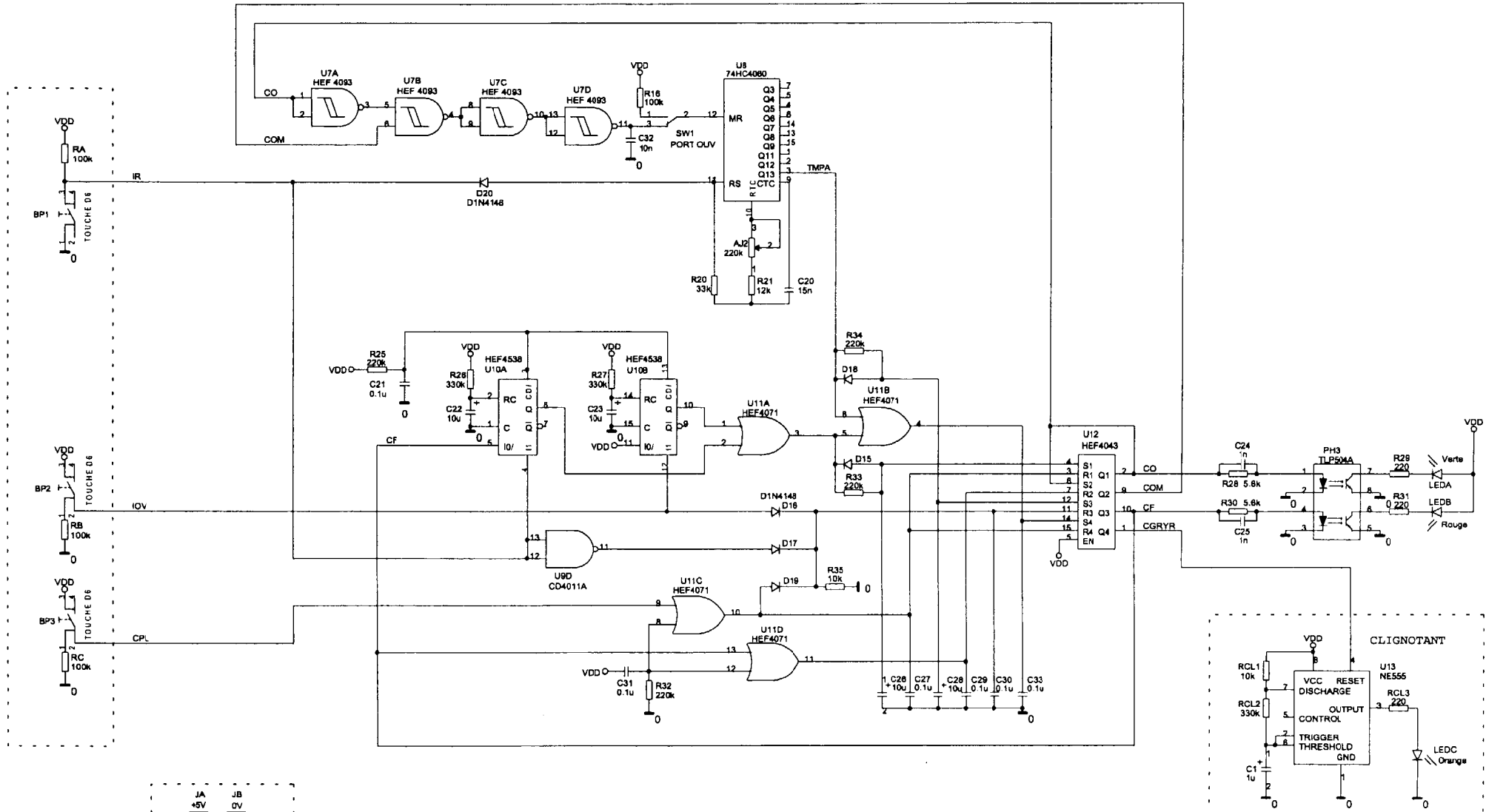
13. Mesurer sur la carte les niveaux logiques de D0 à D3 lorsqu'on appuie sur les touches ②, ⑥, ⑧ et ① .  
\_\_\_\_\_  
\_\_\_\_\_  
\_\_\_\_\_

## ANALYSE DU PROGRAMME *DIGICODE.C*

14. Lancer le programme digicode.c sous WRKIT puis saisir le code d'entrée 1826 et valider.
15. Stopper le déroulement du programme puis identifier dans la mémoire IDATA les valeurs de :
  - ✓ *code\_saisi[i]*
  - ✓ *code\_resident[i]*
  - ✓ *test\_code*

Ces valeurs sont-elles conformes aux effets constatés ?

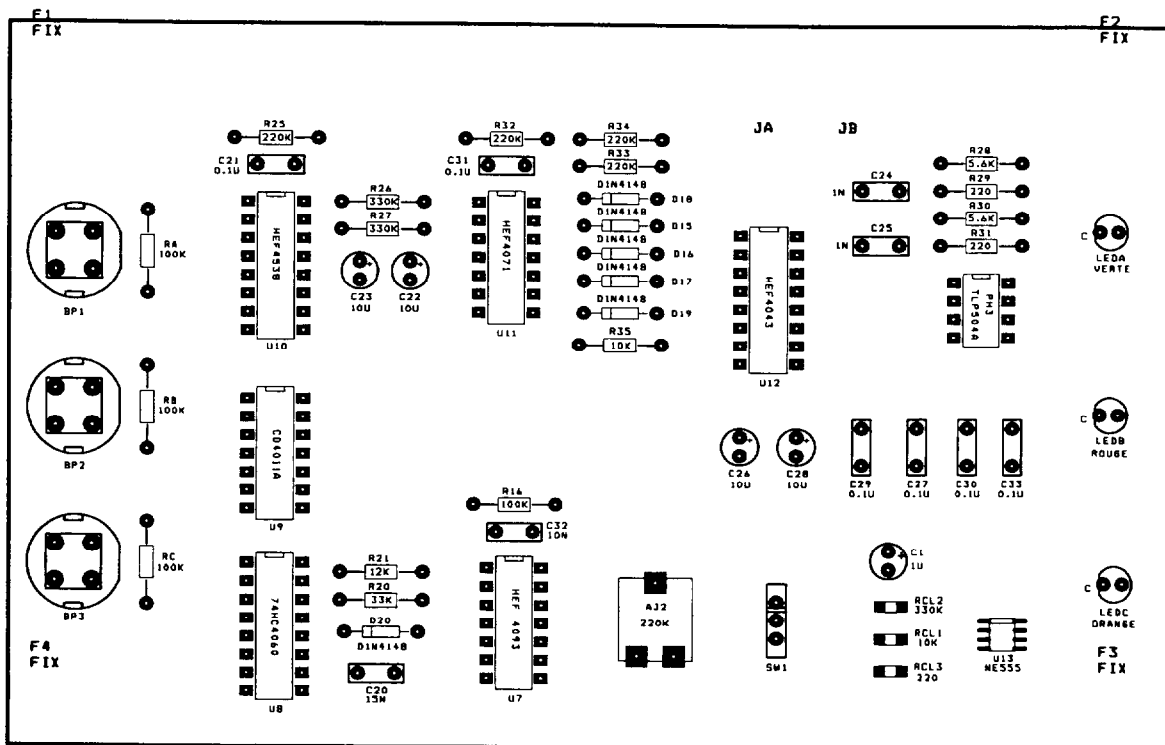
\_\_\_\_\_  
\_\_\_\_\_  
\_\_\_\_\_

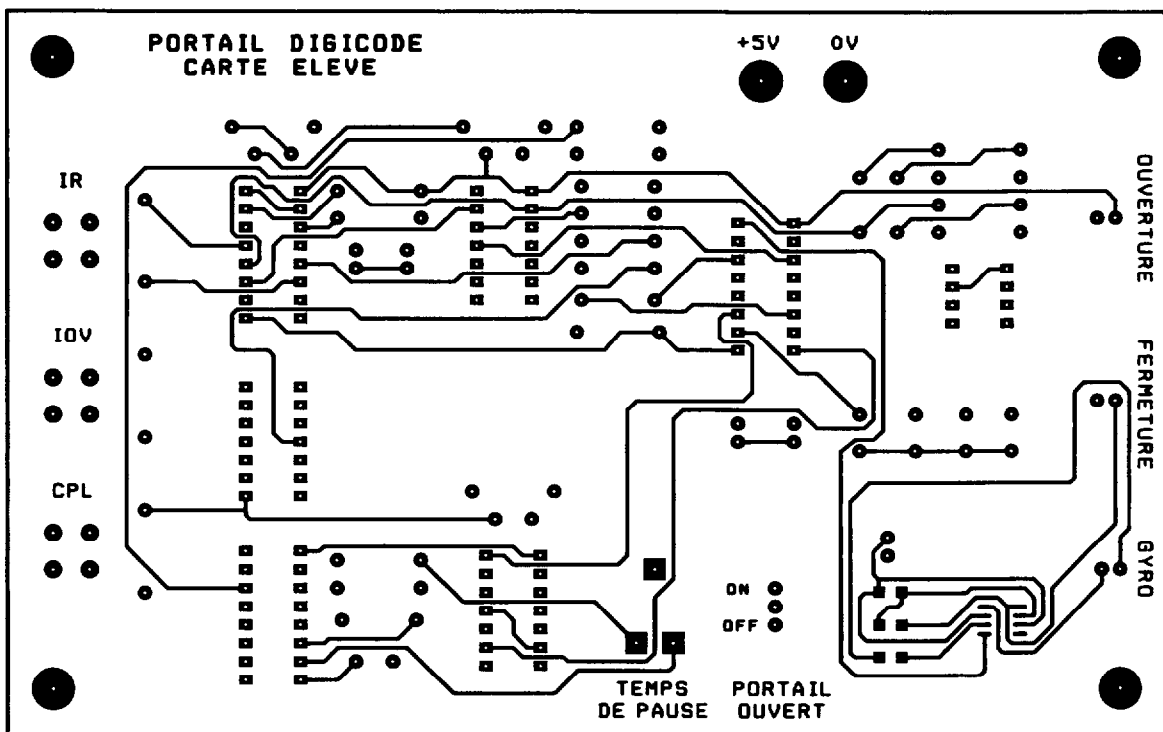


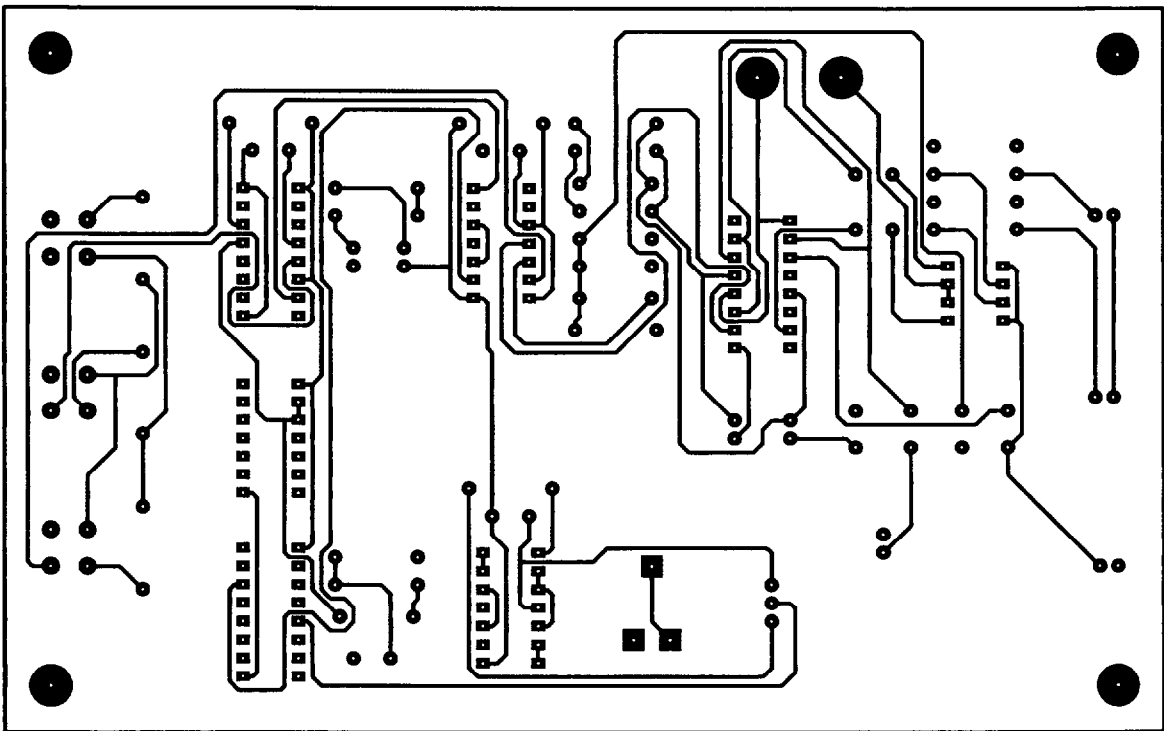
BEP DES METIERS DE L'ELECTRONIQUE  
 EP1 2EM PARTIE SESSION 2005

Title		PORTAL DIGICODE
Size	Document Number	Rev
A3	CARTE ELEVE	
Date	Frdsv, April 30, 2004	Sheet 1 of 1

# ANNEXE : PLAN D'IMPLANTATION DES COMPOSANTS CARTE ELEVE









**BEP DES METIERS DE  
L'ELECTRONIQUE  
SESSION 2005**

**EPREUVE EP1  
2<sup>EM</sup> PARTIE**

**CANDIDATS INDIVIDUELS**

**DUREE : 4H  
COEFFICIENT : 4**

**PORTAIL AUTOMATISE  
A COMMANDE PAR CLIGICODE**

Documents autorisé : Dossier élève EP1 2005 et documentation technique sans annotation.  
Matériel autorisé : Calculatrice scientifique.

**Toutes les réponses doivent être rédigées sur le sujet qui doit être rendu en  
fin d'épreuve pour être agrafé dans une copie d'examen.**

GROUPEMENT INTERACADEMIQUE II		SESSION 2005
Durée : 4H	1/2	EP1 2 <sup>em</sup> PARTIE CANDIDATS INDIVIDUELS
BAREME		<b>BEP DES METIERS DE L'ELECTRONIQUE</b>

QUESTION		
1	4	pts
2	6	pts
3	5	pts
4	8	pts
5	6	pts
6	7	pts
7	5	pts
8	4	pts
9	5	pts
10	3	pts
11	4	pts
12	5	pts
13	7	pts
14	3	pts
15	8	pts
	<b>80</b>	<b>pts</b>

BAREME