



**Ce document a été numérisé par le CRDP de Bordeaux pour la Base Nationale des Sujets d'Examens de l'enseignement professionnel.**

**Campagne 2010**

Ce fichier numérique ne peut être reproduit, représenté, adapté ou traduit sans autorisation.

crdp Aquitaine

# BREVET DE TECHNICIEN SUPÉRIEUR

## SYSTÈMES ÉLECTRONIQUES

### ÉPREUVE E4

#### Étude d'un Système Technique

#### Unité U4.1

### ÉLECTRONIQUE

Durée : 4 heures

coefficient : 4

## Systemes électroniques embarquées dans la C6

### Détection de sous gonflage des pneus

Tout document interdit

Calculatrice à fonctionnement autonome autorisée  
(circulaire 99-186 du 16/11/99)

Ce sujet comporte :

A- Analyse fonctionnelle du système :	A1 à A6
B- Sujet :	
Questionnaire :	B1 à B7
Documents réponse :	BR1 à BR6
Documentation :	BAN1 à BAN17

Durée conseillée

Lecture du sujet	: 30 minutes
Partie A	: 70 minutes
Partie B	: 60 minutes
Partie C	: 80 minutes

# ANALYSE FONCTIONNELLE

## Présentation du système



La voiture haut de gamme d'aujourd'hui comporte des dizaines de calculateurs reliés en réseaux par des bus multiplexés : CAN, LIN, FLEXRAY, etc....

La CITRÖEN C6 dispose de trois réseaux utilisant le protocole CAN (Controller Area Network) et comportant chacun une dizaine de calculateurs:

- Réseau CAN confort (CAN CONF)
- Réseau inter systèmes (CAN I/S)
- Réseau carrosserie (CAN CAR)

En outre, un sous réseau utilisant le protocole LIN (Local Interconnect Network) existe dans l'architecture de la CITRÖEN C6.

L'ensemble de ces réseaux échange des informations (messages) par l'intermédiaire d'un calculateur « chef d'orchestre » appelé BSI (Boîtier Servitude Intelligent). Le débit théorique de transmission utilisable sur un réseau CAN peut atteindre 1 Mbits/s. quant au réseau de type LIN, le débit ne dépasse pas 19200 bits/s.

Actuellement, deux débits sont utilisés dans les véhicules utilisant le protocole CAN:

- un débit appelé Low Speed (noté CAN LS) de 125 Kbits/s.
- un débit appelé High Speed (noté CAN HS) de 500 Kbits/s.

La Figure 1 : Architecture partielle de la C6 (page A2) illustre l'organisation en réseau des échanges d'information entre les calculateurs, dont certains vont constituer le support des épreuves d'étude d'un système technique. On y trouve :

- Le réseau CAN I/S relie l'ensemble des calculateurs du groupe motopropulseur : calculateur moteur (CMM), calculateur boîte de vitesse (EVA) etc. C'est un réseau de type CAN HS.
- Le réseau CAN CAR relie l'ensemble des organes (ou calculateurs) de sécurité. C'est un réseau de type CAN LS.
- Le réseau CAN CONF permet la réalisation de l'interface homme/machine (IHM). C'est un réseau de type CAN LS.
- Le réseau LIN qui gère les essuie glace et la surveillance de la batterie (en option). C'est un réseau de type bas débit qui ne dépasse pas 19200 bits/s.

Désignation des calculateurs :

- BSI : Boîtier de Servitude Intelligent.
- BSM : Boîtier de Servitude Moteur.
- EVA : Essuie Vitre Avant.
- CDPL : Capteur De Pluie et de Luminosité.
- AAS : Aide Au Stationnement.
- BECB : Boîtier d'Etat de Charge de Batterie.
- DSG : Détection de Sous Gonflage.
- MER : Module Emetteur de Roue.
- CMM : Calculateur Moteur.

Session 2010	BTS Système Électronique Épreuve U4.1- Électronique	Page A1 sur 6
U4.1-SE-REN-10-V1	Analyse fonctionnelle	

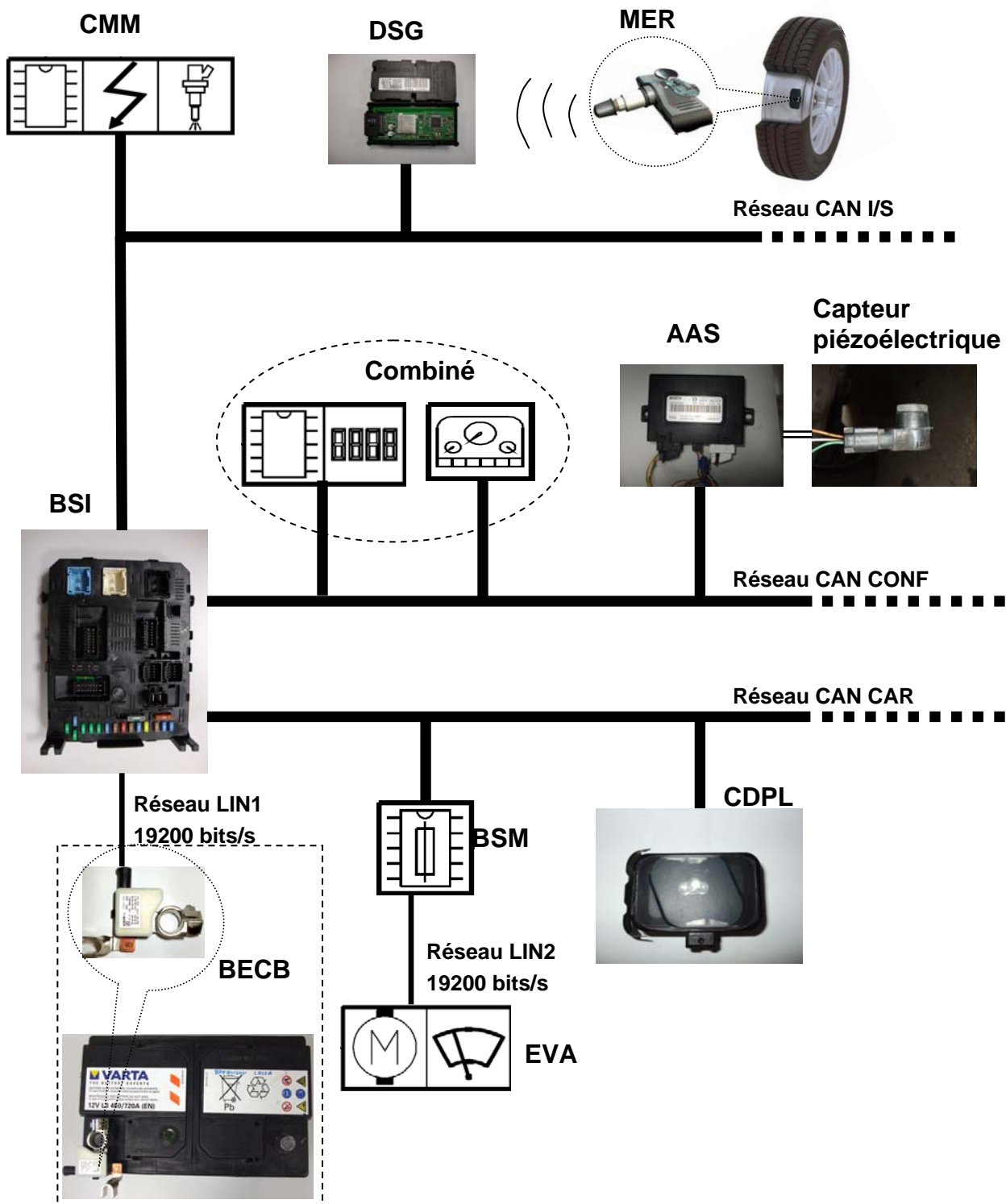


Figure 1 : Architecture partielle de la C6

Dans cette épreuve, nous limiterons l'étude au système de surveillance de la pression des pneus qui fait intervenir les calculateurs **DSG** et **MER**.

# Système de surveillance de la pression des pneus

La Figure 2: système de surveillance de la pression des pneus est un dispositif qui contribue à l'amélioration de la sécurité et aide le conducteur à maintenir les pneus de son véhicule en bon état. Le conducteur est informé en temps réel, par l'intermédiaire d'une signalétique sur le combiné du tableau de bord, en cas d'anomalie de la pression des pneus.

Chaque roue du véhicule, y compris la roue de secours (en option), est équipée d'un module émetteur de roue (**MER**), chargé de mesurer la pression, la température, l'accélération et la tension de la pile (unique source d'alimentation des modules). Ces modules transmettent par liaison hertzienne (**bande UHF 433.92MHz**) ces informations à destination du **DSG** qui, à son tour, les retransmet au **BSI** par bus CAN.

En outre, les **MER** des roues avant gauche et droite sont équipés d'antennes basses fréquences (**Ant\_LF\_D** et **Ant\_LF\_G**) placées dans les passages de roues avant pour la fonction localisation avant arrière. Le **DSG**, par l'intermédiaire des antennes LF transmet une fréquence de **125 kHz** à destination des **MER**. Les antennes (**Ant\_LF**) de ces modules, accordées sur la même fréquence **125KHz**, répondent immédiatement au **DSG** en envoyant une trame comportant un code spécifique permettant de différencier les roues avant des roues arrière. Le calculateur **DSG** scrute les données vitesse du véhicule, l'angle du volant de direction et l'accélération permettant la différenciation droite gauche des roues. Cette phase de localisation des roues s'effectue à chaque arrêt supérieur à 14mn. Ce temps correspond au temps minimal observé pour un changement ou une permutation de roues.

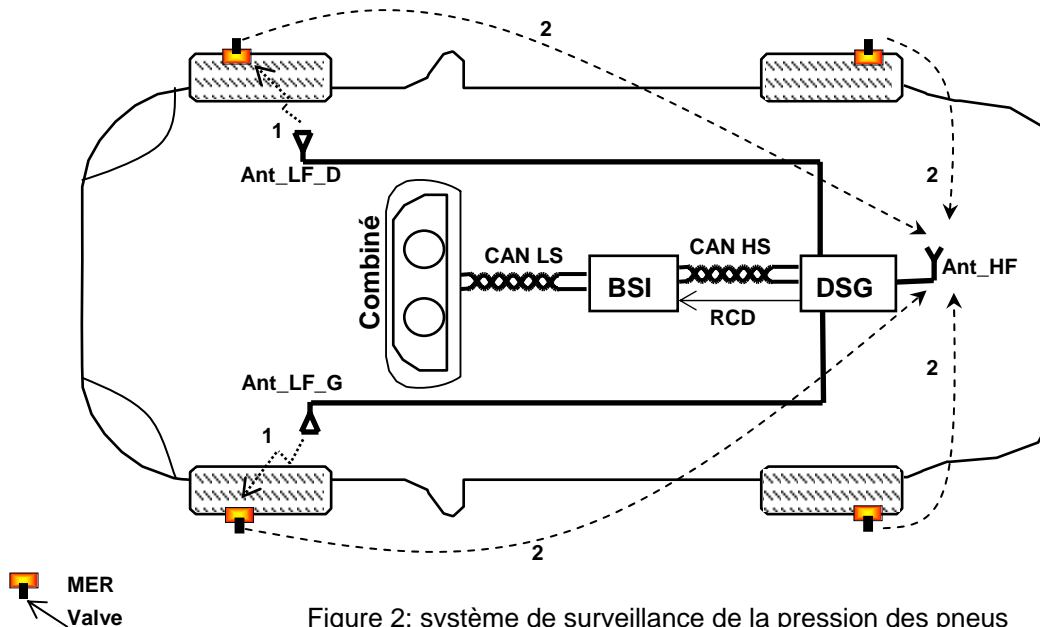


Figure 2: système de surveillance de la pression des pneus

Liaisons 1 : demande d'identification du module émetteur de roue avant droite et gauche. C'est un signal basse fréquence de 125kHz modulé ASK.

Liaisons 2 : l'information contenant le code spécifique d'identification MER, la pression et la température du pneu, l'accélération du pneumatique et la tension de la pile (unique source d'alimentation des MER).

## BSI

Il constitue le calculateur central dans l'architecture PSA. Il réalise entre autres la fonction de passerelle :

- entre les différents réseaux (inter-système, confort, carrosserie...)
- entre les calculateurs et l'outil de diagnostic.

Le BSI gère aussi la distribution des alimentations électriques vers les différents calculateurs et en assure la protection.

En outre, le BSI gère le réveil des différents réseaux CAN en assurant un réveil principal lors de la mise après contact ou un réveil partiel par le signal RCD (Réveil Commandé à distance).

Session 2010	BTS Système Électronique Épreuve U4.1- Électronique	Page A3 sur 6
U4.1-SE-REN-10-V1	Analyse fonctionnelle	

## DSG

Son rôle est de :

- Surveiller la pression des pneumatiques à l'arrêt et en roulage.
- Détecter toute fuite de pression ou crevaisson de pneumatiques du véhicule.
- Alerter le conducteur (de façon sonore et/ou visuelle) de toute variation de pression par rapport à la pression suggérée par le constructeur en transmettant les informations au **BSI** qui les relaye au calculateur **combiné**.

## MER

C'est un capteur intelligent qui est Intégré dans la valve du pneu. Il permet de faire l'acquisition des paramètres : pression, température, accélération et tension de la pile et de les communiquer au calculateur DSG, de façon périodique ou à sa demande.

## Analyse fonctionnelle du MER

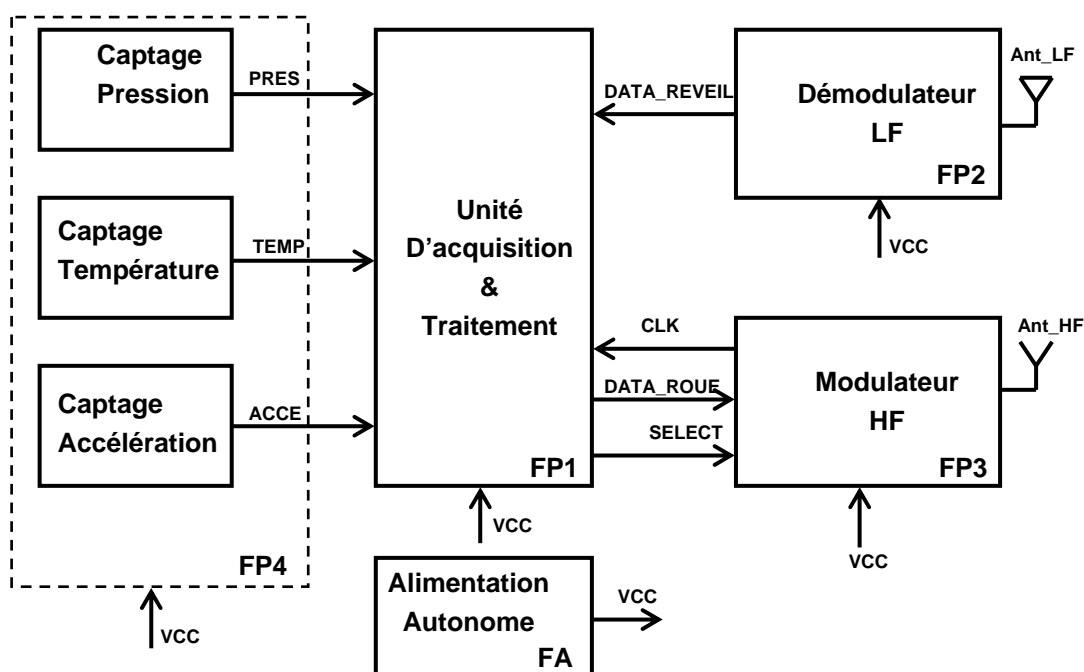


Figure 3 : Schéma fonctionnel degré 1 du MER

### FP1 : unité d'acquisition et de traitement

Construite autour d'un circuit de **technologie ASIC**, elle permet de

- Traiter le signal de réveil du module.
- Faire l'acquisition des grandeurs analogiques (pression, température, accélération et tension).
- Fournir la trame qui renseigne sur l'état du pneu.

### FP2 : Démodulateur LF

Elle réalise la fonction démodulation d'amplitude.

Entrée :

- **Onde électromagnétique** captée par les antennes Ant\_LF\_D ou Ant\_LF\_G, transportant le signal **BF modulé ASK** de fréquence **125 kHz**.

Sortie :

- **DATA\_REVEIL** : Signal binaire transportant le numéro d'identification du MER.

Session 2010	BTS Système Électronique Épreuve U4.1- Électronique	Page A4 sur 6
U4.1-SE-REN-10-V1	Analyse fonctionnelle	

### FP3 : modulateur HF

Entrées :

- **SELECT** : signal à deux états qui permet de contrôler le fonctionnement de l'étage de puissance du modulateur HF.
- **DATA\_ROUE** : trame numérique codée Manchester véhiculant les informations relatives à l'état de la roue.

Sortie :

- Onde électromagnétique support du **signal modulé FSK. La porteuse est de 433,92 MHz.**
- **CLK** : signal d'horloge externe du micro contrôleur du circuit **ASIC**.

### FP4 : capteurs

Entrées :

- Trois capteurs intégrés dans le **circuit ASIC** qui permettent de conditionner les grandeurs accélération, température et pression.

Sorties :

- Trois signaux, de type analogique, images de l'accélération, température et pression.

### FA : Alimentation autonome

- C'est une **pile de 3,3V** dont la durée de vie est de 10 ans. Elle constitue la source d'alimentation du MER. La tension Vcc est traitée par FP1, permettant ainsi de surveiller l'état de la pile.

## Analyse fonctionnelle du DSG

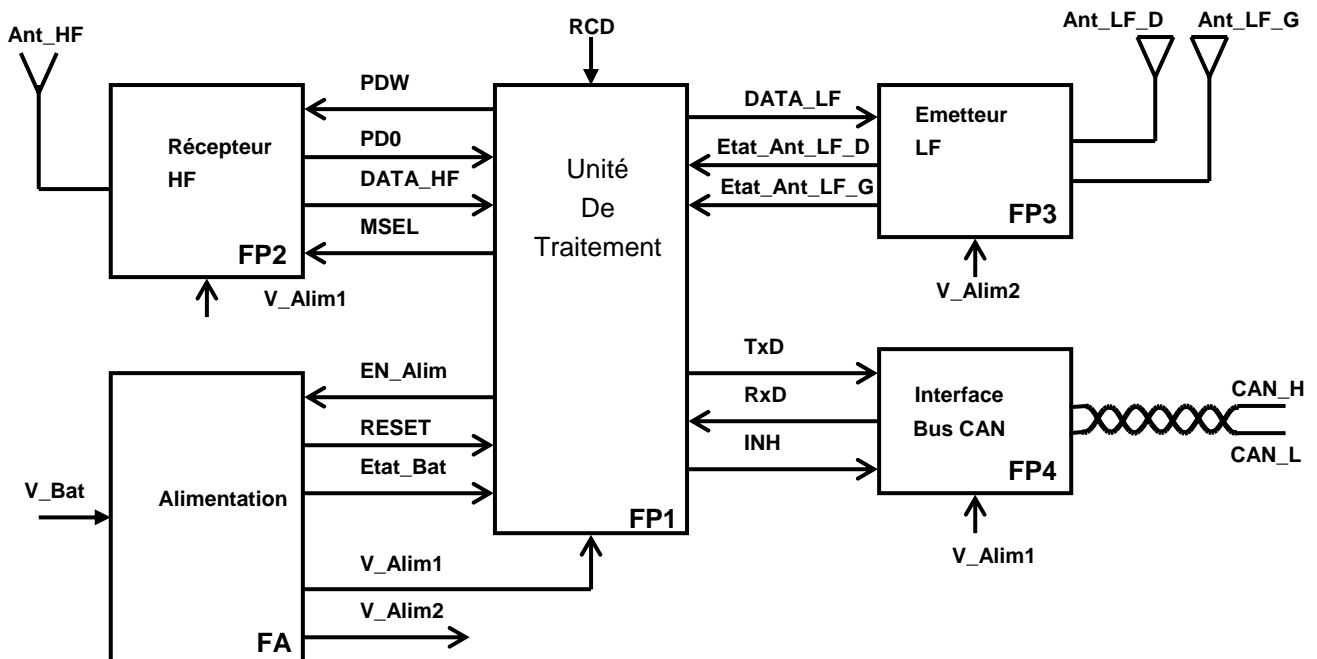


Figure 4 : Schéma fonctionnel degré 1 du DSG

### FP1 : unité de traitement

- L'unité de traitement est organisée autour d'un microcontrôleur PIC18F2580 de chez Microchip. Ce microcontrôleur intègre le gestionnaire du protocole CAN (voir présentation du bus CAN en annexe).

Session 2010	BTS Système Électronique Épreuve U4.1- Électronique	Page A5 sur 6
U4.1-SE-REN-10-V1	Analyse fonctionnelle	

### FP2 : récepteur HF

Entrées :

- Onde électromagnétique véhiculant un signal de **porteuse 433,92 MHz modulé FSK**. Ce signal est capté par l'antenne Ant\_HF.
- **PDW** : signal à deux états, il contrôle le fonctionnement du récepteur HF
- **MSEL** : signal à deux états, il permet de choisir le type de démodulation (ASK ou FSK).

Sorties :

- **PD0** : signal analogique dont l'amplitude est proportionnelle à celle du signal reçu. PD0 est exploité pour signaler à l'unité de traitement FP1 la présence d'un signal reçu.
- **DATA\_HF** : trame numérique reçue, codée Manchester, qui contient les données relatives à l'état de la roue.

### FP3 : émetteur LF

Entrées :

- **DATA\_LF** : signal carré de fréquence 125 kHz transmis pour réveiller LES MER des roues avant gauche et avant droite.

Sorties :

- Ondes électromagnétiques correspondant à l'excitation des deux antennes (Ant\_LF\_D et Ant\_LF\_G) par un signal sinusoïdal de fréquence 125 kHz.
- **Etat\_Ant\_LF\_D** et **Etat\_Ant\_LF\_G** : signaux images de l'excitation des antennes permettant de déduire leur état de fonctionnement.

### FP4 : interface bus CAN

Cette interface réalise les translations de niveaux entre le bus CAN (signaux **CAN\_H** et **CAN\_L**) et les entrée sortie **RxD** et **TxD** du microcontrôleur.

Entrées:

- **INH** : signal logique qui permet de contrôler le fonctionnement de l'interface Bus CAN.
- **TxD** : trame CAN à émettre sur le bus CAN, de niveau logique TTL.

Sorties:

- **RxD**: trame CAN reçue, de niveau logique TTL.

Entrée et sortie :

- **CAN\_H** et **CAN\_L** : signaux de la paire différentielle du bus CAN véhiculant la trame.

### FA: Alimentation

A partir de la tension fournie par la batterie du véhicule, on fabrique différentes tensions pour faire fonctionner le calculateur DSG.

Entrées :

- **V\_Bat** : tension batterie de valeur nominale 12V.
- **EN\_Alim** : signal de contrôle de l'alimentation.

Sorties :

- **V\_alim1** et **V\_alim2**.
- **Etat\_Bat** : signal analogique, image de la tension de la batterie.
- **RESET** : lorsque la tension de la batterie descend en dessous d'un certain seuil, ce signal devient actif.

Session 2010	BTS Système Électronique Épreuve U4.1- Électronique	Page A6 sur 6
U4.1-SE-REN-10-V1	Analyse fonctionnelle	



# SUJET

Les trois parties du sujet sont indépendantes. La partie A traite l'aspect protocole du bus CAN. Les parties B et C portent sur l'étude fonctionnelle et structurelle des calculateurs MER et DSG en suivant le cheminement des informations échangées entre eux.

## Partie A : Etude du bus CAN

Le calculateur DSG et une dizaine d'autres utilisent le bus **CAN I/S**. Par conséquent, à un instant donné, tous ces calculateurs peuvent être amenés à vouloir transmettre leur message. Pour résoudre le conflit de prise du bus, le protocole CAN utilise une procédure d'arbitrage. Tous les messages sont classés par priorités croissantes selon l'identificateur attribué lors de la conception : **on attribue l'identificateur ayant la plus petite valeur au message le plus prioritaire**.

Pour pouvoir traiter cette partie, il faut au préalable lire le document donné en pages BAN5 à BAN7 (**annexe** : Bus CAN) qui présente le protocole, l'architecture et la couche physique du bus CAN.

**Q1.** Donner la taille du champ identificateur du standard **CAN 2.A**.

**Q2.** Calculer le nombre d'identificateurs distincts que permet de coder Le standard **CAN 2**.

A un instant donné, trois calculateurs (BSI, DSG et le CMM) souhaitent émettre leurs messages d'identificateurs respectifs 0x51E, 0x52E et 0x54E.

**Q3.** Identifier le calculateur qui transmettra en premier son message. Justifier la réponse.

**Q4.** Compléter les chronogrammes du processus d'arbitrage figure 1 (page BR1).

**Q5.** Relever les noms des calculateurs et le numéro des instants à partir duquel ils se mettent en position récepteurs (perte du bus).

Pour éviter de longue suite de bits dominants ou récessifs, chaque contrôleur CAN d'un calculateur (voir annexe page BAN7) introduit volontairement dans la trame à transmettre des bits de bourrage (Stuffing).

Le calculateur BSI envoie un message d'identificateur 0x7C1.

**Q6.** Remplir les champs identificateurs du tableau 1 (page BR1) et entourer le ou les bits de bourrage.

Le chronogramme de la figure 2 (page BR1) est relevé sur un oscilloscope et permet le décodage d'une trame CAN. Ce signal est prélevé sur l'entrée TxD de l'interface bus CAN. La durée de la trame complète est de 126µs et comporte au total 63 bits.

**Q7.** Relever la valeur et délimiter sur ce chronogramme l'identificateur de la trame CAN.

**Q8.** Repérer par une flèche sur ce chronogramme le bit RTR en inscrivant la lettre « R » et justifier son état.

**Q9.** Déterminer le débit de transmission et en déduire le type de réseaux (**CAN LS** ou **HS**) qui véhicule cette trame.

Les calculateurs utilisant le même réseau CAN ne doivent pas traiter les messages dont ils ne sont pas destinataires. Aussi, le gestionnaire du bus CAN, associé à chaque calculateur, est doté d'un système de filtrage composé d'un masque et d'un sélecteur. Le masque spécifie les bits de l'identificateur qui doivent être contrôlés.

Lorsqu'un message est reçu, son champ identificateur est comparé bit à bit avec les valeurs du sélecteur. En cas de correspondance, le message accepté est transféré dans le buffer de réception pour être traité par le calculateur, sinon le message sera rejeté. Le tableau ci-contre résume la règle utilisée (x signifie valeur indifférente).

Bit de rang n du masque	Bit de rang n du sélecteur	Bit de rang n de l'identificateur	Bit de rang n du résultat
0	x	x	accepté
1	0	0	accepté
1	0	1	rejeté
1	1	0	rejeté
1	1	1	accepté

On souhaite que le calculateur DSG n'accepte que les messages dont les identificateurs sont : 0x304, 0x305, 0x306 et 0x307.

**Q10.** Compléter le tableau 2 (page BR2).

Session 2010	BTS Systèmes Électroniques Épreuve U4.1- Électronique	Page B1 sur 7
10SEE4EL1	Sujet	

## Partie B : MER (Module Emetteur de Roue)

Lorsque le contact est mis, les modules MER associés aux roues avant sont réveillés par le signal LF émis par le calculateur DSG. Ce signal LF est capté par une antenne intégrée dans le module. Une fois réveillés, les modules transmettent par liaison HF les informations (pression, température, accélération et niveau de la pile) au calculateur DSG. Les caractéristiques partielles du module émetteur de roue sont :

### Signal LF :

Modulant : code NRZ, Débit de transmission  $D = 2400\text{Bits/s}$ .

Modulation : ASK, porteuse LF  $F_c = 125\text{kHz} \pm 3,75\text{kHz}$ .

### Signal HF :

Modulant : code Manchester non différentiel ; débit de transmission :  $D = 9600\text{Bits/s}$ .

Modulation : FSK, porteuse  $F_0 = 433,92\text{MHz}$  à  $\pm 15\text{kHz}$  ; excursion en fréquence :  $\Delta F = \pm 45\text{kHz}$ .

**Q11.** En exploitant la documentation technique du composant ASIC SP30, indiquer les fonctions principales du MER qui y sont intégrées.

Le circuit SP30 est un ASIC (**A**pplication **S**pecific **I**ntegrated **C**ircuits).

**Q12.** Définir ce qu'est un ASIC, citer un avantage et un inconvénient de cette technologie.

**Q13.** Pour chaque grandeur physique mesurée par ce circuit (accélération, pression, tension et température), préciser la plage de mesure et la résolution.

### FP6 : Démodulateur LF (page BAN1)

Le circuit parallèle d'accord de l'antenne LF est composé :

- de l'inductance L1,
- d'un condensateur d'accord C constitué du condensateur C1 mis en parallèle avec le condensateur d'entrée du circuit SP30,
- d'une résistance de charge R constituée de la résistance R1 mise en parallèle avec la résistance d'entrée du circuit SP30.

L'antenne est accordée quand  $L_1 C \omega_a^2 = 1$ ,  $\omega_a$  étant la pulsation d'accord.

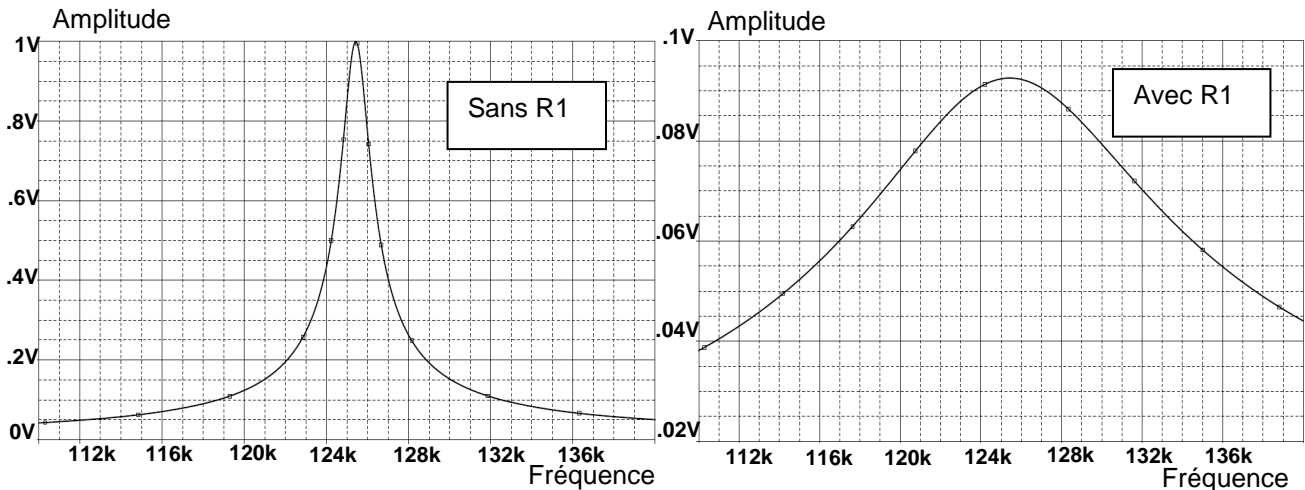
On rappelle les paramètres qui caractérisent un **circuit parallèle** accordé :

$$Q = \frac{R}{L\omega_a} \text{ et } B = \frac{F_a}{Q} \text{ Avec } Q : \text{ le coefficient de qualité, } B : \text{ la bande passante à } -3\text{dB.}$$

**Q14.** Donner la valeur optimale de la fréquence d'accord de l'antenne Ant\_LF.

**Q15.** Définir les éléments du modèle équivalent de l'entrée, vue des broches 12 et 13, du circuit SP30 (page BAN9). En déduire les valeurs des composants du circuit équivalent L1, C et R.

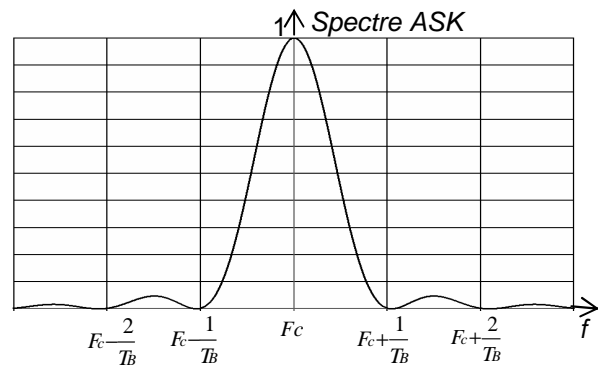
L'évolution de la tension aux bornes de l'antenne accordée constituée par la mise en parallèle de  $L_1$ ,  $C_1$ ,  $R_1$  et l'impédance vue des broches 12 et 13 du circuit SP30 est :



**Q16.** Déterminer les paramètres du circuit accordé sur lesquels agit la résistance  $R_1$ .

Le spectre du signal LF, modulé ASK, qui doit être capté par l'antenne est donné par la figure ci-contre.

On peut considérer que ce spectre occupe une bande passante de  $\frac{2}{T_B}$ ,  $T_B$  étant la durée du bit du code NRZ.



**Q17.** Dans le cas où la valeur de la porteuse LF est :  $F_c = 125\text{kHz}$  ; estimer la bande passante nominale du circuit accordé pour recevoir le signal LF modulé ASK.

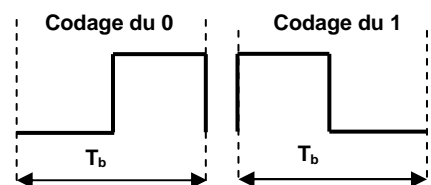
**Q18.** La valeur  $F_c$  de la porteuse LF est donnée avec une tolérance de  $\pm 3,75\text{kHz}$ , estimer la bande passante du circuit accordé pour recevoir le signal LF modulé ASK.

**Q19.** Justifier la valeur de  $R_1$  à partir des valeurs trouvées question **Q15** ou en utilisant les courbes ci-dessus.

#### FP4 : Génération d'une trame

Les données relatives à l'état des roues sont incorporées dans une trame de format spécifique et transmises à une vitesse de 9600 Bits/s. L'opération de transcodage implantée dans le circuit ASIC permet de générer le code Manchester à partir d'une horloge H (dérivée de l'horloge du microcontrôleur) qui définit :

- la période  $T_b$  du rythme de transmission,
- les données utilisant le codage NRZ.

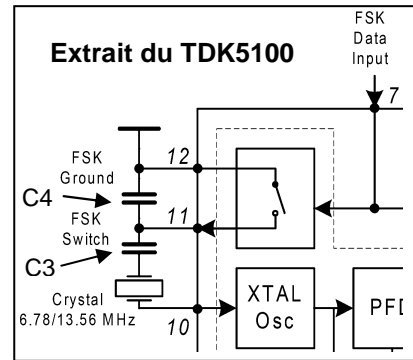


La représentation ci-contre montre le codage des bits 1 et 0 en code Manchester.

**Q20.** Compléter les chronogrammes (page BR2). En déduire l'équation logique de DATA\_ROUE en fonction de H et NRZ. Déterminer l'opérateur logique qui réalise cette fonction.

**FP5 : Modulateur HF**

Le signal numérique DATA\_ROUE commande un Switch interne au circuit (extrait du document page BAN11). Selon l'état ouvert (OFF) ou fermé (ON) du Switch, la capacité équivalente (en série avec le quartz) se trouve modifiée et par conséquent, la fréquence de l'oscillateur aussi. De cette commutation, il en résulte deux fréquences ( $F_{ON}$  ou  $F_{OFF}$ ) qui vont constituer la modulation FSK.



**Q21.** En exploitant la documentation du TDK5100, compléter le tableau 3 (page BR2) en inscrivant, en correspondance avec l'état haut et l'état bas de DATA\_ROUE, l'état du Switch (ouvert ou fermé) et préciser l'expression de la capacité équivalente  $C_{eq}$  en série avec le quartz.

La fréquence de sortie d'un oscillateur à quartz augmente lorsqu'on le met en série avec un condensateur.

**Q22.** Préciser laquelle des deux fréquences ( $F_{ON}$  et  $F_{OFF}$ ) est supérieure à l'autre. Justifier la réponse.

**Q23.** Déterminer le câblage de la broche 15 (FSEL) du circuit TDK5100 pour avoir un fonctionnement qui répond aux spécifications du modulateur.

La trame générée par le circuit SP30 qui contient les données relatives à l'état du pneu est représentée par le signal DATA\_ROUE.

**Q24.** En exploitant le schéma structurel du MER et la documentation technique du circuit TDK5100, compléter les chronogrammes figure 4 : modulation FSK (page BR2) pour transmettre la séquence binaire 0000. Pour le chronogramme de la broche 14, on inscrira, à l'endroit prévu, la fréquence  $F_{ON}$  ou  $F_{OFF}$ .

**Q25.** Déterminer la fréquence du signal CLK du TDK5100 et indiquer son rôle.

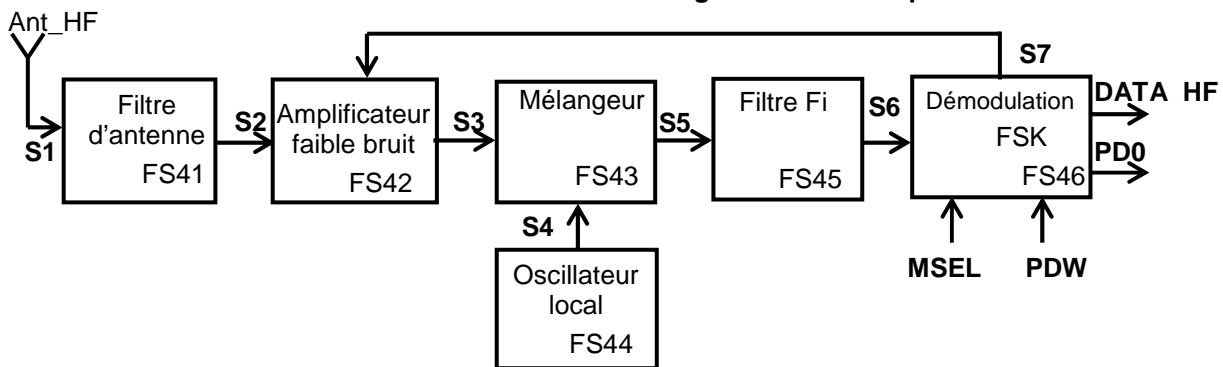
**Partie C : Calculateur DSG (Détection de Sous Gonflage)**

**Q26.** Délimiter sur le schéma structurel du DSG (pages BR4 à BR6) les fonctions principales : FP1, FP2, FP3, FP4 et FP5 (pages A5 et A6).

**FP4 : Réception HF**

L'onde électromagnétique, support de l'information envoyée par les MER, est captée par une antenne HF, d'impédance caractéristique  $50\Omega$  qui fournit un signal électrique. Ce signal va subir un traitement par des structures analogiques. Après démodulation et mise en forme, les données numériques DATA\_HF sont transmises au microcontrôleur du calculateur DSG et par la suite mises sur le bus CAN pour être exploitées par le calculateur BSI.

**Schéma fonctionnel de second degré de FP4 : réception HF.**



**Q27.** Donner le nom communément utilisé pour désigner un récepteur basé sur le changement de fréquence.

On considère que le mélangeur se comporte comme un multiplieur. On adoptera les notations suivantes :

- $F_{inc}$  : fréquences incidentes captées par l'antenne,
- $F_r$  : fréquence reçue appartenant à la bande de fréquences sélectionnées par le filtre d'antenne,
- $F_{ol}$  : fréquence de l'oscillateur local,
- $F_i$  : fréquence intermédiaire,
- $F_t$  : fréquences transposées (sortie du mélangeur).

La figure 5 (page BR3) présente des spectres (leur forme est arbitraire) en différents points entre les fonctions secondaires de la fonction FP4.

**Q28.** Compléter le document réponse en associant à chaque spectre le nom du point (S1, S2, S4, S5 et S6) où il a été prélevé.

### Démodulation

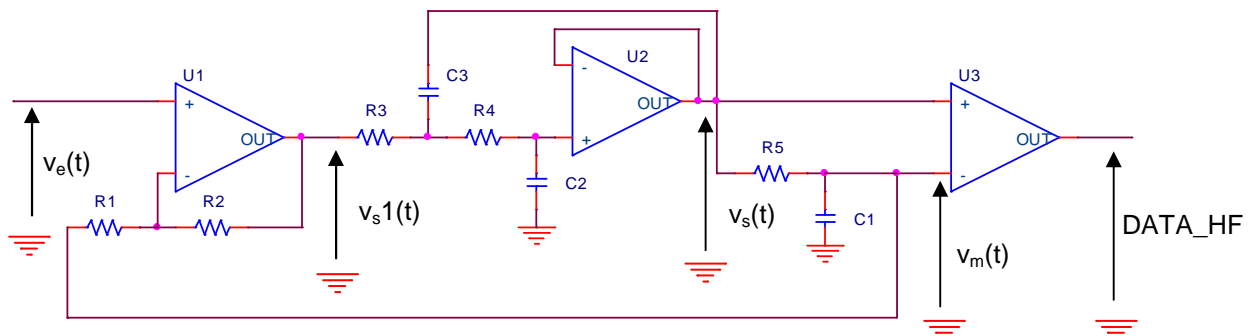
L'étage de démodulation peut démoduler des signaux de type ASK ou FSK selon l'état de l'entrée **MSEL**. Pour ce qui nous concerne, c'est le démodulateur FSK qui doit être sélectionné.

**Q29.** Déterminer l'état de l'entrée **MSEL** pour sélectionner le mode FSK.

Le démodulateur FSK utilise une PLL. La sensibilité de ce démodulateur est de  $200\mu\text{V}/\text{kHz}$ . Le signal analogique obtenu comporte une tension d'offset comprise entre 1,5V et 2,5V. Pour être exploité par le microcontrôleur, il doit être mis en forme (amplification, filtrage et décision).

**Q30.** Le signal FSK à démoduler est caractérisé par une excursion  $\Delta F = \pm 45\text{kHz}$ . Déterminer l'amplitude crête à crête du signal démodulé.

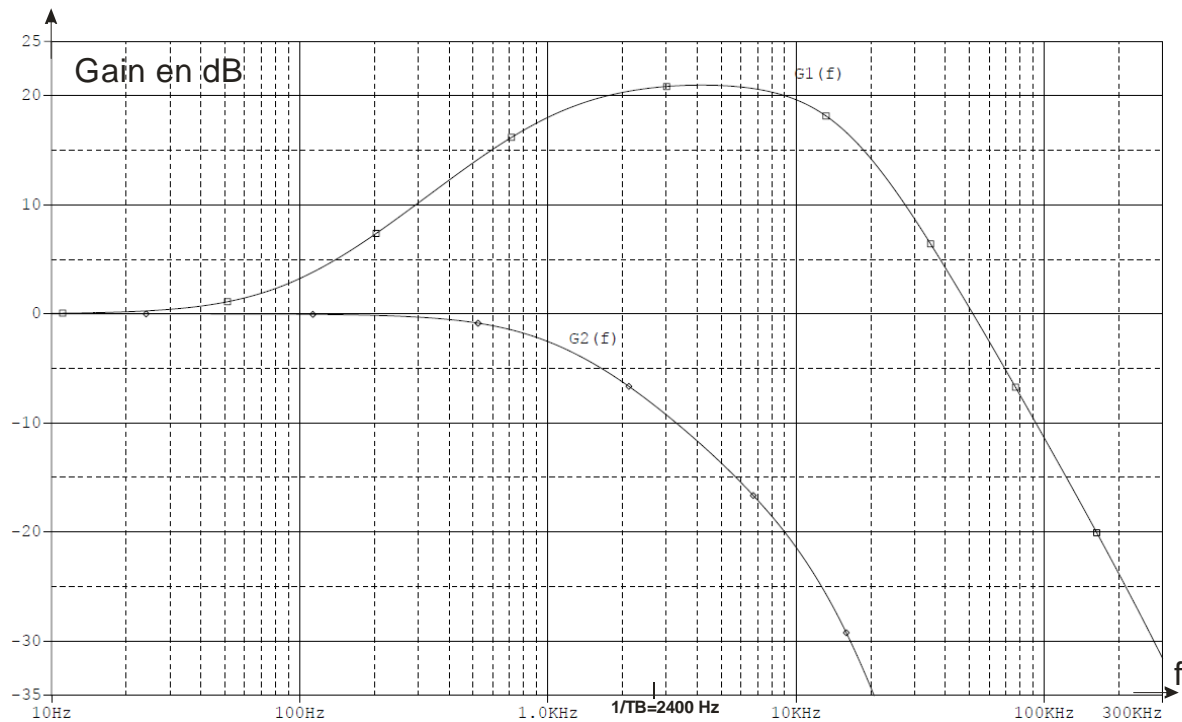
Le schéma structurel correspondant à la sélection du mode FSK avec la chaîne de traitement qui lui est associé est le suivant (extrait de la documentation du TDA5220) :



$v_e(t)$  représente le signal analogique à la sortie du bloc FSK PLL Demod.

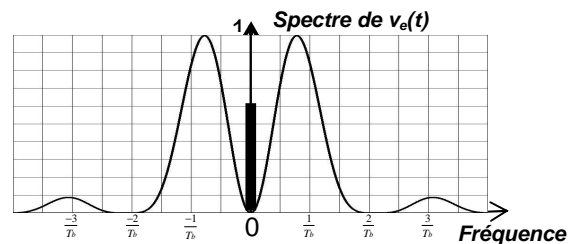
**Q31.** Reporter, à l'emplacement prévu sur le document réponse de la figure 6 (page BR3), les numéros de broches du circuit TDA5220 (cercles) ainsi que les valeurs des composants (rectangles) à l'aide du schéma structurel (page BAN2).

On donne le résultat de simulation de la structure précédente où  $G1(f)$  représente le gain de la fonction de transfert entre  $\bar{V}_s(f)$  et  $\bar{V}_e(f)$ , et  $G2(f)$  représente le gain de la fonction de transfert entre  $\bar{V}_m(f)$  et  $\bar{V}_e(f)$ .



**Q32.** En exploitant les résultats de simulation ci-dessus, déterminer les tensions  $v_s(t)$ ,  $v_m(t)$  et  $v_s1(t)$  lorsque  $v_e(t)$  est une composante continue de 1V.

Le spectre du signal  $v_e(t)$  codé Manchester est donné par la figure ci-contre. Presque 88% de l'énergie est contenue dans le lobe principal. Remarque : la raie correspond à la composante continue  $V_{offset}$ .



$\frac{1}{Tb}$  : Débit de transmission à 9600bits/s.

**Q33.** Exprimer l'effet de  $G1(f)$  et  $G2(f)$  sur les deux composantes spectrales (raie et lobes) de  $v_e(t)$ .

Le signal  $v_m(t)$  élaboré correspond à la valeur moyenne (ajustable automatiquement) du signal  $v_s(t)$ . Ce signal  $v_m(t)$  est utilisé comme seuil de décision pour la structure autour du circuit U3.

**Q34.** Donner le nom de la fonction réalisée par le circuit U3.

**Q35.** Préciser l'intérêt d'utiliser un seuil ajustable automatiquement par rapport à un seuil fixe dans un circuit de décision.

### FP3 : Emission LF

Le signal de réveil des MER est une porteuse modulée ASK (signal DATA\_LF). Dans cette étude, on ne s'intéresse qu'à la génération de la porteuse (signal carré de fréquence 125kHz) générée par le timer0 du PIC18F2580. On utilise des fonctions déjà écrites (bibliothèque du compilateur C utilisé) : **set\_timer0(x)** et **output\_bit(x,y)**.

- Le timer0 est configuré en mode 8bits (comptage de 0 à 255).
- La période d'incréméntation  $T_{CLK}$  du timer0 est de 100ns.
- Les interruptions, suite au débordement du timer0 (time out), sont autorisées.
- La fonction **set\_timer0(N)** permet d'initialiser le timer0 à la valeur N ( $0 \leq N \leq 255$ ).
- La fonction **output\_bit(PIN\_C3, val)** positionne la broche 3 du port C du PIC18F2580 à l'état haut ou bas selon que val est égal à 1 ou 0 respectivement.

Le sous programme d'interruption **TIMER0\_isr()** suivant permet de générer la porteuse 125kHz.

```
TIMER0_isr()
{
    // réinitialisation du timer0 à la valeur N
    set_timer0(N);
    // test de la valeur courante de val pour avoir l'état complément
    if (val ==1) val=0;
    else val=1;
    // mise à 1 ou à 0 de la broche PIN_C3 selon la valeur de val
    output_bit(PIN_C3, val);
}
```

Remarque: en langage C les lignes commençant par // sont des lignes de commentaire.

Le signal Horloge du chronogramme de la figure 7 (page BR3) illustre les instants d'incréméntation du timer0. Le débordement du timer0 génère une interruption si celle-ci a été autorisée. Les instants où les interruptions sont produites correspondent aux fronts montants et descendants du signal à générer (on néglige le temps correspondant à la prise en compte des interruptions par le micro contrôleur PIC).

**Q36.** Déterminer le nombre de périodes d'horloge d'incréméntation du timer0 contenu dans chaque demi-période de la porteuse 125kHz. En déduire la valeur de N qu'il faut charger dans le timer0 pour générer des interruptions toutes les 4µs.

**Q37.** En correspondance avec l'exécution de l'interruption **TIMER0\_isr()**, compléter le chronogramme figure 7 : génération porteuse 125kHz (page BR3).

# DOCUMENTATION

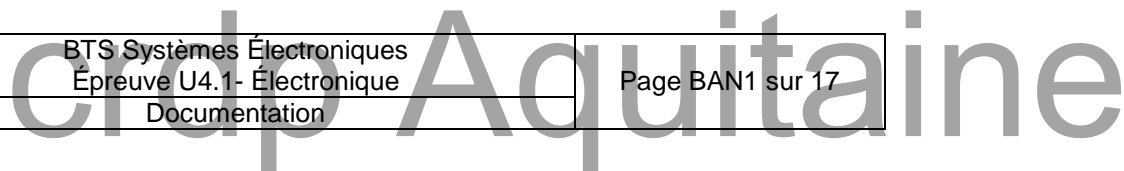
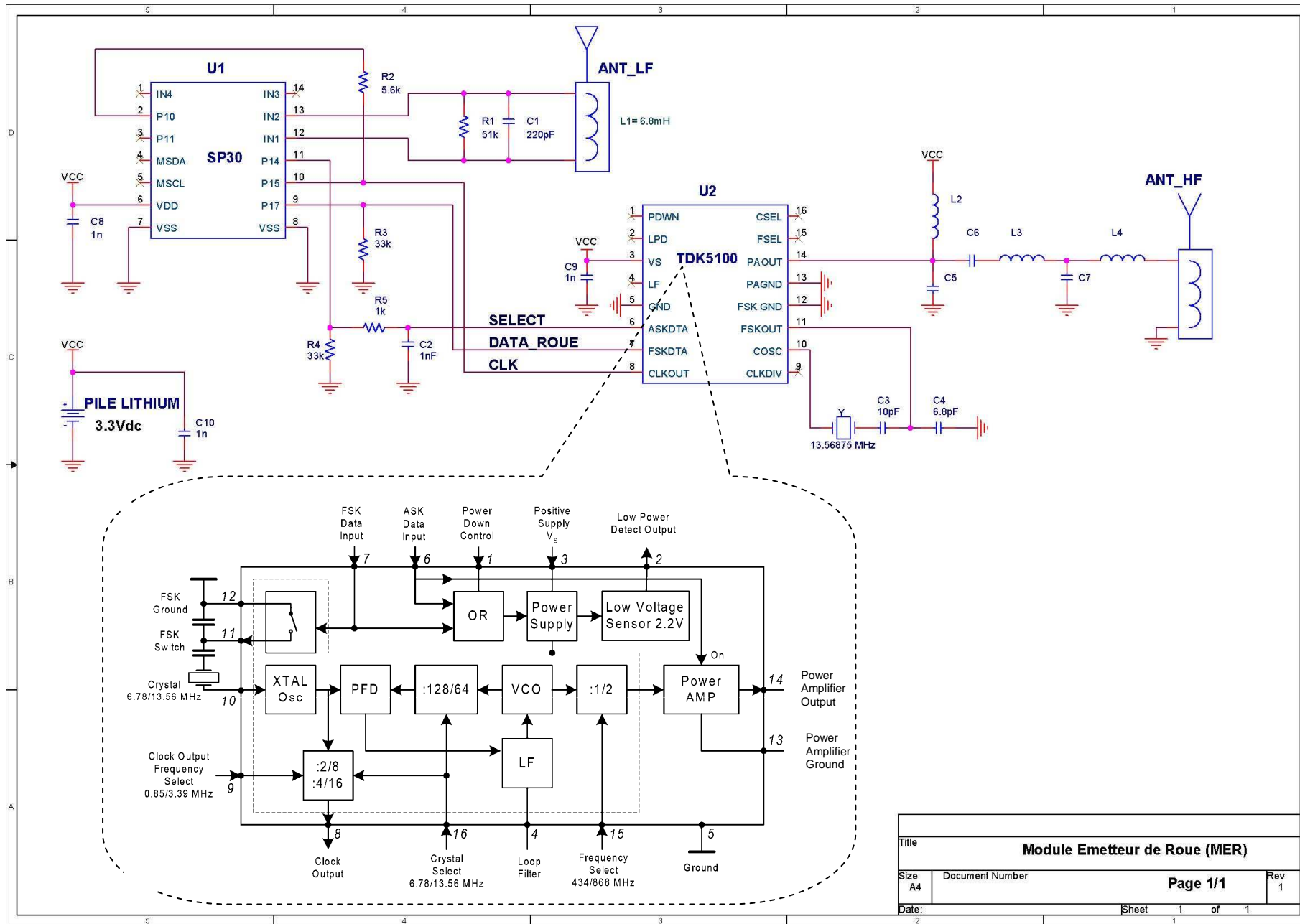
## SOMMAIRE

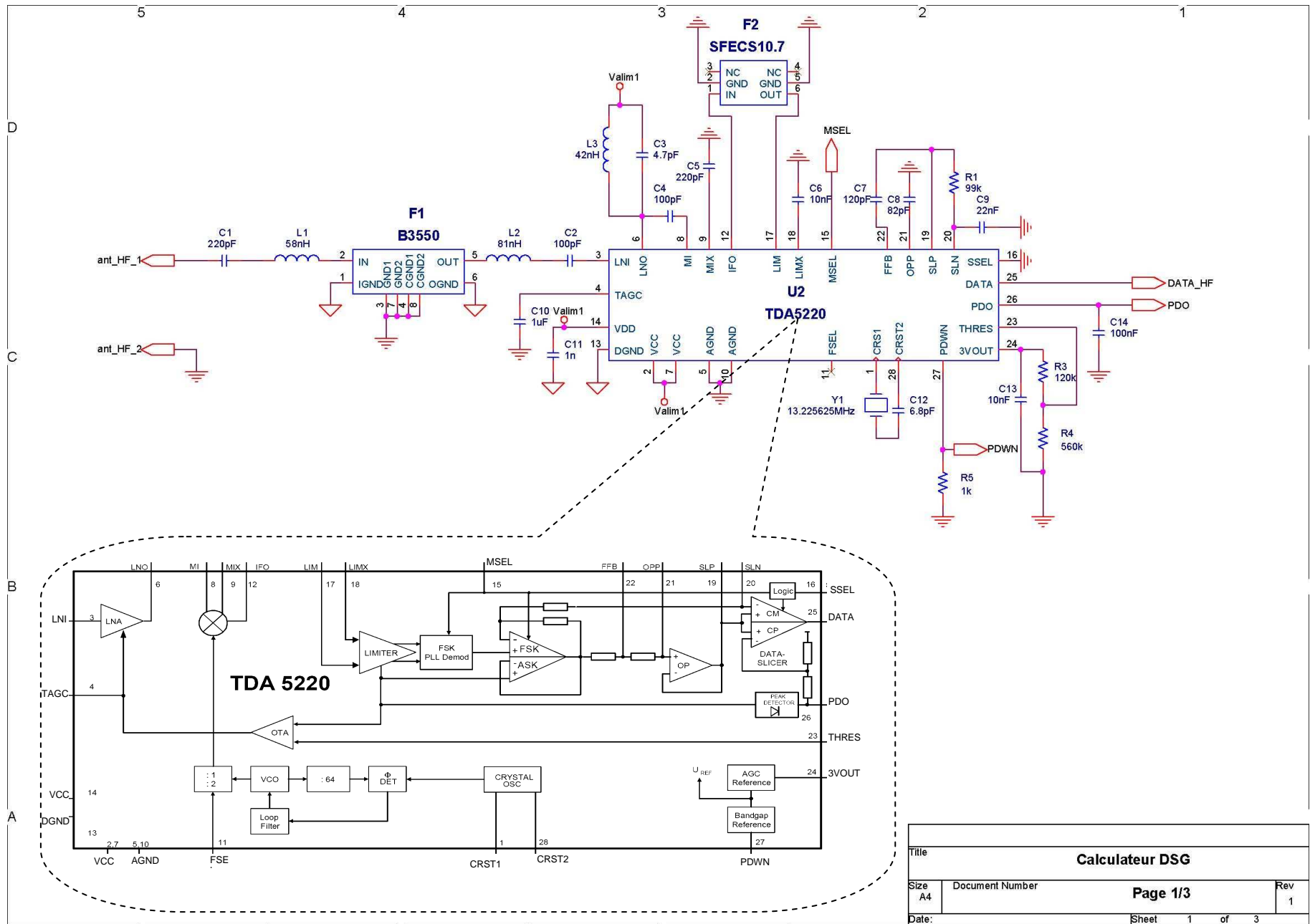
Schémas structurels.....	pages BAN1 à BAN4
Annexe : Bus CAN.....	pages BAN5 à BAN7
Circuit ASIC SP30.....	pages BAN8 à BAN10
Circuit TDK 5100.....	pages BAN10 à BAN14
Circuit TDA 5220.....	pages BAN14 à BAN17

Session 2010	BTS Systèmes Électroniques Épreuve U4.1- Électronique	Page BAN1 à BAN17
10SEE4EL1	Documentation	

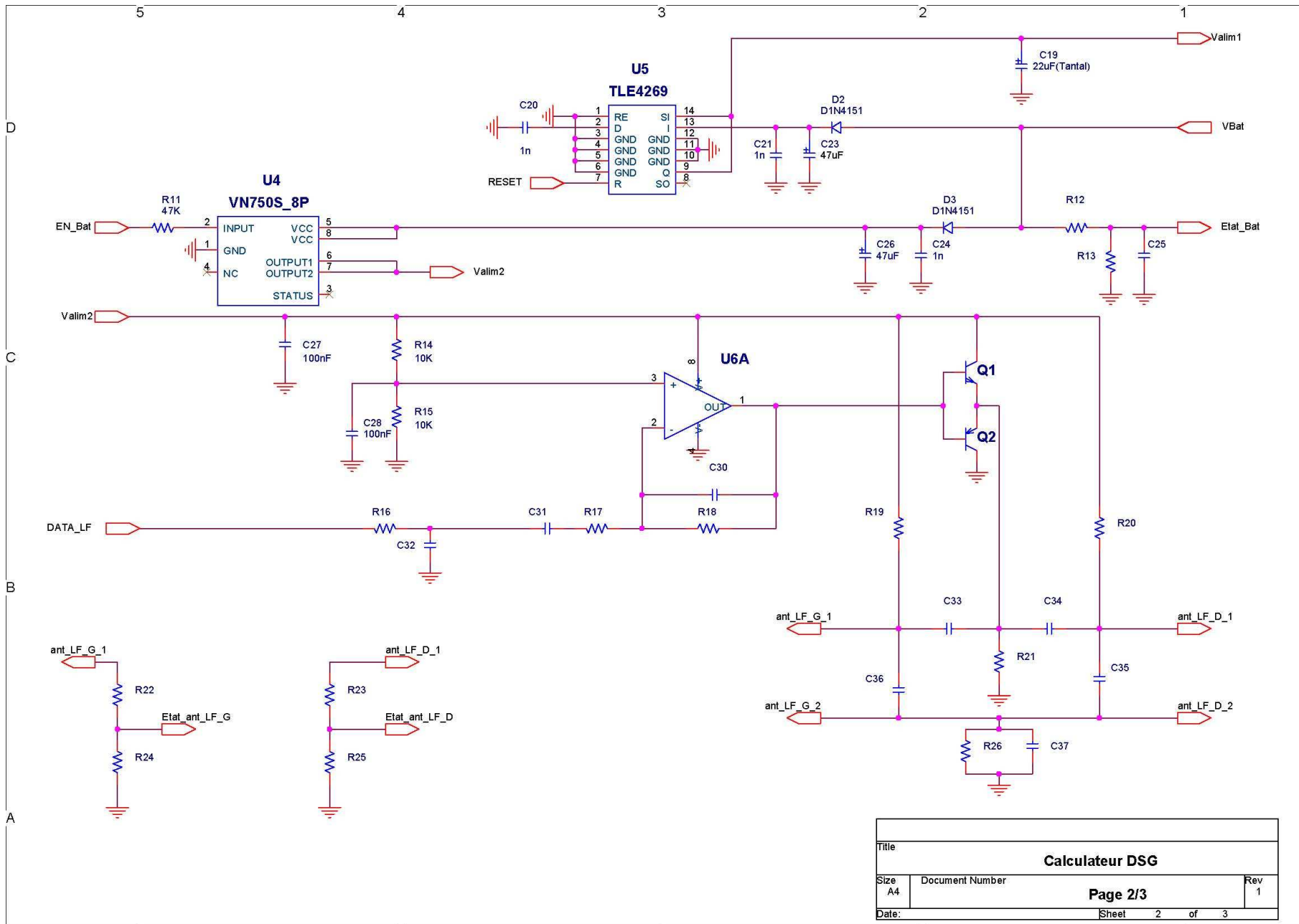
crdp Aquitaine



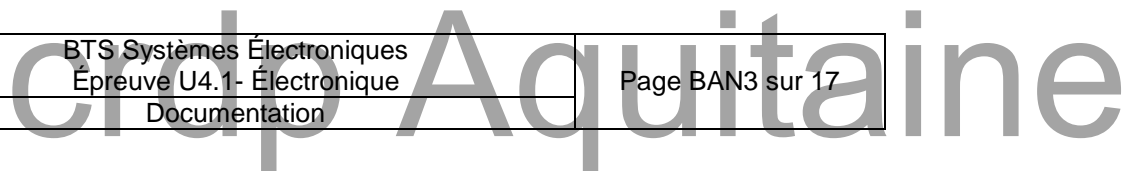


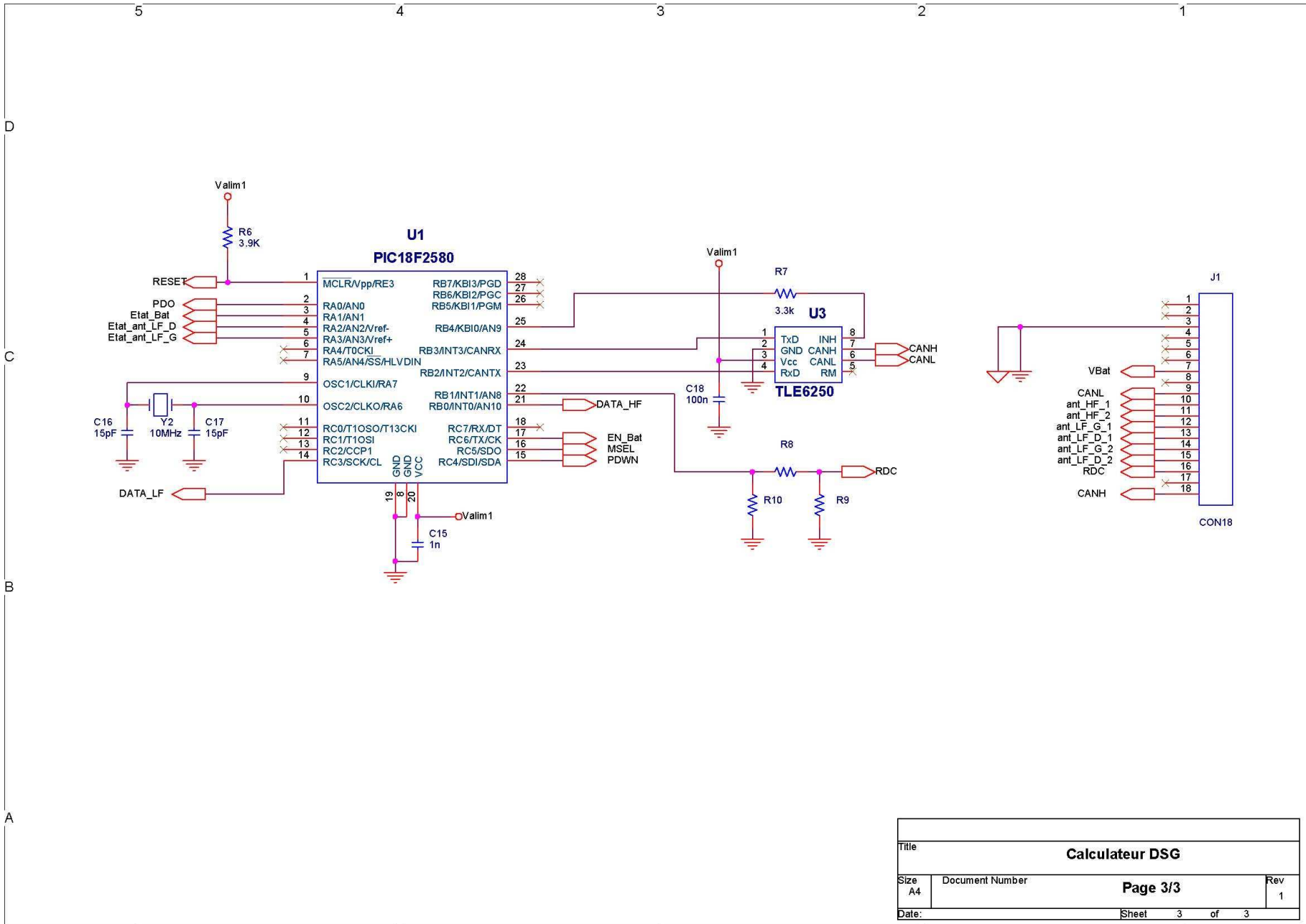


Title		<b>Calculateur DSS</b>	
Size A4	Document Number	<b>Page 1/3</b>	Rev 1
Date:	Sheet 1	of 3	



Title		
<b>Calculateur DSG</b>		
Size A4	Document Number	Rev 1
Date:	Page 2/3	
	Sheet 2 of 3	





Title			<b>Calculateur DSG</b>		
Size A4	Document Number	<b>Page 3/3</b>		Rev	1
Date:	Sheet	3	of	3	

# Annexe: Bus CAN

## Généralités

Le bus CAN (Controller Area Network) est né pour répondre au besoin d'assurer une communication de type série entre plusieurs calculateurs dans les véhicules automobiles. Ce bus a été développé par Bosch en 1983 et sa première normalisation référencée ISO11898 date de 1994. Depuis, la norme du protocole du bus CAN définit deux formats :

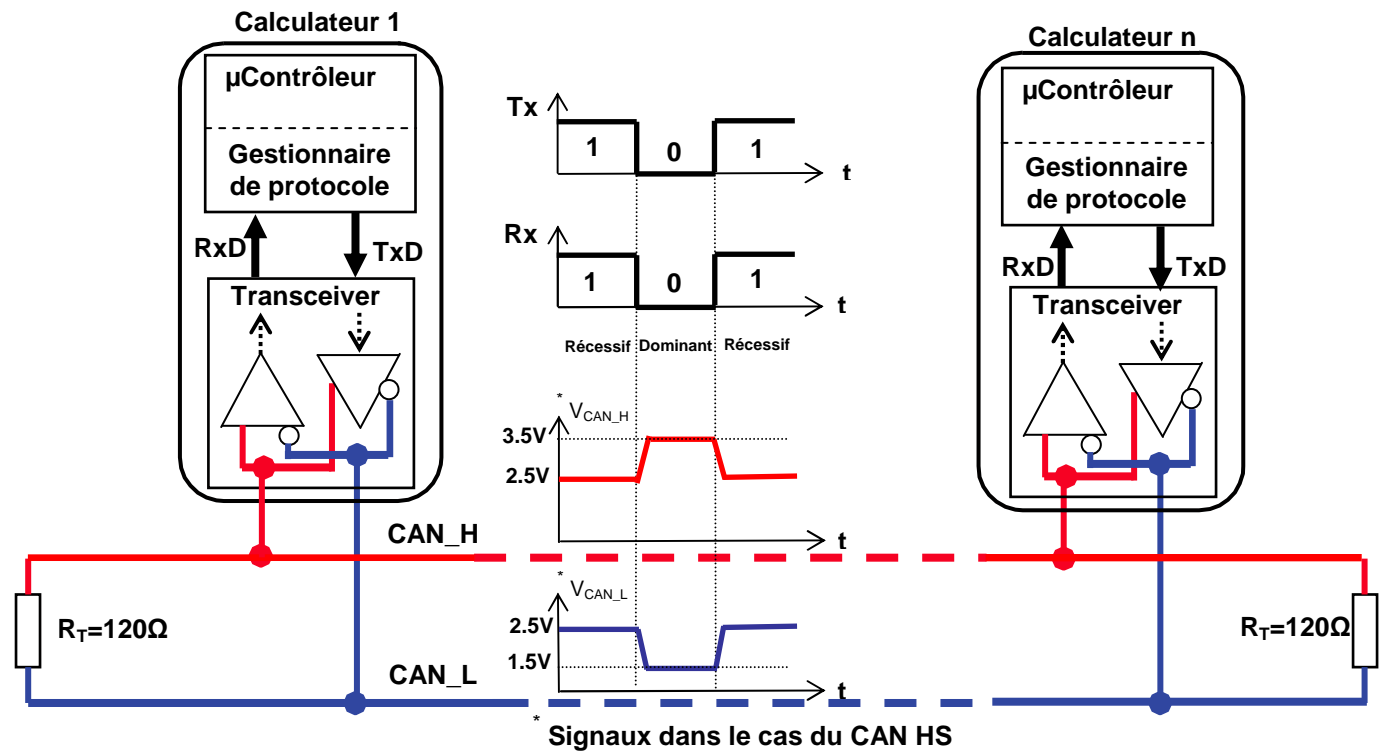
- Version **standard CAN 2.A** (champ identificateur sur **11 bits**)
- Version **étendu CAN 2.B** (champ identificateur sur **29 bits**)

La version du bus CAN utilisée dans cette épreuve est le **CAN 2.A**

Le débit de transmission sur le réseau CAN peut atteindre 1 Mbits/s. Deux classes de débits ont été également normalisées :

**CAN Low Speed** (noté **CAN LS**), dont le débit peut atteindre le **125 Kbits/s**.

**CAN High Speed** (noté **CAN HS**), de **125 kbits/s** jusqu'à **1 Mbits/s**.



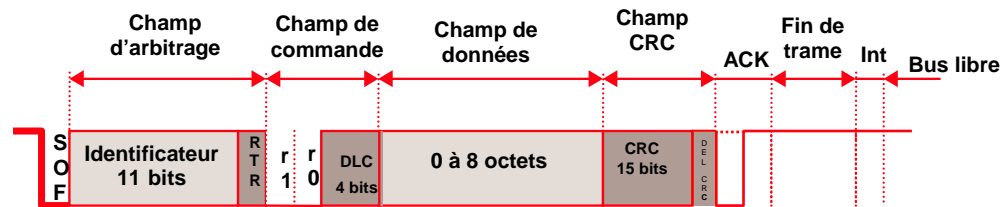
Comme illustré ci-dessus, un réseau CAN est constitué d'un medium (le support physique qui transporte le signal informationnel), qui souvent utilise deux fils électriques en différentiel : CAN\_H et CAN\_L. Cette paire de fils (généralement torsadée pour des problèmes de CEM) est raccordée à chaque ordinateur (on dit souvent nœud) par une paire d'amplificateurs différentiels (un pour la transmission et l'autre pour la réception) intégrés dans un boîtier appelé transceiver (ou interface ligne).

Le nombre de calculateurs branchés sur la même paire est limité. La paire de fils est chargée par deux résistances de terminaison ( $R_T=120\Omega$  chacune).

Le transceiver est relié au bloc gestionnaire du protocole CAN par deux lignes logiques : transmission (Tx) et réception (Rx).

Le gestionnaire du protocole CAN comporte des buffers d'émission, des buffers et des filtres de messages en réception. Souvent, le  $\mu$ contrôleur intègre le gestionnaire du protocole CAN.

## Format d'une trame standard CAN 2.A



### SOF (Start of Frame)

Constitué par un seul bit, de niveau dominant, indique aux nœuds le début de la trame. La détection du front descendant du **SOF** par les nœuds va leur permettre de se synchroniser sur la trame en cours de transmission.

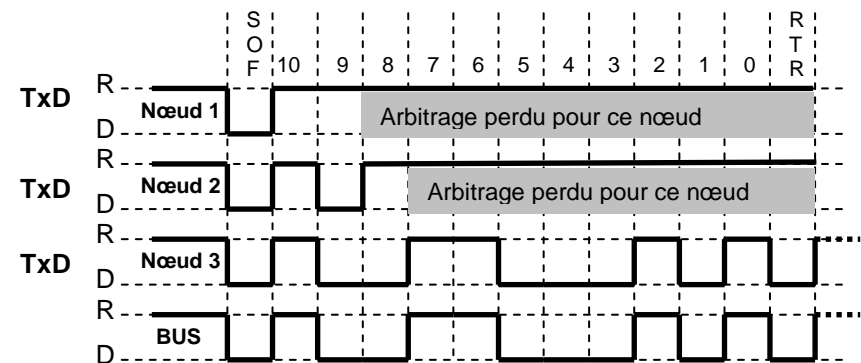
### Champ d'arbitrage

Constitué de l'identificateur du message (11 bits en trame standard) et du bit **RTR** (Remote Transmission Request). L'identificateur de longueur 11 bits permet d'attribuer une adresse spécifique à chaque message. Le bit de poids fort de l'identificateur est transmis en premier. Le bit **RTR** de niveau dominant indique que c'est une trame de données qui est en cours de transmission. Le bit **RTR** de niveau récessif indique que c'est une trame de requête (absence du champ de données) qui est en cours de transmission. La trame de requête

est envoyée par un nœud à un autre nœud pour lui demander un renvoi de ses données.

Le champ d'arbitrage influe sur l'attribution du bus dans le cas où deux nœuds ou plus émettent simultanément leurs trames. Pour éviter les collisions et par conséquent la destruction de la trame, l'arbitrage du bus CAN s'appuie sur l'évaluation des identificateurs commençant la trame. Chaque nœud débute son émission par l'identificateur composé de bits dominants et de bits récessifs. A travers son transceiver (on écoute ce que l'on émet : rebouclage du **TxD** sur le **RxD**), il compare chaque bit qu'il transmet sur le bus et le bit réellement transmis. En transmettant un bit récessif et après lecture du **RxD**, il détecte un bit dominant, le nœud s'aperçoit qu'il a perdu l'arbitrage. **Par conséquent, à partir du bit suivant, il se met en position récepteur.** Il tentera un accès au bus à la fin de transmission de la trame en cours.

Ci-dessous, une illustration du processus d'arbitrage entre 3 nœuds qui veulent accéder simultanément au bus :



R : Récessif

D : Dominant

Finalement, c'est le nœud 3 qui gagne le bus.

Session 2010	BTS Systèmes Électroniques Épreuve U4.1- Électronique	Page BAN6 sur 17
10SEE4EL1	Documentation	

### Champ de commande

Constitué de 6 bits :

2 bits **r1** et **r0** : sont réservés et toujours au niveau dominant.

4 bits formant le champ **DLC** qui indiquent le nombre d'octets qui seront transmis dans le champ de données.

### Champ de données

Constitué de 0 à 8 octets maximums de données utiles, l'octet le plus significatif est transmis en premier et les bits de l'octet sont transmis dans l'ordre MSB.....LSB.

### Champ CRC

C'est un code de contrôle, constitué de **15 bits**, suivi d'un **bit délimiteur** au **niveau récessif**.

### Champ d'acquittement : ACK

Constitué de 2 bits : **ACK SLOT** suivi d'un **ACK délimiteur** qui est **récessif**. Quant au **ACK SLOT**, le nœud émetteur le met au niveau récessif (libération du bus pendant la durée d'un bit) et c'est un des nœuds récepteurs qui doit le mettre au niveau dominant pour acquitter la trame signifiant qu'elle a été bien reçue.

### Fin de trame : EOF

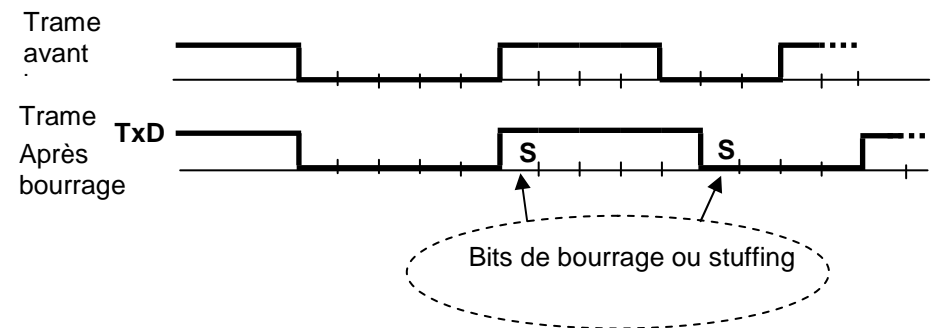
Constitué de **7 bits** au niveau **récessif**, il permet d'identifier la fin de la trame.

## Technique de bit de bourrage « stuffing »

La synchronisation des nœuds récepteurs sur le nœud émetteur exploite les transitions entre les niveaux récessif et dominant. Pour éviter une longue suite de niveaux identiques, le gestionnaire du protocole introduit (au niveau de la transmission **TxD**), après 5 bits de niveaux identiques (dominant ou récessif), un bit supplémentaire de niveau opposé pour casser le rythme, c'est ce qu'on appelle le bit de « bourrage » ou de « stuffing ».

Cette technique allonge bien sûr la longueur de la trame et donc le temps de sa transmission. Quant aux nœuds récepteurs, ils feront l'opération inverse, c'est-à-dire, enlever les bits de « stuffing » (qui peuvent être présents dans le signal **RxD**) avant de traiter le contenu de la trame.

Voici un exemple qui illustre la technique de bourrage :





## 1 Product Description

### 1.1 Overview

The SP30 Tire Pressure Monitoring (TPM) Sensor represents Infineon's standard pressure range TPM sensor. The SP30 offers a high level of integration by including a microcontroller, signal conditioning and LF-input stage to meet market demands for flexible, customer specific solutions and overall system cost reduction.

The sensor design is based on Infineon's proprietary and patented solutions for high reliability measurements in harsh automotive environments. Its predictable and stable quality is proven in high volume applications.

The SP30 measures pressures up to 900kPa, temperature, supply voltage and acceleration (optional), and by integrating these functions with an ASIC in one package, Infineon has developed the ideal product for standard pressure TPM applications.

### 1.2 Features

- Integrated Sensors
  - Pressure
  - Acceleration (optional)
  - Temperature
  - Voltage
- Integrated Peripherals
  - Microcontroller
  - On board EEPROM
  - GPIOs
  - ADC for signal conditioning
  - 2x LF Receiver for triggering
- Measurement Ranges
  - Pressure Sensor 100 to 450 kPa / 100 to 900kPa
  - Temperature Sensor -40 to +125°C
  - Supply Voltage Sensor 2.1 to 3.6 V
  - Acceleration Sensor -12 to 115 g

## 2 Product Characteristics

The max and min values are to be understood as + and - 5 $\sigma$  values (Cpk = 1.67) unless otherwise specified.

### 2.1 Measurement performance

#### 2.1.1 Pressure measurement

The presented performance reflects the use of 11-bit measurement of pressure signal and 10-bit measurement of temperature.

##### 2.1.1.1 Standard pressure measurement range

Table 1 Pressure measurement specifications, 100-450kPa range

PARAMETER	SPECIFICATION				AMBIENT CONDITIONS		COMMENTS
	Min	Typ	Max	Unit	Temp [°C]	VDD [V]	
Pressure range	100		450	kPa	-40 to 125	2.1 to 3.6	
Measurement error	-7		7	kPa	0 to 50	2.1 to 3.6	
	-9		9	kPa	50 to 70	2.1 to 3.6	
	-17.5		17.5	kPa	-40 to 125	2.1 to 3.6	

##### 2.1.1.2 Optional pressure measurement ranges

Table 2 Pressure measurement specifications, 100-700kPa range

PARAMETER	SPECIFICATION				AMBIENT CONDITIONS		COMMENTS
	Min	Typ	Max	Unit	Temp [°C]	VDD [V]	
Pressure range	100		700	kPa	-40 to 125	2.1 to 3.6	
Measurement error	-11		11	kPa	0 to 50	2.1 to 3.6	
	-14		14	kPa	50 to 70	2.1 to 3.6	
	-28		28	kPa	-40 to 125	2.1 to 3.6	

Table 3 Pressure measurement specifications, 100-800kPa range

PARAMETER	SPECIFICATION				AMBIENT CONDITIONS		COMMENTS
	Min	Typ	Max	Unit	Temp [°C]	VDD [V]	
Pressure range	100		800	kPa	-40 to 125	2.1 to 3.6	
Measurement error	-12.5		12.5	kPa	0 to 50	2.1 to 3.6	
	-16		16	kPa	50 to 70	2.1 to 3.6	
	-19.5		19.5	kPa	-40 to 125	2.1 to 3.6	

Table 4 Pressure measurement specifications, 100-900kPa range

PARAMETER	SPECIFICATION				AMBIENT CONDITIONS		COMMENTS
	Min	Typ	Max	Unit	Temp [°C]	VDD [V]	
Pressure range	100		900	kPa	-40 to 125	2.1 to 3.6	
Measurement error	-14		14	kPa	0 to 50	2.1 to 3.6	
	-18		18	kPa	50 to 70	2.1 to 3.6	
	-35		35	kPa	-40 to 125	2.1 to 3.6	



	<b>Datasheet</b>				TS	1085
	Tire Pressure Monitoring Sensor SP30				Rev. of	4 6 14

### 2.1.2 Acceleration measurement

The presented performance reflects the use of 12-bit measurement of acceleration signal and 10-bit measurement for temperature.

Table 5 Acceleration measurement specifications

PARAMETER	SPECIFICATION				AMBIENT CONDITIONS		COMMENTS
	Min	Typ	Max	Unit	Temp [°C]	VDD [V]	
Input range	-12		115	g	-40 to 90	2.1 to 3.6	
Sensitivity accuracy	-18.75		18.75	%	-40 to 90	2.1 to 3.6	
Offset accuracy	-6		6	g	-20 to 70	2.1 to 3.6	
	-8.5		8.5	g	-40 to 90	2.1 to 3.6	

### 2.1.3 Temperature measurement

The presented performance reflects the use of 10-bit measurement of temperature.

Table 6 Temperature measurement specifications


PARAMETER	SPECIFICATION				AMBIENT CONDITIONS		COMMENTS
	Min	Typ	Max	Unit	Temp [°C]	VDD [V]	
Measurement error	-3		3	°C	-20 to 70	2.1 to 3.6	
	-5		5	°C	-40 to 90	2.1 to 3.6	
	-3		7	°C	90 to 125	2.1 to 3.6	

### 2.1.4 Supply voltage measurement

The presented performance reflects the use of 9-bit measurement of supply voltage.

Table 7 Supply voltage measurement specifications

PARAMETER	SPECIFICATION				AMBIENT CONDITIONS		COMMENTS
	Min	Typ	Max	Unit	TEMP [°C]	VDD [V]	
Measurement error	-100		+100	mV	-40 to 125	V <sub>THR</sub> to 3.6	

	<b>Datasheet</b>				TS	1085
	Tire Pressure Monitoring Sensor SP30				Rev. of	4 8 14

## 2.5 Clock sources

### 2.5.1 System clock (MCLK)

Table 11 System clock (MCLK) specifications

PARAMETER	SPECIFICATION				AMBIENT CONDITIONS		COMMENTS
	Min	Typ	Max	Unit	TEMP [°C]	VDD [V]	
MCLK frequency	1.8	2.0	2.2	MHz	-40 to 125	2.1 to 3.6	

### 2.5.2 Low Power (LP) oscillator

Table 12 LP oscillator specifications

PARAMETER	SPECIFICATION				AMBIENT CONDITIONS		COMMENTS
	Min	Typ	Max	Unit	TEMP [°C]	VDD [V]	
T <sub>it</sub>	0.5	1.0	2.0 or 4.0	s	-40 to 125	2.1 to 3.6	Interval timer main tick
del <sub>2t</sub>	25	50, 75 or 100		ms	-40 to 125	2.1 to 3.6	Delay to extra tick
LP oscillator accuracy	-20		20	%	-40 to 125	2.1 to 3.6	

### 2.5.3 External clock

Table 13 External clock specifications

PARAMETER	SPECIFICATION				AMBIENT CONDITIONS		COMMENTS
	Min	Typ	Max	Unit	TEMP [°C]	VDD [V]	
External clock			3.5	MHz	-40 to 125	2.1 to 3.6	

## 2.6 LF input

Table 14 LF telegram

PARAMETER	SPECIFICATION				AMBIENT CONDITIONS		COMMENTS
	Min	Typ	Max	Unit	TEMP [°C]	VDD [V]	
Modulation			ASK		-40 to 125	2.1 to 3.6	
Carrier frequency	121.25	125	128.75	kHz	-40 to 125	2.1 to 3.6	
Preamble period	4			ms	-40 to 125	2.1 to 3.6	
Data rate	3.84	3.9	3.96	kHz	-40 to 125	2.1 to 3.6	
Settling time			2	ms	-40 to 125	2.1 to 3.6	Time from LF interface is turned on by RISC to the LF interface is active
Detection threshold			5	mVp-p	-40 to 125	2.1 to 3.6	
Input capacitance		10	12	pF	-40 to 125	2.1 to 3.6	
Input resistance	500			kΩ	-40 to 125	2.1 to 3.6	
Other	The input signals from the enabled LF channels are rectified and real time summed						

## 6 Pin Configuration

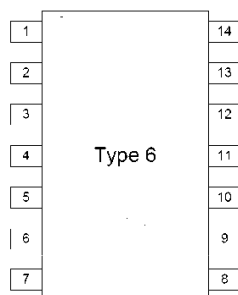


Figure 3: Pin Configuration. Top view, not to scale

Table 20 Pin Description

PIN	NAME	FUNCTION
1	IN4	LF receiver channel 2, negative input
2	P10	General purpose I/O with external wakeup, internal pull-up/pull-down
3	P11	General purpose I/O with external wakeup, internal pull-up/pull-down
4	MSDA	Monitor Serial Data I/O, internal pull-up
5	MSCL	Monitor Serial Clock input
6	VDD	Supply pad VDD (battery, positive terminal)
7	VSS	Common ground (battery, negative terminal)
8	VSS	Common ground (battery, negative terminal)
9	P17	General purpose I/O (or digital modulator output)
10	P15	General purpose I/O or external clock
11	P14	General purpose I/O (or digital modulator output)
12	IN1	LF receiver channel 1, positive input
13	IN2	LF receiver channel 1, negative input
14	IN3	LF receiver channel 2, positive input

## 2.1 Pin Configuration

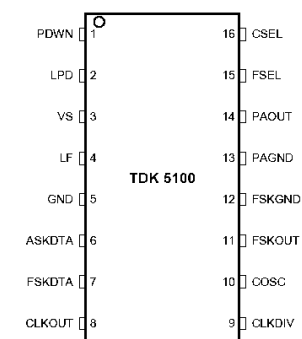


Figure 2-1 IC Pin Configuration

Pin No.	Symbol	Function
1	PDWN	Power Down Mode Control
2	LPD	Low Power Detect Output
3	VS	Voltage Supply
4	LF	Loop Filter
5	GND	Ground
6	ASKDTA	Amplitude Shift Keying Data Input
7	FSKDTA	Frequency Shift Keying Data Input
8	CLKOUT	Clock Driver Output
9	CLKDIV	Clock Divider Control (847.5 kHz or 3.34 MHz)
10	COSC	Crystal Oscillator Input
11	FSKOUT	Frequency Shift Keying Switch Output
12	FSKGND	Frequency Shift Keying Ground
13	PAGND	Power Amplifier Ground
14	PAOUT	Power Amplifier Output
15	FSEL	Frequency Range Selection (433 or 868 MHz)
16	CSEL	Crystal Frequency Selection (6.78 or 13.56 MHz)

### 2.3 Functional Block diagram

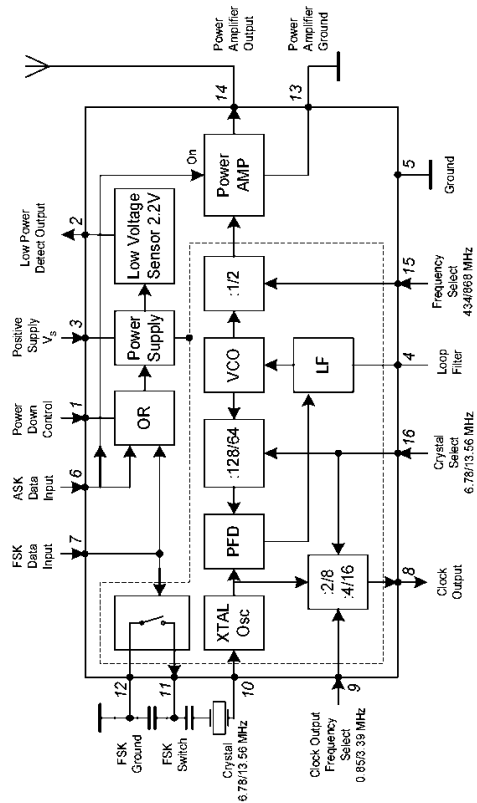


Figure 2-2 Functional Block diagram

Block\_0\_23pin.wmf

### 2.4 Functional Blocks

#### 2.4.1 PLL Synthesizer

The Phase Locked Loop synthesizer consists of a Voltage Controlled Oscillator (VCO), an asynchronous divider chain, a phase detector, a charge pump and a loop filter. It is fully implemented on chip. The tuning circuit of the VCO consisting of spiral inductors and varactor diodes is on chip, too. Therefore no additional external components are necessary. The nominal center frequency of the VCO is 869 MHz. The oscillator signal is fed both, to the synthesizer divider chain and to the power amplifier. The overall division ratio of the asynchronous divider chain is 128 in case of a 6.78 MHz crystal or 64 in case of a 13.56 MHz crystal and can be selected via CSEL (pin 16). The phase detector is a Type IV PD with charge pump. The passive loop filter is realized on chip.

#### 2.4.2 Crystal Oscillator

The crystal oscillator operates either at 6.78 MHz or at 13.56 MHz. The reference frequency can be chosen by the signal at CSEL (pin 16).

CSEL (pin 16)	Crystal Frequency
Low <sup>1)</sup>	6.78 MHz
Open <sup>2)</sup>	13.56 MHz

- 1) Low: Voltage at pin < 0.2 V
- 2) Open: Pin open

For both quartz frequency options, 847.5 kHz or 3.39 MHz are available as output frequencies of the clock output CLKOUT (pin 8) to drive the clock input of a micro controller.

The frequency at CLKOUT (pin 8) is controlled by the signal at CLKDIV (pin 9)

CLKDIV (pin 9)	CLKOUT Frequency
Low <sup>1)</sup>	3.39 MHz
Open <sup>2)</sup>	847.5 kHz

- 1) Low: Voltage at pin < 0.2 V
- 2) Open: Pin open

To achieve FSK transmission, the oscillator frequency can be detuned by a fixed amount by switching an external capacitor via FSKOUT (pin 11).

The condition of the switch is controlled by the signal at FSKDTA (pin 7).

FSKDTA (pin7)	FSK Switch
Low <sup>1)</sup>	CLOSED
Open <sup>2)</sup> , High <sup>3)</sup>	OPEN

- 1) Low: Voltage at pin < 0.5 V
- 2) Open: Pin open
- 3) High: Voltage at pin > 1.5 V

### 2.4.3 Power Amplifier

In case of operation in the 868-870 MHz band, the power amplifier is fed directly from the voltage controlled oscillator. In case of operation in the 433-435 MHz band, the VCO frequency is divided by 2. This is controlled by FSEL (pin 15) as described in the table below.

FSEL (pin 15)	Radiated Frequency Band
Low <sup>1)</sup>	433 MHz
Open <sup>2)</sup>	868 MHz

- 1) Low: Voltage at pin < 0.5 V
- 2) Open: Pin open

The Power Amplifier can be switched on and off by the signal at ASKDTA (pin 6).

ASKDTA (pin 6)	Power Amplifier
Low <sup>1)</sup>	OFF
Open <sup>2)</sup> , High <sup>3)</sup>	ON

- 1) Low: Voltage at pin < 0.5 V
- 2) Open: Pin open
- 3) High: Voltage at pin > 1.5 V

The Power Amplifier has an Open Collector output at PAOUT (pin 14) and requires an external pull-up coil to provide bias. The coil is part of the tuning and matching LC circuitry to get best performance with the external loop antenna. To achieve the best power amplifier efficiency, the high frequency voltage swing at PAOUT (pin 14) should be twice the supply voltage.

The power amplifier has its own ground pin PAGND (pin 13) in order to reduce the amount of coupling to the other circuits.

### 2.4.4 Low Power Detect

The supply voltage is sensed by a low power detector. When the supply voltage drops below 2.15 V, the output LPD (pin 2) switches to the low-state. To minimize the external component count, an internal pull-up current of 40 µA gives the output a high-state at supply voltages above 2.15 V.

The output LPD (pin 2) can either be connected to ASKDTA (pin 6) to switch off the PA as soon as the supply voltage drops below 2.15 V or it can be used to inform a micro-controller to stop the transmission after the current data packet.

### 2.4.5 Power Modes

The IC provides three power modes: the POWER DOWN MODE, the PLL ENABLE MODE and the TRANSMIT MODE.

#### 2.4.5.1 Power Down Mode

In the POWER DOWN MODE the complete chip is switched off.

The current consumption is typically 0.3 nA at 3 V 25°C.

This current doubles every 8°C. The values for higher temperatures are typically 14 nA at 85°C and typically 600 nA at 125°C.

#### 2.4.5.2 PLL Enable Mode

In the PLL ENABLE MODE the PLL is switched on but the power amplifier is turned off to avoid undesired power radiation during the time the PLL needs to settle. The turn on time of the PLL is determined mainly by the turn on time of the crystal oscillator and is less than 1 msec when the specified crystal is used.

The current consumption is typically 3.5 mA.

#### 2.4.5.3 Transmit Mode

In the TRANSMIT MODE the PLL is switched on and the power amplifier is turned on too.

The current consumption of the IC is typically 7 mA when using a proper transforming network at PAOUT, see Figure 3-1.

#### 2.4.5.4 Power mode control

The bias circuitry is powered up via a voltage  $V > 1.5$  V at the pin PDWN (pin 1). When the bias circuitry is powered up, the pins ASKDTA and FSKDTA are pulled up internally.

Forcing the voltage at the pins low overrides the internally set state.

Alternatively, if the voltage at ASKDTA or FSKDTA is forced high externally, the PDWN pin is pulled up internally via a current source. In this case, it is not necessary to connect the PDWN pin, it is recommended to leave it open.

The principle schematic of the power mode control circuitry is shown in Figure 3-5.

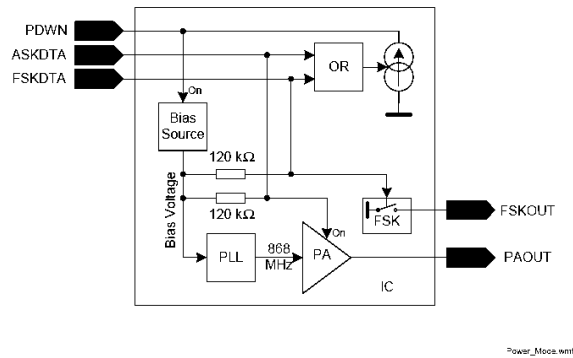


Figure 2-5 Power mode control circuitry

Table 3-8 provides a listing of how to get into the different power modes

PDWN	FSKDTA	ASKDTA	MODE
Low <sup>1)</sup>	Low, Open	Low, Open	POWER DOWN
Open <sup>2)</sup>	Low	Low	
High <sup>3)</sup>	Low, Open, High	Low	PLL ENABLE
Open	High	Low	
High	Low, Open, High	Open, High	TRANSMIT
Open	High	Open, High	
Open	Low, Open, High	High	

- 1) Low: Voltage at pin < 0.7 V (PDWN)  
Voltage at pin < 0.5 V (FSKDTA, ASKDTA)
- 2) Open: Pin open
- 3) High: Voltage at pin > 1.5 V

Other combinations of the control pins PDWN, FSKDTA and ASKDTA are not recommended.

2.4.6 Recommended timing diagrams for ASK- and FSK-Modulation

ASK Modulation using FSKDTA and ASKDTA, PDWN not connected

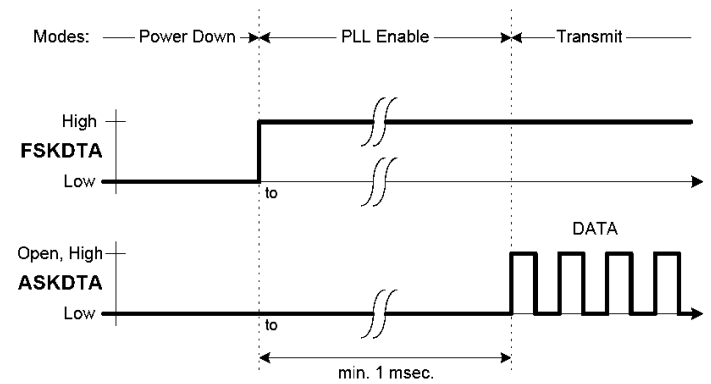


Figure 2-6 ASK Modulation

FSK Modulation using FSKDTA and ASKDTA, PDWN not connected

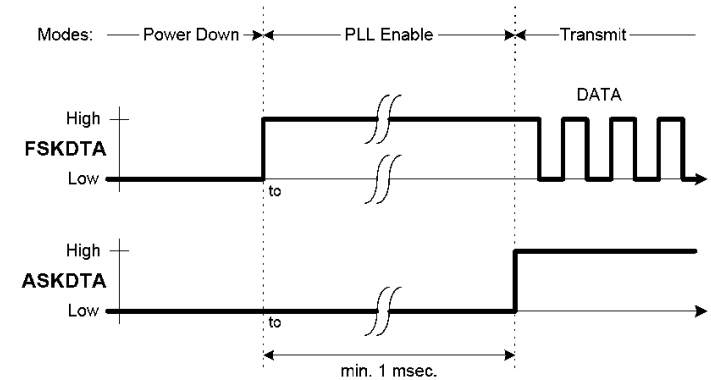


Figure 2-7 FSK Modulation

Alternative ASK Modulation, FSKDTA not connected.

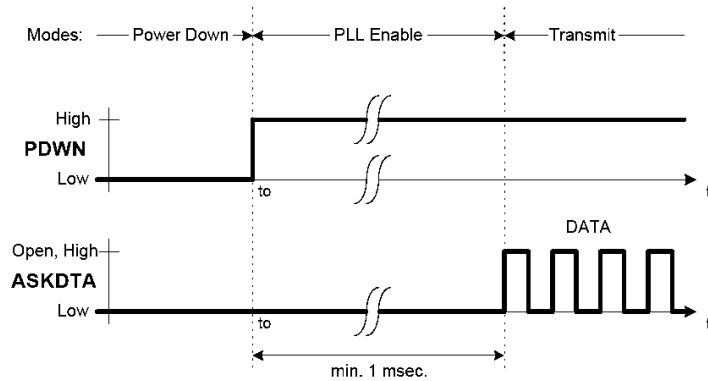


Figure 2-8 Alternative ASK Modulation

Alternative FSK Modulation

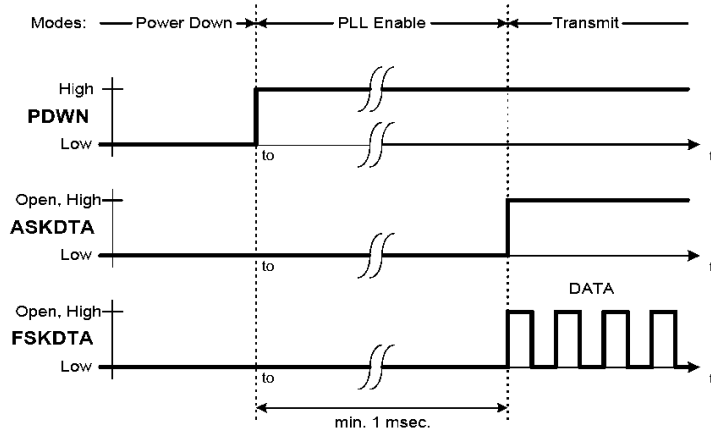


Figure 2-9 Alternative FSK Modulation

## 1 Product Description

### 1.1 Overview

The IC is a very low power consumption single chip FSK/ASK Superheterodyne Receiver (SHR) for the frequency bands 810 to 870 MHz and 400 to 440 MHz. The IC offers a high level of integration and needs only a few external components. The device contains a low noise amplifier (LNA), a double balanced mixer, a fully integrated VCO, a PLL synthesiser, a crystal oscillator, a limiter with RSSI generator, a PLL FSK demodulator, a data filter, an advanced data comparator (slicer) with selection between two threshold modes and a peak detector. Additionally there is a power down feature to save current and extend battery life, and two selectable alternatives of generating the data slicer threshold.

### 1.2 Features

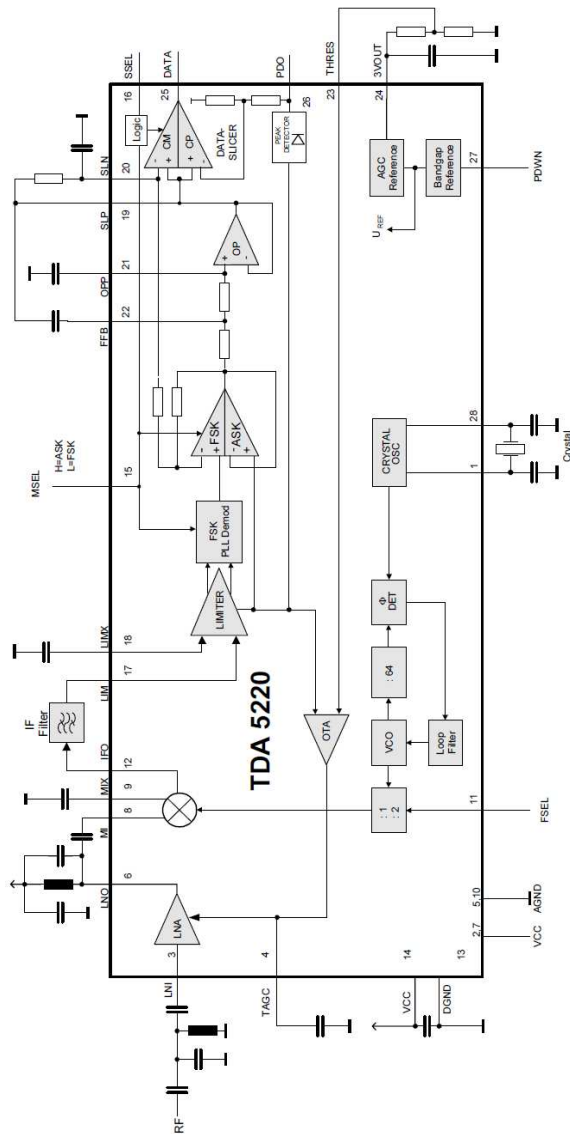
- Low supply current ( $I_s = 5.7/5.9$  mA typ. in FSK mode,  $I_s = 5.0/5.2$  mA typ. in ASK mode for 434/868 MHz)
- Supply voltage range  $5V \pm 10\%$
- Power down mode with very low supply current (50nA typ.)
- FSK and ASK demodulation capability
- Fully integrated VCO and PLL Synthesiser
- ASK sensitivity better than  $-106$  dBm over specified temperature range ( $-40$  to  $+105^\circ\text{C}$ )
- FSK sensitivity better than  $-100$  dBm over specified temperature range ( $-40$  to  $+105^\circ\text{C}$ )
- Selectable frequency ranges 810-870 MHz and 400-440 MHz
- Limiter with RSSI generation, operating at 10.7MHz
- 2nd order low pass data filter with external capacitors
- Data slicer with selection between two threshold modes (see **Section 2.4.8**)

### 1.3 Application

- Keyless Entry Systems
- Remote Control Systems
- Alarm Systems
- Low Bitrate Communication Systems

Session 2010	BTS Systèmes Électroniques	Aquitaine
10SEE4EL1	Épreuve U4.1- Électronique	
	Documentation	

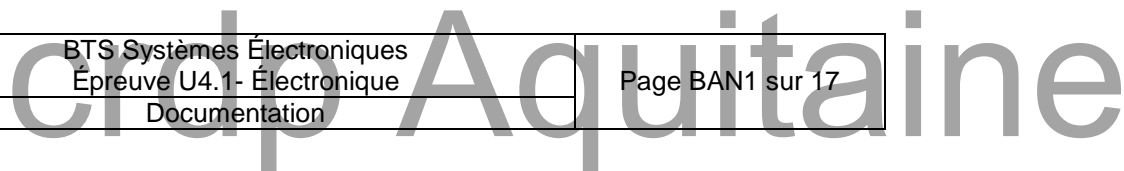
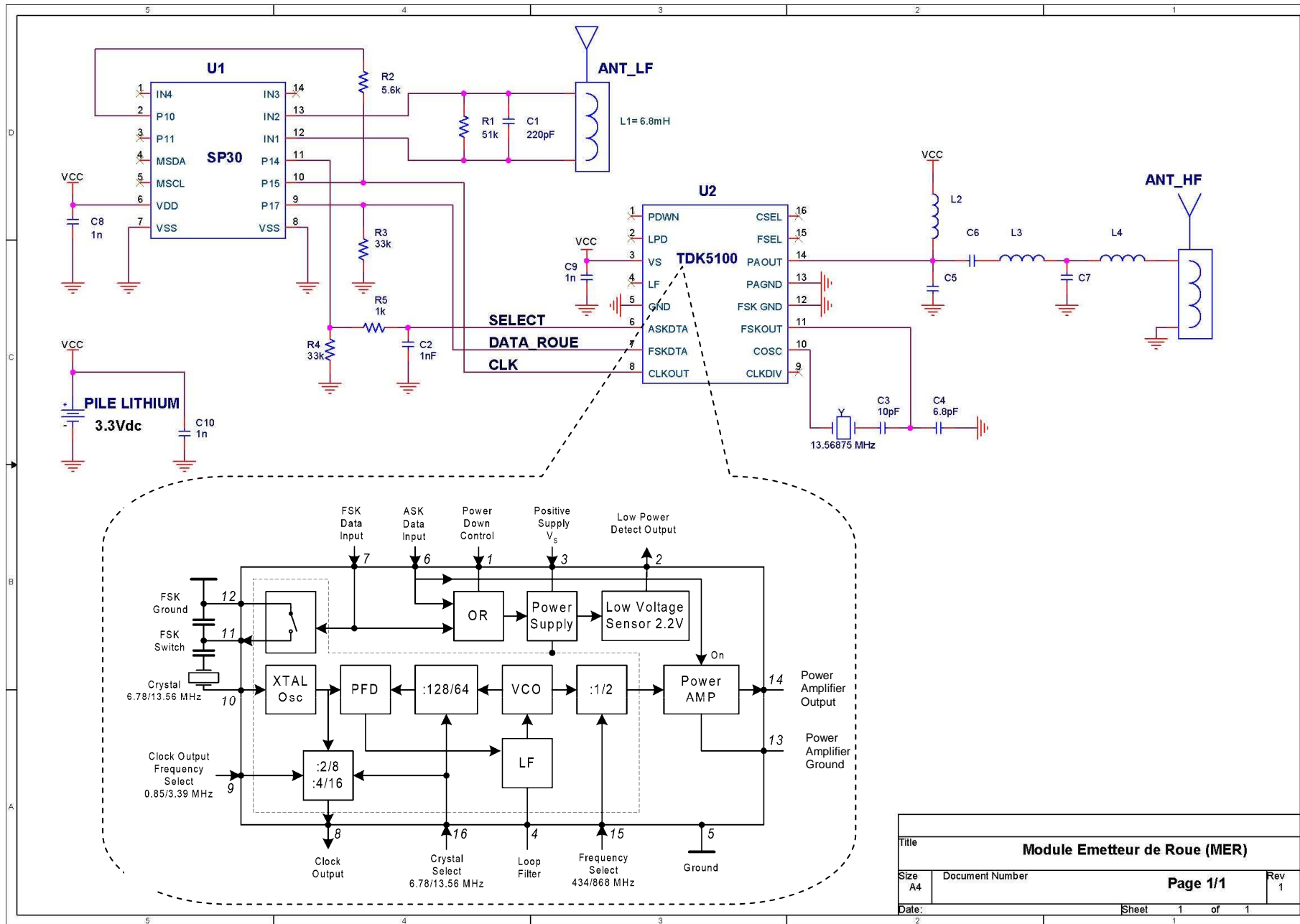
2-3 Fonctionnal Block Diagram  
Figure 2



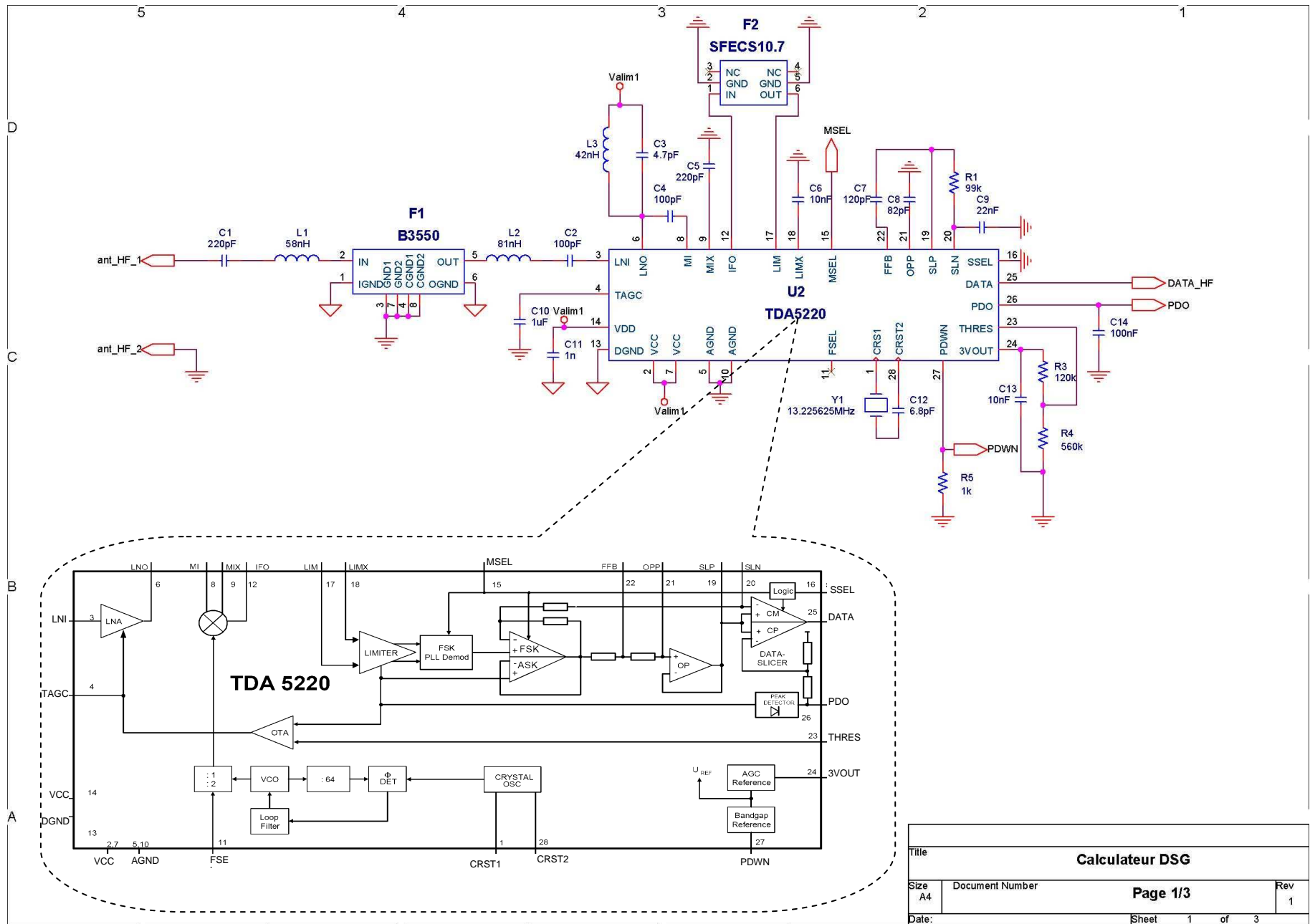
## 2.4 Functional Block Description

### 2.4.1 Low Noise Amplifier (LNA)

The LNA is an on-chip cascode amplifier with a voltage gain of 15 to 20dB. The gain figure is determined by the external matching networks situated ahead of LNA and between the LNA output **LNO** (Pin 6) and the Mixer Inputs **MI** and **MIX** (Pins 8 and 9). The noise figure of the LNA is approximately 3dB, the current consumption is 500µA. The gain can be reduced by approximately 18dB. The switching point of this AGC action can be determined externally by applying a threshold voltage at the **THRES** pin (Pin 23). This voltage is compared internally with the received signal (RSSI) level generated by the limiter circuitry. In case that the RSSI level is higher than the threshold voltage the LNA gain is reduced and vice versa. The threshold voltage can be generated by attaching a voltage divider between the **3VOUT** pin (Pin 24) which provides a temperature stable 3V output generated from the internal bandgap voltage and the **THRES** pin as described in Section 3.1. The time constant of the AGC action can be determined by connecting a capacitor to the **TAGC** pin (Pin 4) and should be chosen along with the appropriate threshold voltage according to the intended operating case and interference scenario to be expected during operation. The optimum choice of AGC time constant and the threshold voltage is described in Section 3.1.







Title		<b>Calculateur DSS</b>	
Size A4	Document Number	<b>Page 1/3</b>	Rev 1
Date:	Sheet	1 of 3	

# DOCUMENTS RÉPONSE

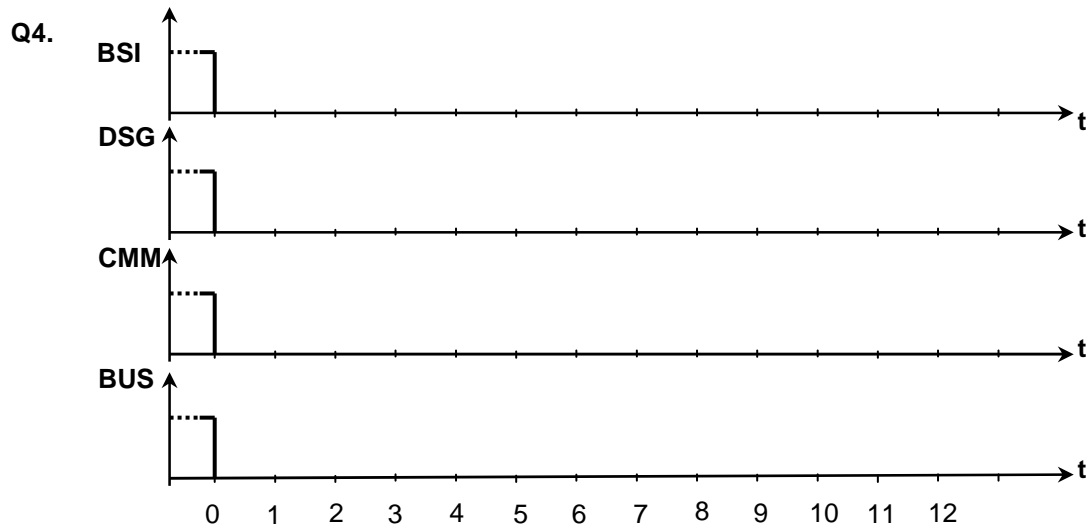


Figure 1 : Arbitrage

Q6.

	S O F	Champs identificateur (0x7C1)												
Trame sans bourrage														
Trame avec bourrage														

Tableau 1 : Bits de bourrage

Q7.

Q8.

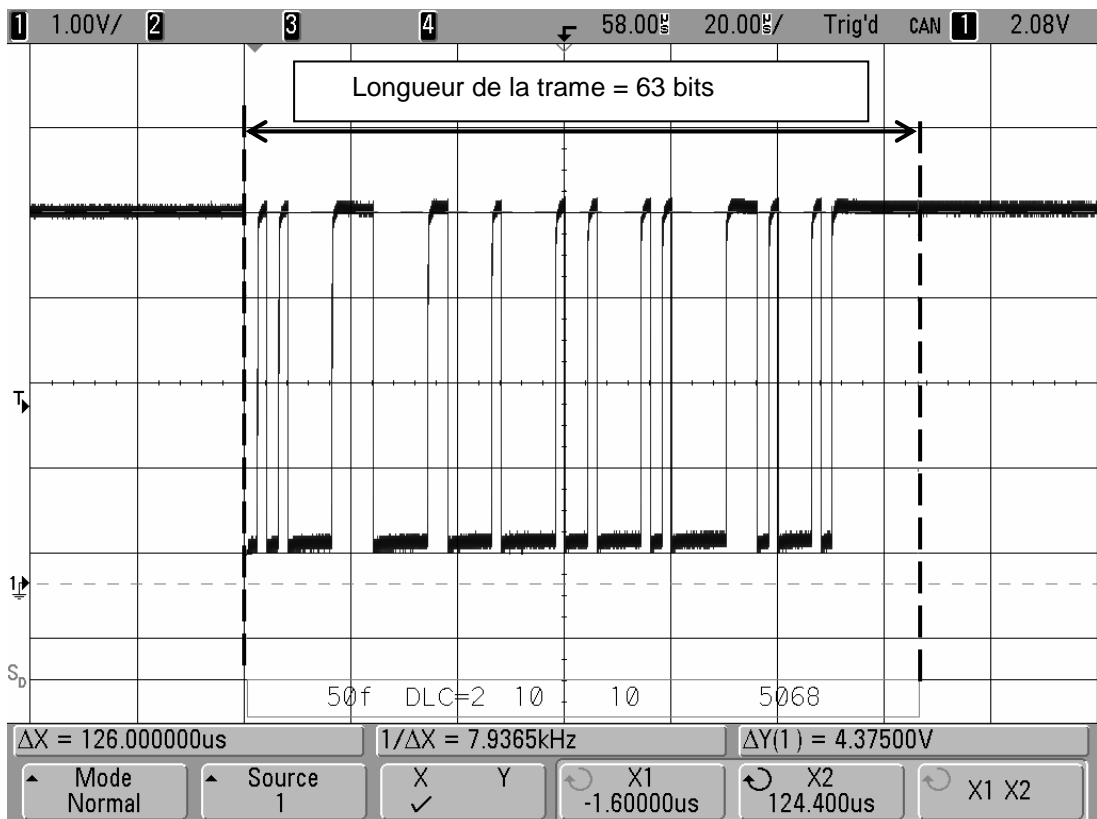


Figure 2 : Relevé frame CAN

Q10.

0x304												
0x305												
0x306												
0x307												
sélecteur	0	1	1	0	0	0	0	0	1	X	X	
masque												

Tableau 2 : Filtrage du message

Q20.

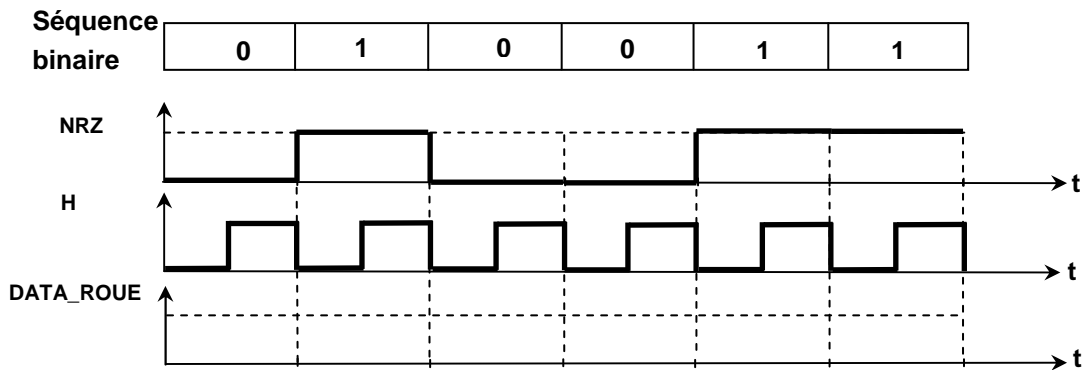


Figure 3 : Transcodage NRZ / Manchester

Q21.

DATA_ROUE	Etat du Switch	Capacité équivalente $C_{eq}$
Etat haut	.....	.....
Etat bas	.....	.....

Tableau 3 : Commande du switch

Q24.

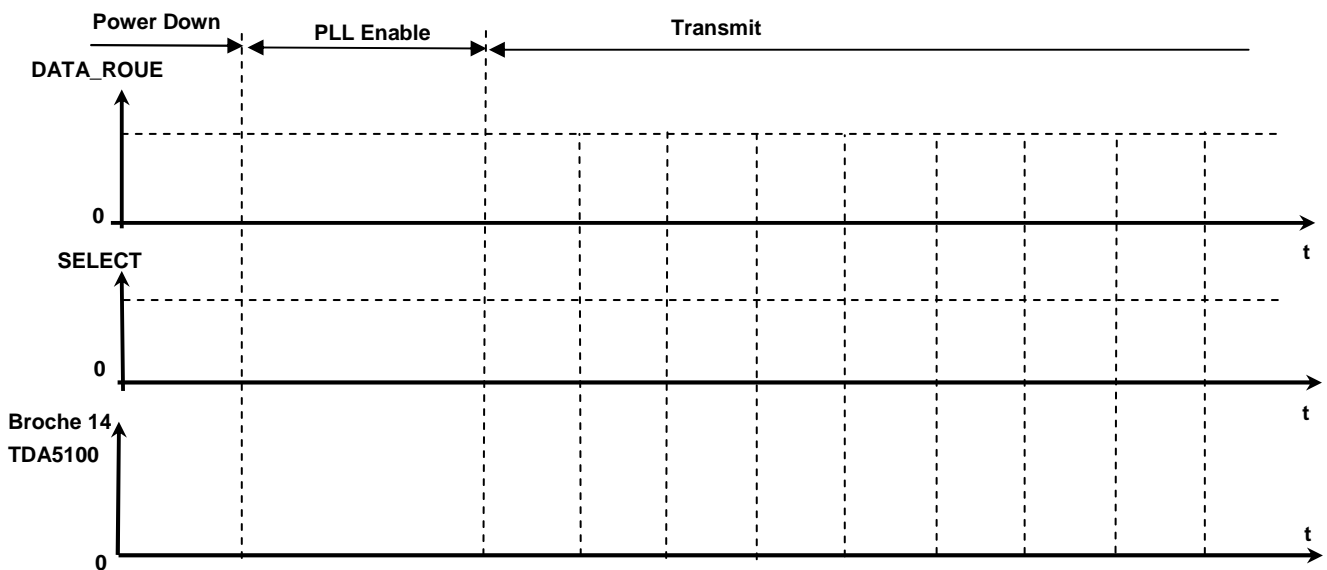


Figure 4 : Modulation FSK

Q28.

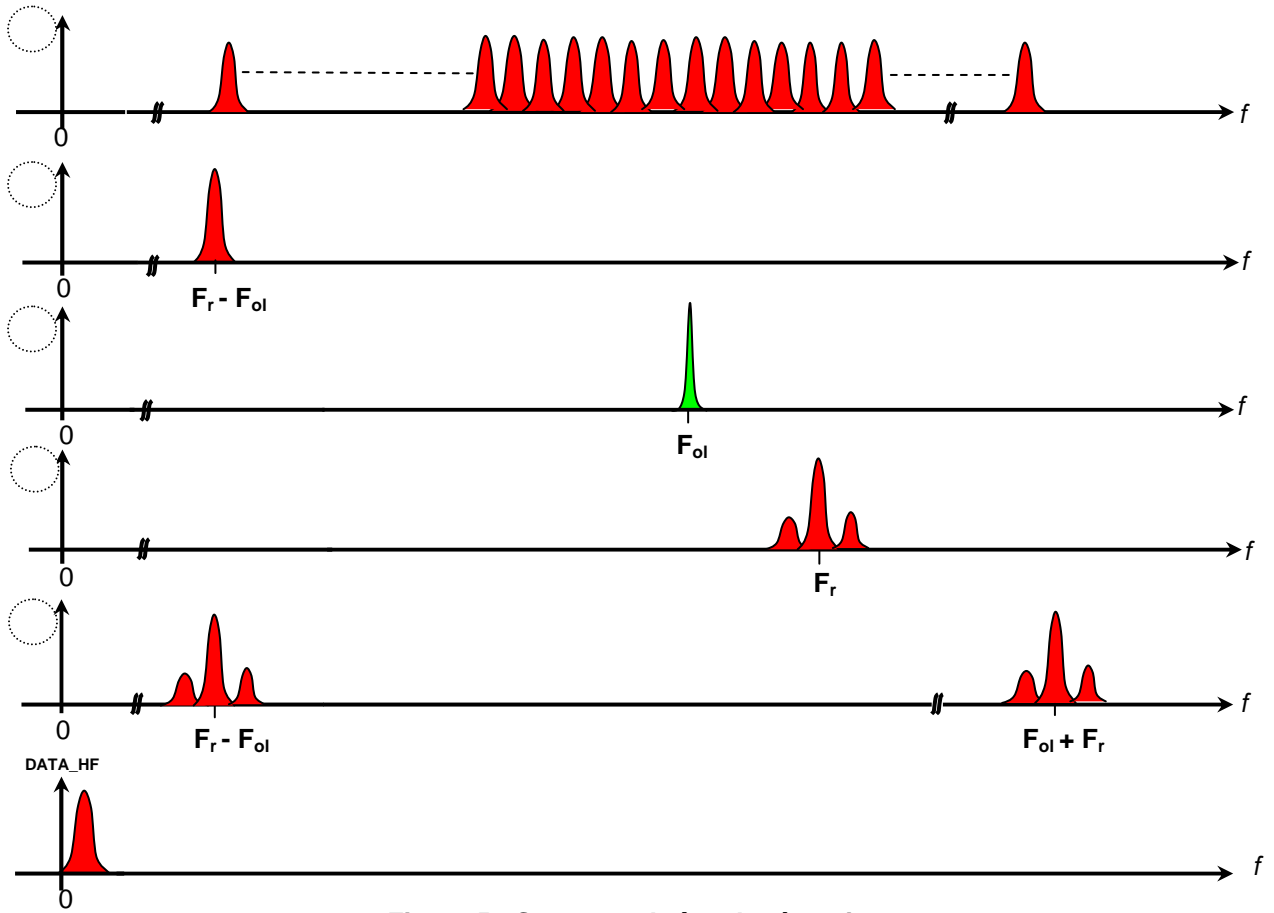


Figure 5 : Spectres chaîne de réception

Q31.

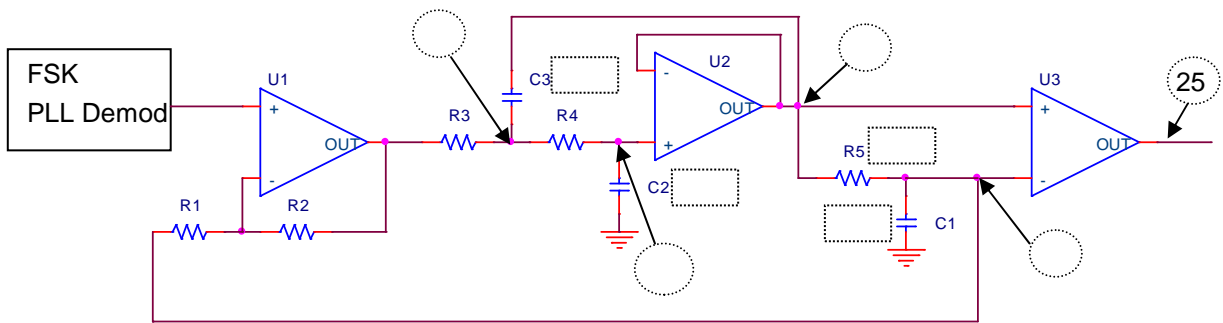


Figure 6 : Mise en forme et décision

Q37.

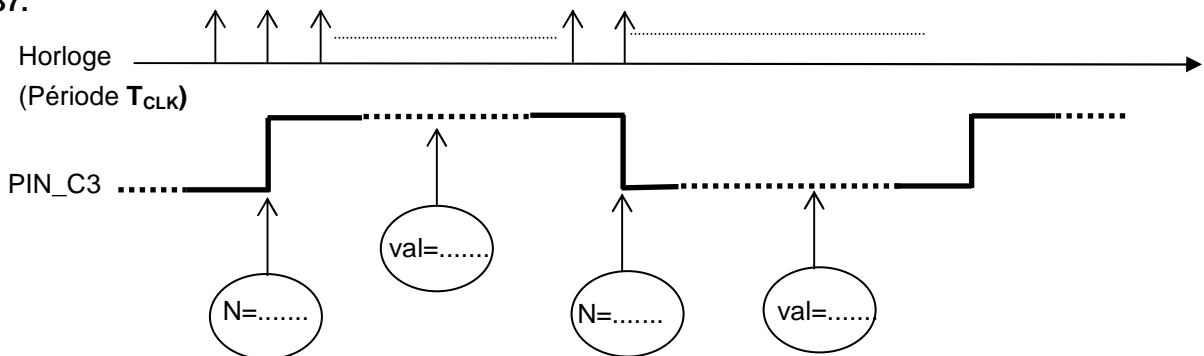
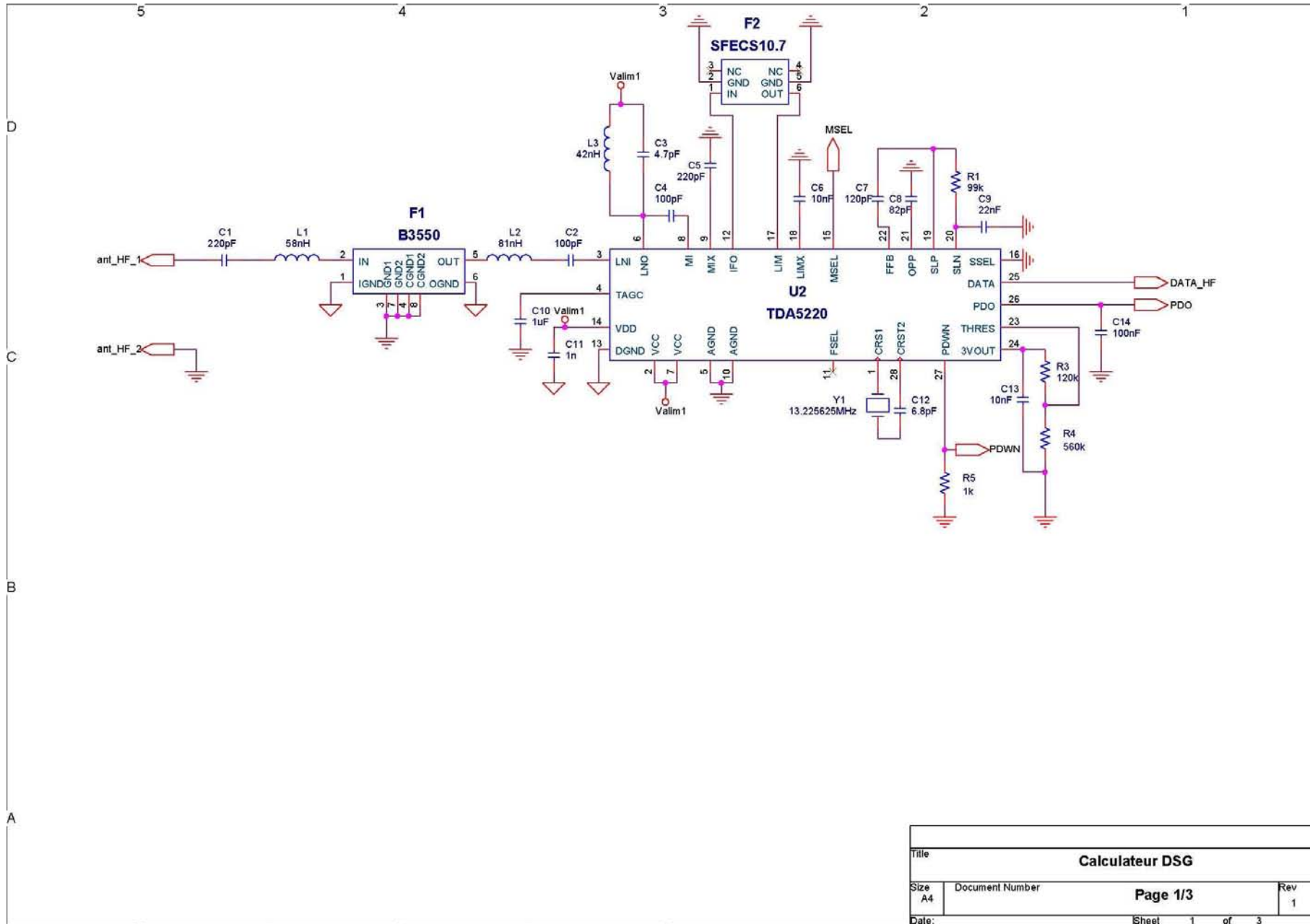


Figure 7 : Génération porteuse 125 kHz

Q26.

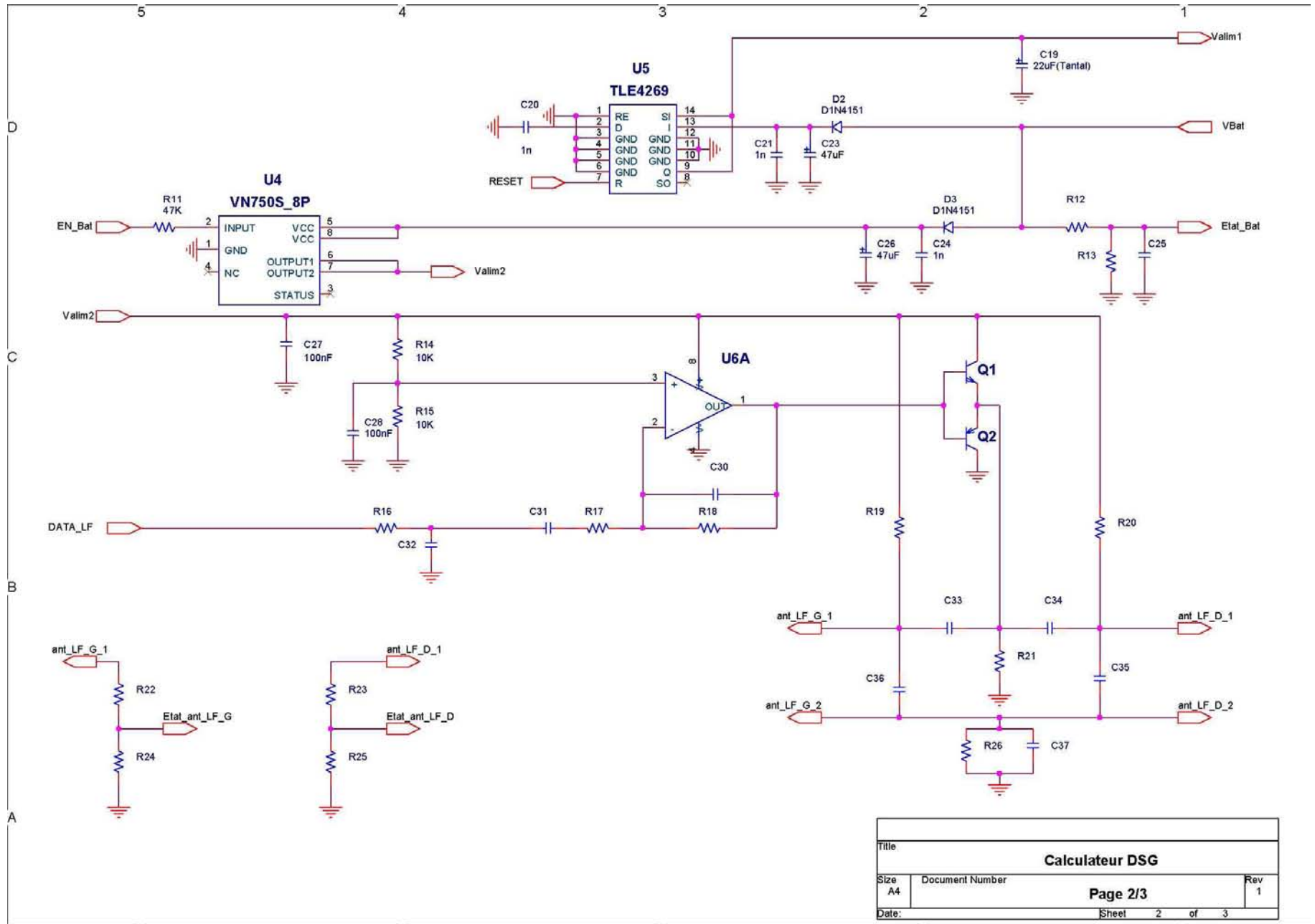


Title			
Calculateur DSG			
Size	Document Number	Page 1/3	Rev 1
A4			
Date:	Sheet	1 of 3	

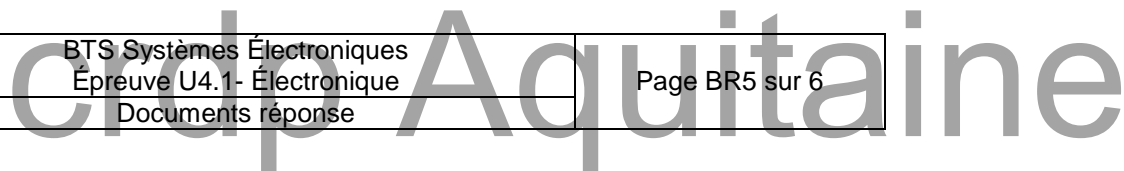
Session 2010	BTS Systèmes Électroniques	Page BR4 sur 6
10SEE4EL1	Épreuve U4.1- Électronique	
	Documents réponse	

CRDP Aquitaine

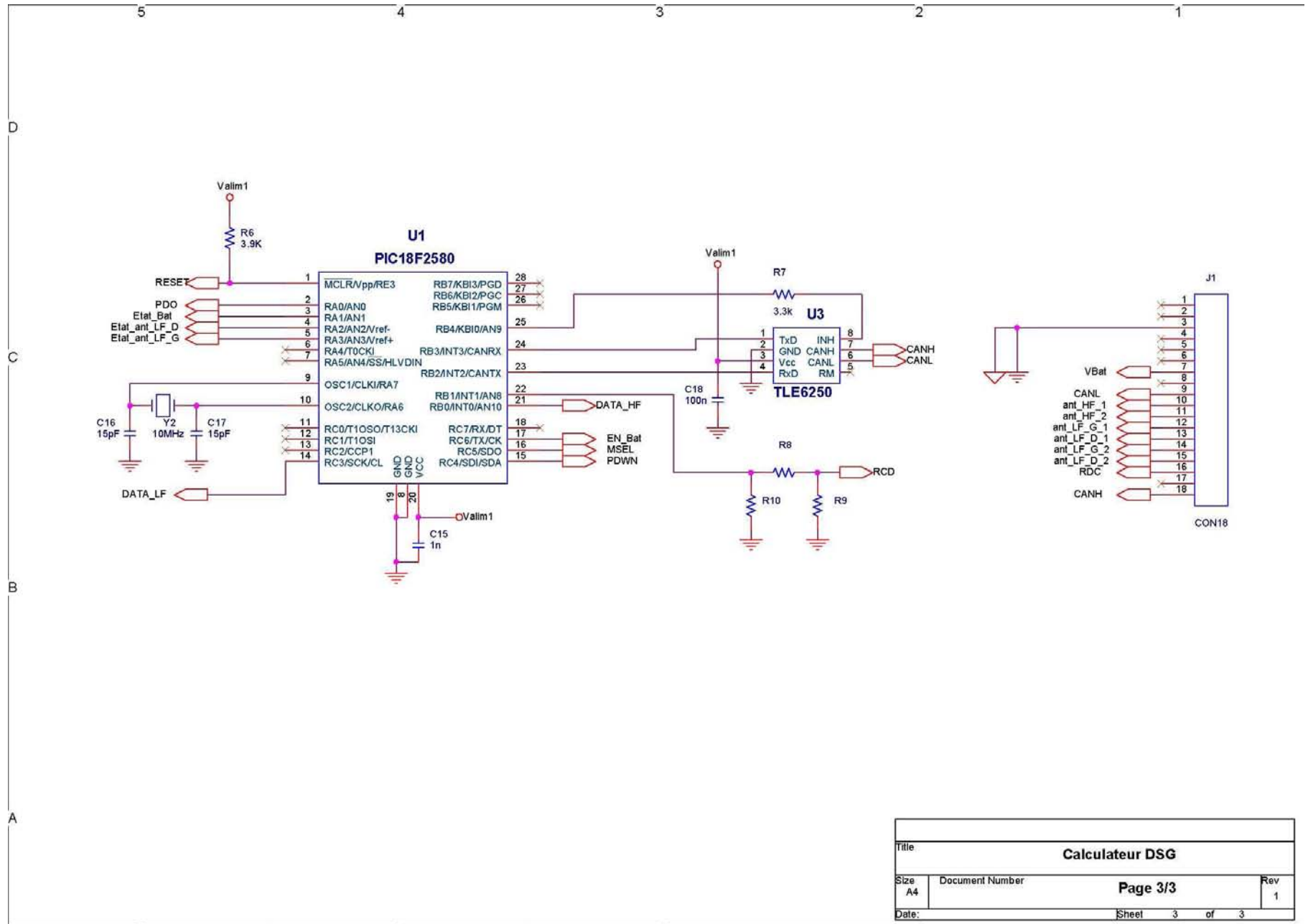
Q26.



Title			
<b>Calculateur DSG</b>			
Size	Document Number	Page	Rev
A4		<b>2/3</b>	1
Date:	Sheet		of
	2		3



Q26.



Title		Calculateur DSG	
Size	Document Number	Page 3/3	Rev 1
A4			
Date:	Sheet 3 of 3		