



SERVICES CULTURE ÉDITIONS  
RESSOURCES POUR  
L'ÉDUCATION NATIONALE

**Ce document a été numérisé par le CRDP de Bordeaux pour la  
Base Nationale des Sujets d'Examens de l'enseignement professionnel.**

**Campagne 2012**

# BREVET DE TECHNICIEN SUPÉRIEUR

## SYSTÈMES ÉLECTRONIQUES

### EPREUVE E4

#### Étude d'un Système Technique

#### Unité E4.2 – PHYSIQUE APPLIQUÉE

SESSION 2012

Durée : 4heures  
Coefficient : 4

**Matériel autorisé :**

- Toutes les calculatrices de poche y compris les calculatrices programmables, alphanumériques ou à écran graphique que leur fonctionnement soit autonome et qu'il ne soit pas fait usage d'imprimante (Circulaire n°99-186, 16/11/1999).

Tout autre matériel est interdit.

**Documents à rendre avec la copie :**

- Documents réponse

BR1 à BR6

Ce sujet comporte :

- Sujet

B1 à B15

- Documents réponse

BR1 à BR6

- Documentation

BAN1 à BAN 3

Dès que le sujet vous est remis, assurez-vous qu'il est complet.

BTS SYSTÈMES ELECTRONIQUES – Étude d'un Système technique		Session 2012
U4.2 – PHYSIQUE APPLIQUÉE	Code : 12SEE4PA1	Page : 1/1

# DOCUMENTS RÉPONSE

Q7.

1600  
TD1316/SPHP

## TUNER

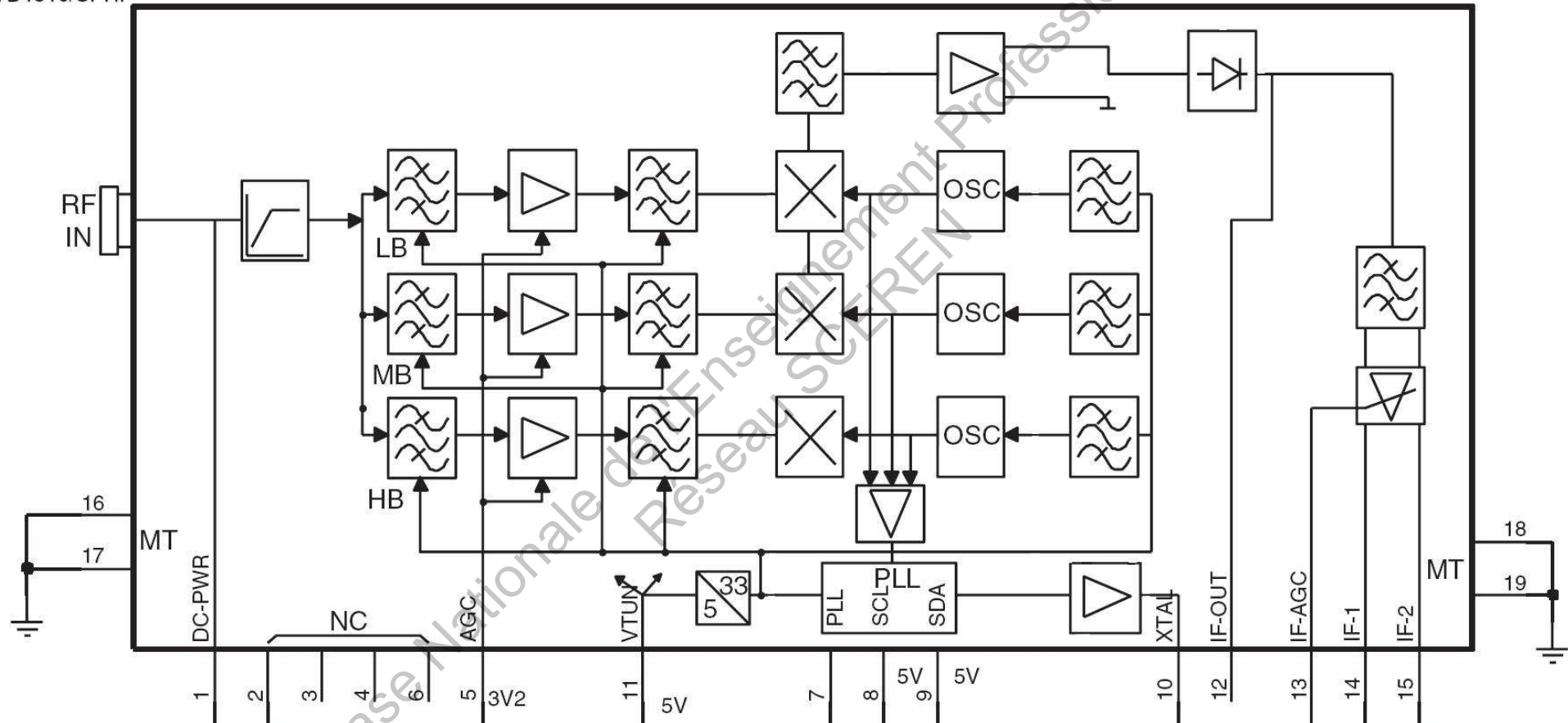
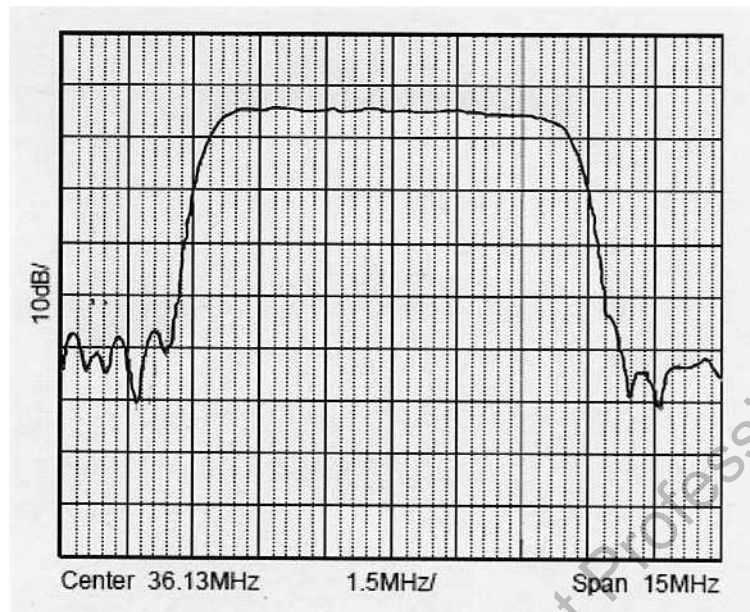


Figure 1 : Schéma bloc du Syntoniseur

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BR1 sur 4
12SEE4EL1	Documents réponse	

**Q10.**



**Figure 2 : Réponse en fréquence du filtre SAW de sortie**

**BP(SAW) =**

**Justification :**

**Q11, Q12, Q14, Q15, Q16.**

Nom	Octet	MSB							LSB	ACK
Addressbyte	1									A
Prog. Divider Byte 1	2									A
Prog. Divider Byte 2	3									A
Control Data Byte 1	4		<b>1</b>				<b>0</b>	<b>1</b>	<b>0</b>	A
Control Data Byte 2	5									A

**Tableau 2 : Configuration Syntoniseur**

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BR2 sur 4
12SEE4EL1	Documents réponse	

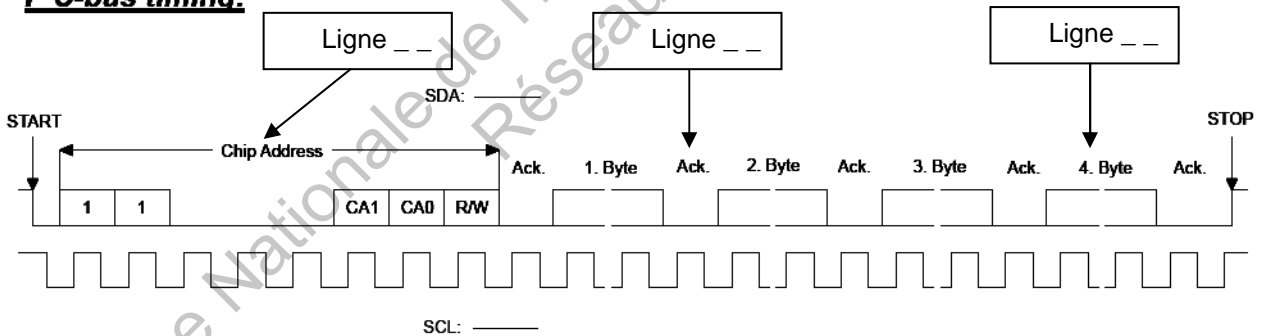
Q17.

**// Fonction de configuration du Tuner via le bus I2C**

// Paramètres d'entrée ; Adresse, Prog. Divider Byte 1, Prog. Divider Byte 2, Control Data Byte 1,  
// Control Data Byte 2

```
void Config_Tuner (unsigned char ADDRESS_I2C, unsigned char PDB1, unsigned char PDB2,  
                  unsigned char CDB1, unsigned char CDB2)  
{  
1  I2C_Free(); // vérifie que le bus I2C est libre  
2  I2C_Start(); // envoie le signal de début de transmission I2C  
3  WRITE_I2C( ADDRESS_I2C ); // l'adresse est envoyée sur le bus  
4  I2C_AckEsclave(); // attend la réception du bit d'acquiescement de l'esclave  
5  WRITE_I2C ( PDB1 ); // la donnée est envoyée sur le bus  
6  I2C_AckEsclave();  
7  WRITE_I2C ( PDB2 ); //  
8  I2C_AckEsclave();  
9  WRITE_I2C ( CDB1 ); //  
10 I2C_AckEsclave();  
11 WRITE_I2C ( CDB2 ); //  
12 I2C_AckEsclave();  
13 I2C_Stop(); // envoie le signal de fin de transmission I2C  
}
```

**I<sup>2</sup>C-bus timing:**

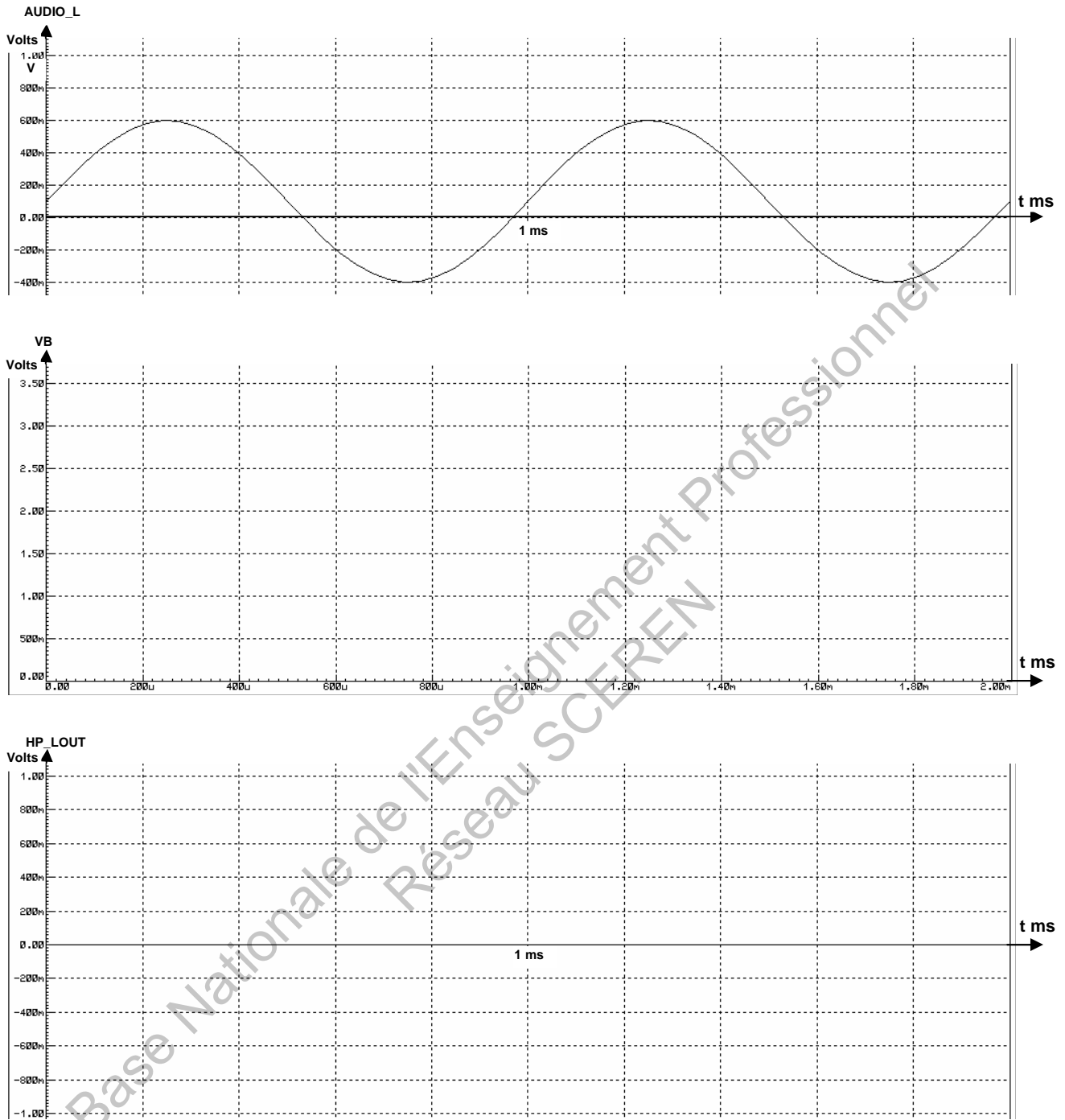


Q19.

- Paramètre d'entrée en décimal → **Delay**\_\_\_\_\_ (\_\_\_\_);

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BR3 sur 4
12SEE4EL1	Documents réponse	

**Q25, Q26.**



**Q28.**

SOUND-ENABLE	Conditions sur V(ENABLE)	Mode (TDA8931)
"0"		
"1"		

**Tableau 3 : Modes de fonctionnement du TDA8931**

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BR4 sur 4
12SEE4EL1	Documents réponse	

# SUJET

## Partie A : Analyse fonctionnelle

Avant d'aborder cette partie, il est nécessaire de lire les pages A1 à A5 de l'analyse fonctionnelle.

On dispose en France de 6 Multiplex repérés R1 à R6 (Figure 1).



Figure 1

Ville	Site	Canal	Réseau	Fréquence centrale
Marseille	Massif de l'Etoile	22	R5	482
Marseille	Massif de l'Etoile	25	R4	506
Marseille	Massif de l'Etoile	28	R3	530
Marseille	Massif de l'Etoile	30	R6	546
Marseille	Massif de l'Etoile	59	R2	778
Marseille	Massif de l'Etoile	62	R1	802
Marseille	Pomègues	22	R5	482
Marseille	Pomègues	25	R4	506
Marseille	Pomègues	28	R3	530
Marseille	Pomègues	30	R6	546
Marseille	Pomègues	59	R2	778
Marseille	Pomègues	62	R1	802

Figure 2

A partir des informations fournies figures 1 et 2 :

**Q1.** Déterminer la fréquence centrale  $F_c$  (MHz) du canal sur lequel sera reçue la chaîne « arte » en haute définition dans la zone de couverture de l'émetteur du Massif de l'étoile à Marseille.

**Q2.** La fréquence centrale des canaux se calcule par une expression de la forme :

$$F_c(\text{MHz}) = K + L \times N_{\text{canal}}$$

où  $K$  est une constante,  $L$  la largeur du canal et  $N_{\text{canal}}$  le numéro du canal.

- Déterminer  $K$ ,
- calculer les numéros ( $N_{\text{canal}_{\text{min}}}$  et  $N_{\text{canal}_{\text{Max}}}$ ) des canaux correspondant aux fréquences minimale et maximale de la plage de fréquences allouée à la TNT,
- en déduire le nombre de canaux TNT disponibles ( $N_{\text{Canaux\_TNT}}$ ).

**Q3.** Exprimer, en cm, la dimension de la diagonale de l'écran du téléviseur LCD.

**Pour une durée moyenne de fonctionnement de 6h00/jour et en supposant que l'appareil reste en veille le reste du temps :**

**Q4.** Calculer, en kWh, la consommation électrique moyenne annuelle en fonctionnement ( $W_{\text{marche}}$ ).

**Q5.** Calculer, en kWh, la consommation moyenne annuelle maximale en veille ( $W_{\text{veilleMax}}$ ).

**Q6.** Calculer le coût de revient annuel de l'appareil pour un prix moyen de 10 centimes d'euros TTC par kWh.

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page B1 sur 5
12SEE4EL1	Sujet	

## Partie B : Étude de FP1 Réception TNT

Avant d'aborder cette partie, il est nécessaire de lire les pages A6 à A8 de l'analyse fonctionnelle.

Les ondes électromagnétiques, support des multiplex TNT, sont captées par l'antenne UHF, d'impédance caractéristique  $75\Omega$ , qui fournit un signal électrique. Le circuit hybride syntoniseur TDA1316L reçoit les signaux captés par l'antenne et les transpose à la fréquence intermédiaire  $F_i$ .

### B1 : Caractéristiques fonctionnelles et structurelles du syntoniseur

On donne le schéma structurel partiel de FP1 (document BAN 3).

A l'aide de la documentation du syntoniseur TDA1316L (documents BAN4 à BAN7) :

- Q7. Délimiter sur le schéma bloc du syntoniseur TDA1316L (Figure 1, document réponse BR1) les fonctions secondaires FS1.1 à FS1.4.
- Q8. Préciser l'atténuation minimale de la fréquence image  $Att(F_{im})$  pour un canal TNT.
- Q9. Préciser la valeur de  $F_i$ .
- Q10. Sur la courbe de réponse en fréquence du filtre à ondes de surface (SAW) de sortie  $F_i$  (document réponse BR2), délimiter la bande passante et indiquer sa valeur en MHz. Justifier ce résultat.

### B2 : Configuration du syntoniseur

Les calculs sur cette partie portent sur le canal 62 de fréquence centrale  $F_c = 802$  MHz.

- Q11. A l'aide du schéma structurel partiel de FP1 (document BAN3) et de la note d'application (document BAN6), déterminer la valeur des bits CA0 et CA1 de l'octet d'adresse. Reporter ces valeurs dans le tableau de configuration du syntoniseur (Tableau 2, document réponse BR2).
- Q12. En déduire la valeur complète de l'adresse I<sup>2</sup>C, ADW(TDA1316L) du syntoniseur en écriture, en hexadécimal. Reporter en binaire cette valeur dans le Tableau 2, page BR2.
- Q13. La fonction FS1.3 est réalisée par un synthétiseur de fréquence à PLL dont la fréquence de sortie vaut :

$$F_{ol} = N \times F_{ref}$$

A partir des éléments fournis dans la note d'application (document BAN7) pour déterminer la valeur de N :

- Identifier les dénominations correspondant à  $F_i$  et  $F_c$  dans la relation proposée,
- Exprimer  $F_{ol}$  en fonction de  $F_i$  et de la fréquence  $F_c$  du canal sélectionné,
- Calculer  $F_{ol}$  pour le canal 62 de fréquence centrale  $F_c = 802$  MHz.

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page B2 sur 5
12SEE4EL1	Sujet	



- Q14.** Calculer la valeur de N correspondante pour une pré-division par 24 de la fréquence de l'oscillateur à quartz. Reporter cette valeur dans le tableau de configuration du syntoniseur (Tableau 2, document réponse BR2).
- Q15.** Déterminer la valeur des bits SP1 à SP5 de l'octet de contrôle 2 pour recevoir un canal TNT en France. Reporter ces valeurs dans le tableau de configuration du syntoniseur (Tableau 2, document réponse BR2).
- Q16.** Déterminer la valeur des bits CP0 à CP2 de l'octet de contrôle 2 pour recevoir le canal 62. Reporter ces valeurs dans le tableau de configuration du syntoniseur (Tableau 2, document réponse BR2).

### B3 : Programmation

#### Principales caractéristiques du bus I<sup>2</sup>C :

Le bus I<sup>2</sup>C est un bus de communication série synchrone qui permet de relier entre eux les différents circuits d'un téléviseur moderne :

- le bus utilise 3 fils :
  - SDA (Serial Data) : signal de donnée,
  - SCL (Serial CLock) : Signal d'horloge,
  - GND : signal de référence électrique,
  - le bus est multi-maître.
- chaque abonné dispose d'une adresse codée sur 7 bits,
- un acquittement (Acknowledge) est généré pour chaque octet transféré,
- le bus peut travailler à une vitesse maximale de 100 kbits par seconde (ou 400 kbits par seconde en mode haute vitesse),
- les niveaux électriques permettent l'utilisation de circuits en technologies CMOS, NMOS ou TTL.

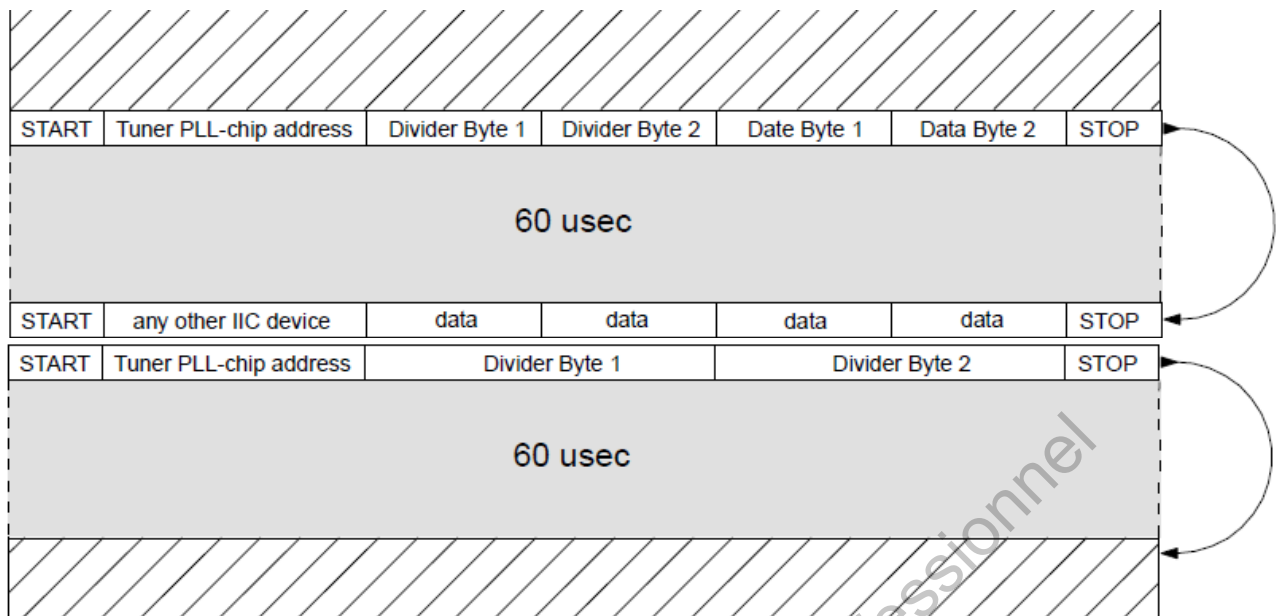
Le listing de la fonction de configuration du syntoniseur via le bus I<sup>2</sup>C est donné page BR3.

- Q17.** Sur le document réponse (Timing bus I<sup>2</sup>C, document réponse BR3), indiquer les lignes de code de la fonction de configuration du Tuner via le Bus I<sup>2</sup>C correspondant aux actions repérées sur le chronogramme.

La fonction Fs1.5 Démodulation COFDM est réalisée par un circuit spécialisé qui gère la configuration du syntoniseur *via* le bus I<sup>2</sup>C. Sa base de temps utilise un quartz de fréquence  $F_{\text{clock}} = 4 \text{ MHz}$  et la période instruction du processeur vaut :  $T_{\text{cycle}} = 4 \times T_{\text{clock}}$ .

En raison d'un temps d'établissement de la division de fréquence de 60  $\mu\text{s}$  minimum, une condition "start" présente sur le bus I<sup>2</sup>C durant ce délai perturberait le diviseur et entraînerait un dysfonctionnement du syntoniseur. A chaque programmation du diviseur, il est donc nécessaire de prévoir un délai d'au moins 60  $\mu\text{s}$  avant de reprendre un trafic normal sur le bus, conformément à la séquence page suivante :

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page B3 sur 5
12SEE4EL1	Sujet	



- Q18.** A l'aide de la documentation de la librairie "delays" (langage C) fournie (document BAN 8), choisir la fonction appropriée de la librairie pour réaliser cette temporisation. Justifier ce choix.
- Q19.** Sur le document réponse BR3, compléter l'instruction d'appel de la fonction permettant de réaliser une temporisation de 60  $\mu$ s en écrivant le paramètre d'entrée en décimal.

## Partie C : Étude de FP6 : Reconstruction son

Avant d'aborder cette partie, il est nécessaire de lire les pages A9 et A10 de l'analyse fonctionnelle.

On donne le schéma structurel (document BAN9) de Fs6.1 et Fs6.2 pour la voie audio gauche (AUDIO-L). Le schéma de l'amplification de la voie droite, identique, n'est pas reproduit.

### C1 : Fs6.1 Validation

- Q20.** Établir l'équation logique du signal "SOUND\_ENABLE" en fonction des signaux d'entrée.
- Q21.** Quel est alors le rôle du transistor Q1 ?
- Q22.** Établir l'équation logique du signal "Valid\_Amp" en fonction des signaux d'entrée et préciser l'action du transistor Q2 sur le signal audio.

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page B4 sur 5
12SEE4EL1	Sujet	

## C2 : Fs6.2 Amplification casque

A l'aide de la documentation de l'amplificateur TS482 (document BAN10) et du schéma (document BAN9) :

- Q23. Déterminer le rôle du pont diviseur constitué par les résistances RPOL et montrer que la composante continue au point B vaut 2,5 V.
- Q24. Déterminer la fonction de transfert de l'amplificateur  $V_B = f(V_A)$ .
- Q25. Sur le document réponse BR4, indiquer l'amplitude du signal AUDIO\_L et calculer sa fréquence.
- Q26. Compléter les chronogrammes des signaux VB et HP\_LOUT.
- Q27. Le casque audio utilisé a une impédance de 32 ohms et une puissance maximale d'entrée P<sub>Max</sub> de 50 mW. Relever la puissance dissipée par le TS482 dans ces conditions d'utilisation. Calculer alors le rendement  $\eta_{P_{Max}}$  de l'amplificateur.

## C3 : Fs6.3 Amplification classe D

On donne le schéma structurel (document BAN11) de l'amplification en classe D de la voie audio gauche (AUDIO-L).

A l'aide de la documentation du circuit TDA8931 (documents BAN 12 à BAN15) :

- Q28. Compléter le tableau du document réponse BR4 en considérant la valeur de la tension présente sur la broche 6 (POWERUP) du circuit TDA8931.
- Q29. Les haut-parleurs du téléviseur ayant une impédance de 4 ohms, relever les valeurs de la capacité C14 et de la self L1 du filtre passe-bas de sortie.
- Q30. A partir des éléments de calcul fournis dans la documentation du TDA8931 (document BAN15), calculer la valeur de la puissance de sortie de l'amplificateur pour un taux de distorsion harmonique (THD) de 1 %.
- Q31. Montrer que cette valeur est compatible avec les caractéristiques constructeur du téléviseur (document BAN2).

Session 2012	BTS Systèmes Électroniques Épreuve U41 - Électronique	Page B5 sur 5
12SEE4EL1	Sujet	

# ANALYSE FONCTIONNELLE

## Présentation du système de Réception de Télévision Numérique

La **télévision numérique terrestre** (TNT) est la dénomination française désignant les systèmes de diffusion numérique de la télévision via un réseau d'émetteurs terrestres.

La transmission se fait selon la norme DVB-T pour *Digital Video Broadcasting – Terrestrial* dans la bande UHF dans la plage de **474 à 858 MHz**, divisée en canaux de largeur **8 MHz**.

### La transmission et la compression du signal TNT

Le réseau TNT est constitué d'un ou plusieurs sites d'émissions construit sur le même modèle que le réseau de la télévision analogique. L'adoption de la technologie numérique rend plus efficace et moins coûteuse la couverture d'un large territoire, notamment grâce à l'exploitation des réseaux iso-fréquence (**Single-frequency network** ou **SFN**). Ces réseaux sont constitués d'émetteurs opérant sur une fréquence unique dans une région déterminée. Cela permet d'utiliser la même fréquence pour des émetteurs qui couvrent des zones adjacentes.

En application de la norme DVB-T, la vidéo en définition standard en France exploite un encodage **MPEG-2** pour les chaînes gratuites et **MPEG-4 AVC** pour les chaînes à péage. Les chaînes gratuites ou à péage diffusées en HD exploitent la norme **MPEG-4 AVC**. La télédiffusion numérique utilise la modulation **COFDM**. L'occupation optimale du canal permet avec une même largeur (8 MHz) de transmettre 6 chaînes (**Multiplex**) en qualité « normale » ou 3 chaînes en haute définition.

### Réception

Pour le téléspectateur, l'intérêt majeur est la réception des chaînes de télévision diffusées en numérique, via une simple *antenne râteau* adaptée aux UHF ou via une antenne d'intérieur. En revanche, la TNT nécessite, sur un téléviseur ancien, l'utilisation d'un décodeur TNT (démodulateur de réception numérique pour télévision analogique).

### Glossaire

**COFDM** est un procédé qui associe un codage de canal et une modulation OFDM (*Orthogonal Frequency Division Multiplexing*) des signaux individualisés (sous-porteuses multiples).

**MPEG-2** est la norme de seconde génération (1994) du **Moving Picture Experts Group** qui définit les aspects compression de l'image et du son et le transport à travers des réseaux pour la *télévision numérique*.

**MPEG-4**, est une norme de codage d'objets audiovisuels. Contrairement à MPEG-2 qui visait uniquement des usages liés à la télévision numérique, les usages de MPEG-4 englobent toutes les nouvelles applications multimédias comme *le téléchargement et le streaming* sur Internet, *le multimédia* sur téléphone mobile, *la radio numérique*, *les jeux vidéo*, *la télévision* et les supports *haute définition*. **MPEG-4 AVC** (Advanced Video Coding) ou **MPEG-4 Part 10** correspond à une évolution de la norme MPEG-4.

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page A1 sur 10
12SEE4EL1	Analyse Fonctionnelle	

## Diagramme sagittal



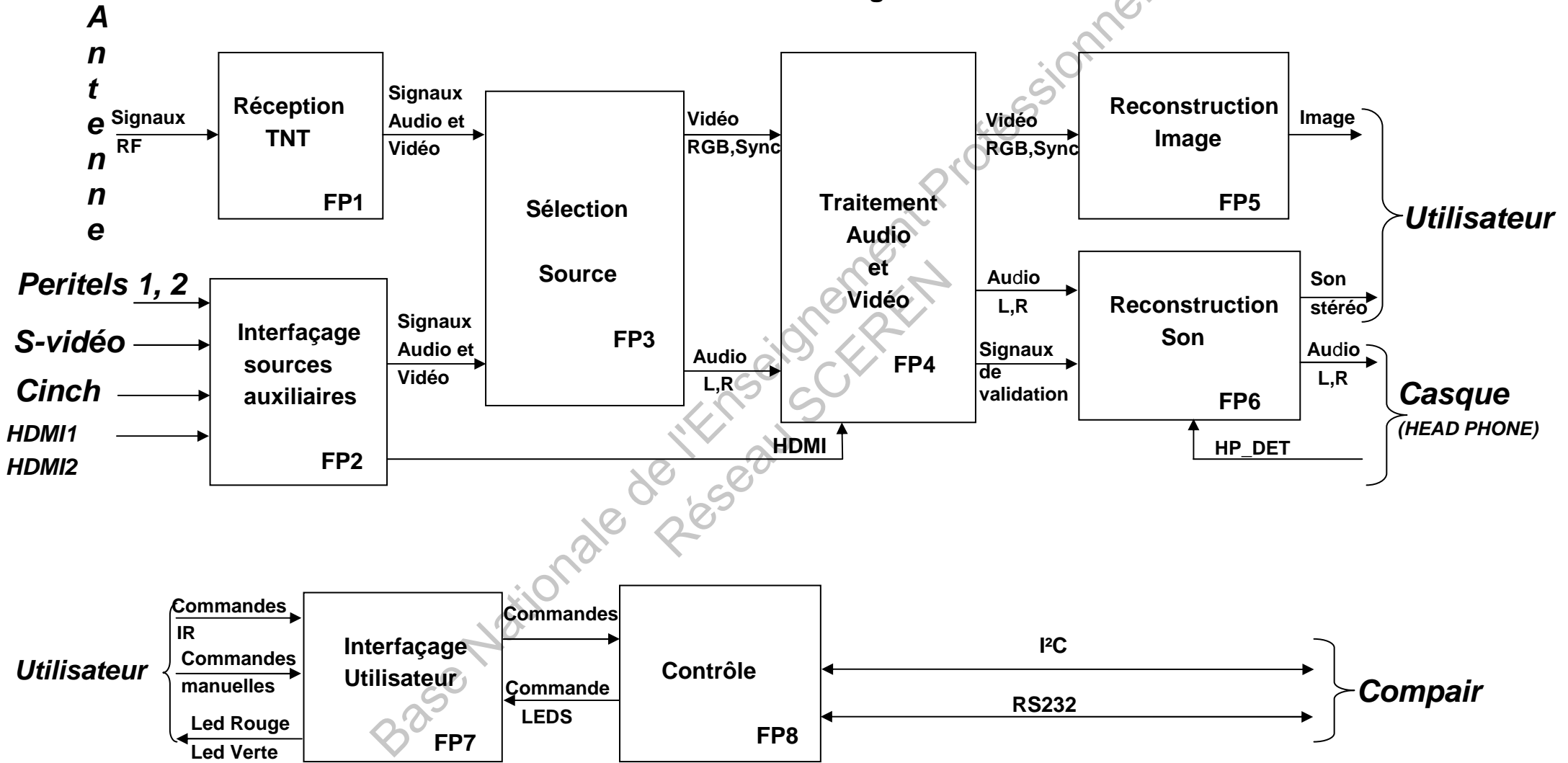
Le téléviseur LCD, **support de l'épreuve**, reçoit les signaux TNT captés par l'antenne UHF et restitue l'image et le son au téléspectateur.

En cas de dysfonctionnement, l'interface de dépannage (Compair), associée à un ordinateur et reliée au téléviseur par une liaison série (I<sup>2</sup>C ou RS232), assiste le réparateur dans la recherche de pannes en lui transmettant les codes pannes du téléviseur.

Le téléspectateur commande l'appareil, soit manuellement via des touches, soit à distance via la télécommande.

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page A2 sur 10
12SEE4EL1	Analyse Fonctionnelle	

## Schéma fonctionnel de 1<sup>er</sup> degré du Téléviseur



## Description des fonctions principales

Les fonctions principales FP3, FP4 et FP8 communiquent entre elles par bus I<sup>2</sup>C.

### FP1 : Réception TNT

- limite la bande des signaux reçus à la bande utile,
- sélectionne le canal désiré par un changement de fréquence,
- démodule le signal à la fréquence intermédiaire,
- décode le signal et corrige, quand c'est possible, les erreurs de transmission,
- reconstitue les signaux audio et vidéo analogiques.

#### Entrées :

- signaux RF (Radio-fréquences) captés par l'antenne.

#### Sorties :

- signaux audio (L, R) et vidéo (RGB + Sync) analogiques.

### FP2 : Interfaçage sources auxiliaires

Adapte et met à niveau les signaux audio et vidéo issus des différentes sources.

#### Entrées :

- signaux audio et vidéo issus des différentes sources ; Prises péritel 1 et 2, S-Vidéo, Cinch et HDMI 1 et 2.

#### Sorties

- signaux audio et vidéo adaptés,
- HDMI : Signal audio vidéo au format numérique.

### FP3 : Sélection source

Sélectionne la source vidéo choisie par l'utilisateur.

#### Entrées :

- signaux audio et vidéo analogiques issus des différentes sources : Antenne, prises péritel 1 et 2, S-Vidéo, Cinch et HDMI 1 et 2.

#### Sorties :

- signaux audio (L, R) et vidéo (RGB + Sync) analogiques.

### FP4 : Traitement audio et vidéo

Au niveau vidéo, FP4 assure le désentrelacement, la mise à l'échelle et les différentes corrections de l'image (contraste, couleur, luminosité...).

Au niveau Audio, FP4 effectue différents traitements pour améliorer la qualité du son (Egaliseur, Dolby ...)

#### Entrées :

- signaux audio (L, R) et vidéo (RGB + Sync) analogiques,
- HDMI : signal audio vidéo au format numérique.

#### Sorties :

- signaux vidéo (RGB + synchronisation) et audio (L, R) correspondant aux réglages et choix de l'utilisateur, à la taille et la définition de l'écran LCD.

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page A4 sur 10
12SEE4EL1	Analyse Fonctionnelle	

## FP5 : Reconstruction image

La dalle LCD et l'électronique associée reproduisent une image conforme à l'original dans la limite des caractéristiques de l'appareil.

### Entrées :

- signaux vidéo (RGB + synchronisation) correspondant aux réglages et choix de l'utilisateur, à la taille et à la définition de l'écran LCD.

### Sortie :

- image vers le téléspectateur.

## FP6 : Reconstruction son

Restitue le son vers le téléspectateur via les haut-parleurs ou le casque.

### Entrées :

- signaux audio (L, R) correspondant aux réglages et choix de l'utilisateur,
- **HP\_DET** : Signal de détection du casque.

### Sorties :

- son sur les haut-parleurs, signaux audio pour le casque.

## FP 7 : Interfaçage utilisateur

Interface les touches de commandes manuelles, la télécommande infrarouge et signale la marche ou l'arrêt du téléviseur *via* deux leds verte et rouge.

### Entrées :

- commandes de l'utilisateur, manuelles *via* les touches du clavier ou infrarouges *via* la télécommande,
- commande des leds verte et rouge par le microcontrôleur.

### Sorties :

- commandes de l'utilisateur vers le microcontrôleur,
- signalisation marche/arrêt vers l'utilisateur.

## FP 8 : Contrôle

Un microcontrôleur interprète les commandes utilisateur et transmet les consignes correspondant aux autres fonctions par liaison I<sup>2</sup>C, assure la communication avec l'interface de dépannage (Compair) par liaison I<sup>2</sup>C et RS 232 et signale la marche et l'arrêt du téléviseur (leds verte et rouge).

### Entrées :

- commandes de l'utilisateur,
- commandes de dépannage en provenance (I<sup>2</sup>C ou RS232) de l'interface de dépannage.

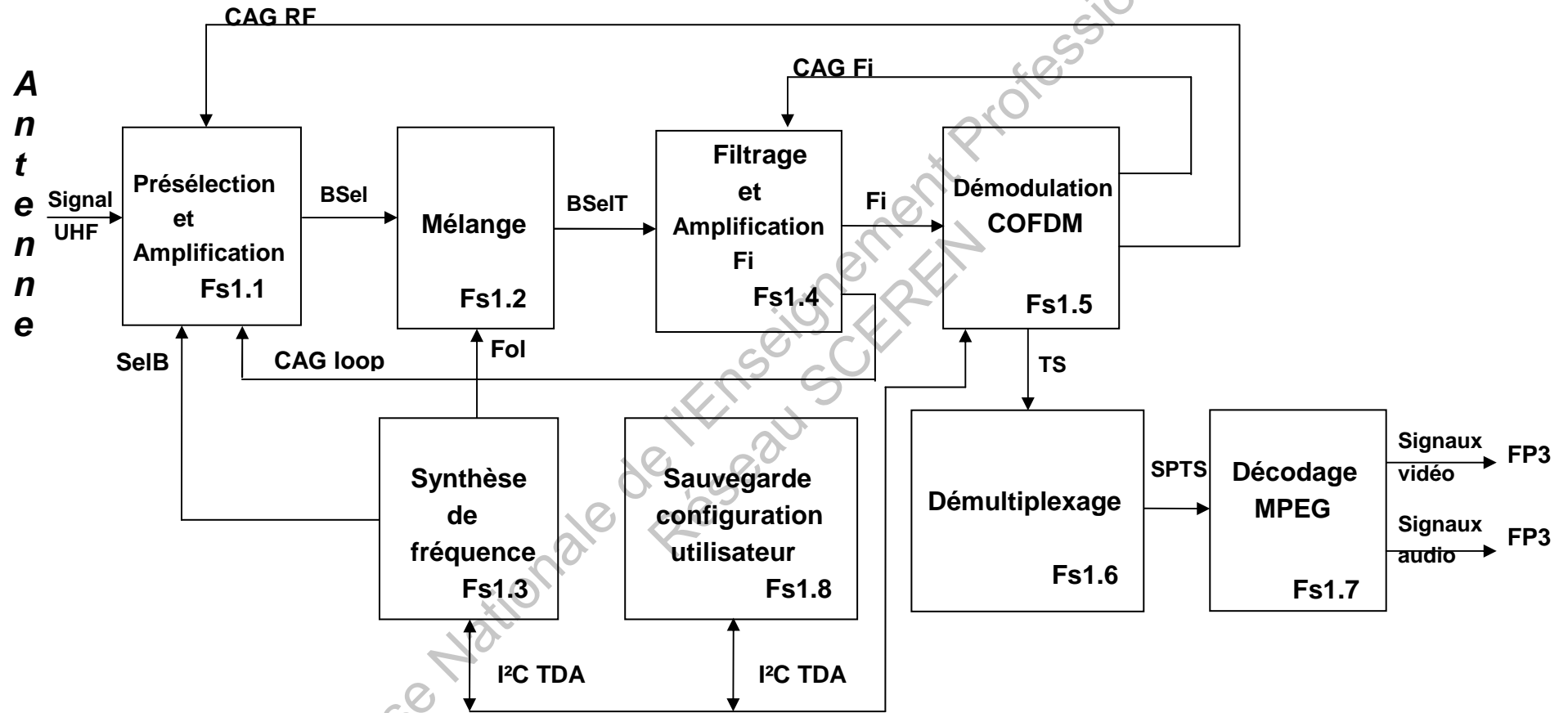
### Sorties :

- commande des leds de signalisation Marche/Arrêt,
- informations de dépannage vers l'interface Compair au format I<sup>2</sup>C ou RS232,
- commandes de configuration et de contrôle au format I<sup>2</sup>C vers les fonctions **Fp1** pour la sélection du canal, **Fp3** pour la sélection de la source et **FP4** pour les réglages de l'image et du son.

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page A5 sur 10
12SEE4EL1	Analyse Fonctionnelle	



## Schéma fonctionnel de degré 2 de FP1 : Réception TNT



### Fs1.1 : Présélection et Amplification

Présélectionne et amplifie les signaux d'une des trois plages de fréquences de fonctionnement : **49MHz à 159 MHz** (VHF low), **162 MHz à 444 MHz** (VHF high), **474 MHz à 862 MHz** (UHF).

#### Entrées :

- **Signal UHF** : signal issu de l'antenne,
- **CAG RF** : consigne de commande automatique de gain générée par le démodulateur COFDM,
- **CAG loop** : signal de retour de la commande automatique de gain (C.A.G.) issu de la pré-amplification Fi,
- **SelB** : signaux de sélection de la plage de fréquences.

#### Sortie :

- **Bsel** : signaux de la bande sélectionnée, pré-amplifiés.

### Fs1.2 : Mélange

Multiplie les signaux de la bande sélectionnée avec le signal de sortie de l'oscillateur local de fréquence **Fol**.

#### Entrées :

- **Bsel** : signaux de la bande sélectionnée, pré-amplifiés,
- **Fol** : signal de sortie de l'oscillateur local.

#### Sortie :

- **BselT** : signaux issus du mélange entre **Fol** et **Bsel**.

### Fs1.3 : Synthèse de fréquence

Synthétise le signal de fréquence **Fol** qui, par mélange, transposera le canal sélectionné de fréquence **Fc** autour de la fréquence intermédiaire **Fi**.

#### Entrées :

- données de configuration au format I<sup>2</sup>C.

#### Sorties :

- **Fol** : signal de sortie de l'oscillateur local,
- **SelB** : signaux de sélection de la plage de fréquences.

### Fs1.4 : Filtrage et Amplification

Conserve le canal choisi, transposé autour de la fréquence intermédiaire Fi et l'amplifie.

#### Entrées :

- **BselT** : signaux issus du mélange entre Fol et Bsel,
- **CAG Fi** : consigne de commande automatique de gain de l'amplificateur Fi, générée par le démodulateur COFDM.

#### Sorties :

- **Fi** : canal sélectionné, transposé autour de Fi,
- **CAG loop** : signal de retour de la C.A.G. issu de la pré-amplification Fi.

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page A7 sur 10
12SEE4EL1	Analyse Fonctionnelle	

### **Fs1.5 : Démodulation COFDM**

Démodule le signal du canal sélectionné en un flux de données correspondant à un multiplex.

#### **Entrées :**

- **Fi** : canal sélectionné, transposé autour de Fi.

#### **Sorties :**

- **TS** (Transport Stream) : flux de données correspondant au multiplex contenant le programme sélectionné,
- **CAG RF** : consigne de commande automatique de gain RF,
- **CAG Fi** : consigne de commande automatique de gain de l'amplificateur Fi,
- **I<sup>2</sup>C TDA** : données de configuration au format I<sup>2</sup>C.

### **Fs1.6 : Démultiplexage**

Extrait, du flux de données multiplexées (TS), les données correspondant au programme sélectionné.

#### **Entrées :**

- **TS** (Transport Stream) : flux de données correspondant au multiplex contenant le programme sélectionné.

#### **Sortie :**

- **SPTS** (Single Program Transport Stream) : flux de données correspondant au programme sélectionné.

### **Fs1.7 : Décodage MPEG**

- décode le signal et corrige les erreurs de transmission quand c'est possible,
- reconstitue les signaux audio et vidéo analogiques.

#### **Entrées :**

- **SPTS** (Single Program Transport Stream) : flux de données correspondant au programme sélectionné.

#### **Sorties :**

- signaux audio et vidéo analogiques.

### **Fs1.8 : Sauvegarde configuration utilisateur**

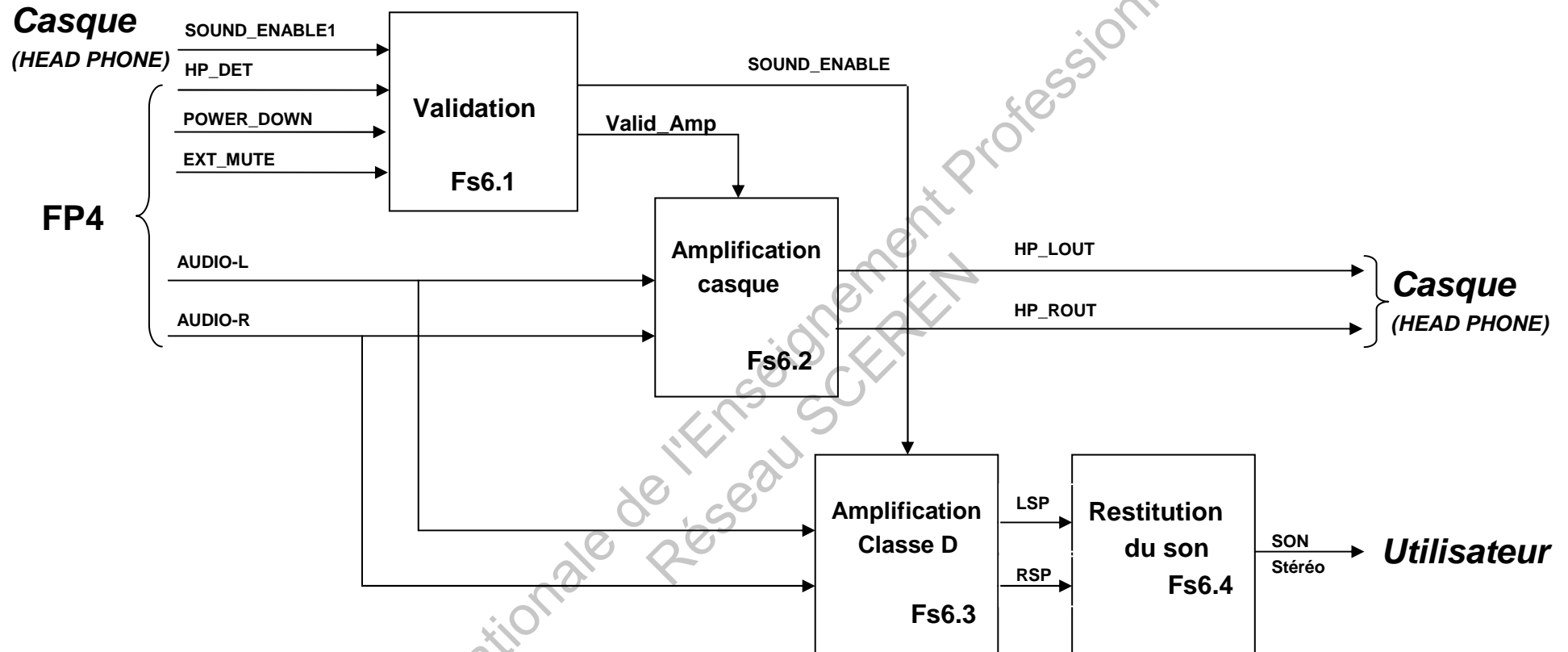
Sauvegarde la sélection des programmes de l'utilisateur.

#### **Entrées/Sorties :**

- **I<sup>2</sup>C TDA** : données de configuration au format I<sup>2</sup>C.

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page A8 sur 10
12SEE4EL1	Analyse Fonctionnelle	

## Schéma fonctionnel de degré 2 de FP6: Reconstruction Son



## Fs6.1 : Validation

Autorise ou non les fonctions d'amplification Fs6.2 et Fs6.3 selon l'état des signaux d'entrée.

### Entrées :

- **SOUND\_ENABLE1** : signal de validation de l'amplification vers les haut-parleurs,
- **HP\_DET** : signal de détection du casque,
- **POWER\_DOWN** : signal actif lors de la mise hors tension de l'appareil, permettant une coupure "propre" du son,
- **EXT\_MUTE** : signal de coupure du son par l'utilisateur.

### Sorties :

- **SOUND\_ENABLE** : signal de validation de l'amplification classe D vers les haut-parleurs,
- **Valid\_Amp** : signal de validation de l'amplification du casque.

## Fs6.2 : Amplification casque

Amplifie en puissance le signal audio vers le casque. Il s'agit d'une amplification à découpage (classe D).

### Entrées :

- **AUDIO\_L et AUDIO\_R** : voies audio gauche et droite,
- **Valid\_Amp** : signal de validation de l'amplification du casque.

### Sorties :

- **HP\_LOUT et HP\_ROUT** : sorties casque gauche et droite.

## Fs6.3 : Amplification classe D

Amplifie en puissance le signal audio vers les haut-parleurs.

### Entrées :

- **AUDIO\_L et AUDIO\_R** : voies audio gauche et droite,
- **SOUND\_ENABLE** : signal de validation de l'amplification classe D vers les haut-parleurs.

### Sorties :

- **LSP** (Left Speaker) et **RSP** (Right Speaker) : sorties haut-parleurs gauche et droit.

## Fs6.4 : Restitution du son

Elle est assurée par les haut-parleurs gauche et droit, d'impédance 4 ohms et de puissance 15W.

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page A10 sur 10
12SEE4EL1	Analyse Fonctionnelle	

# DOCUMENTS RÉPONSE

Q7.

1600  
TD1316/SPHP

TUNER

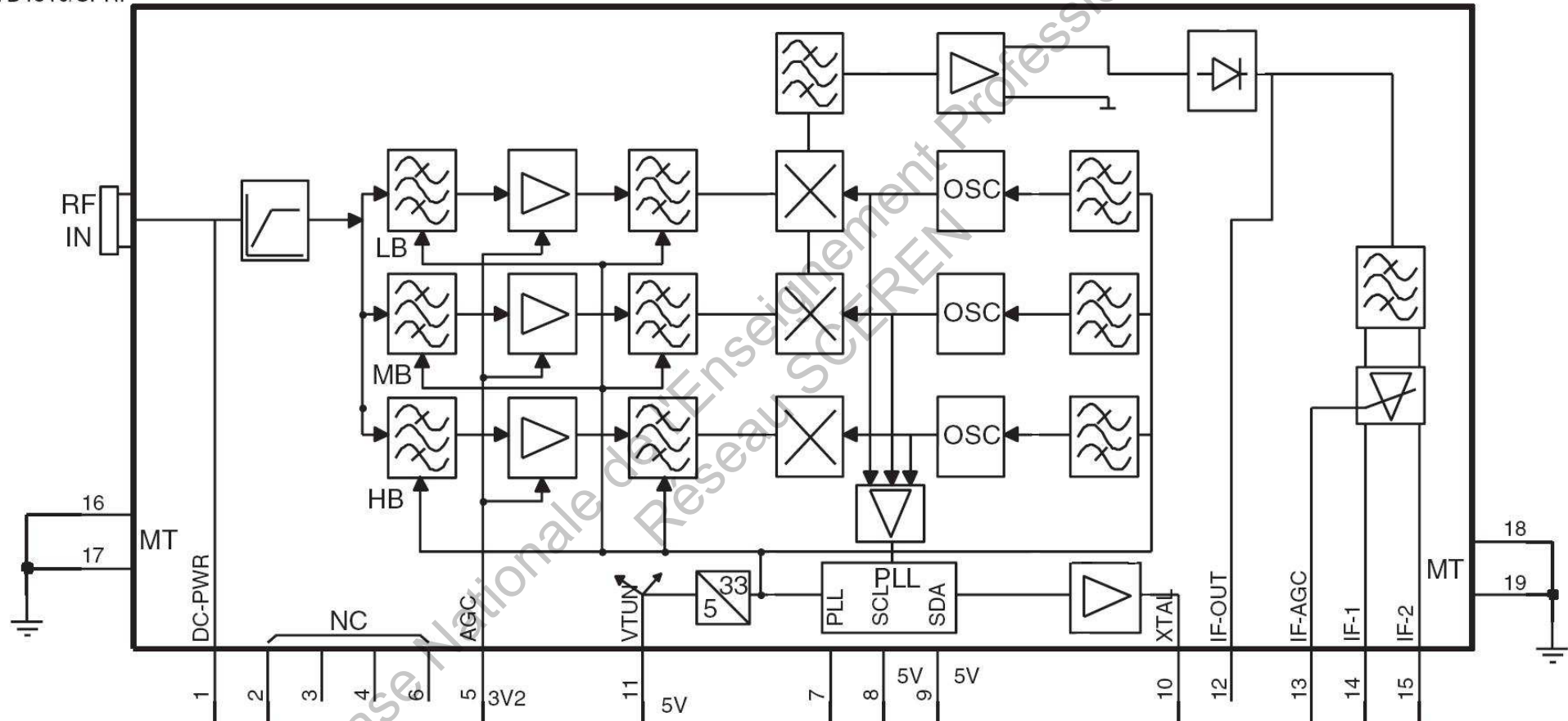
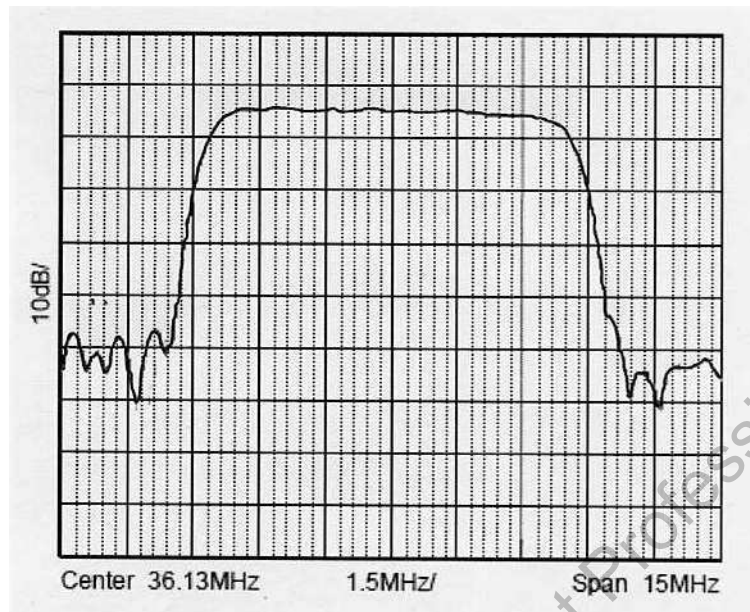


Figure 1 : Schéma bloc du Syntoniseur

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BR1 sur 4
12SEE4EL1	Documents réponse	

**Q10.**



**Figure 2 : Réponse en fréquence du filtre SAW de sortie**

**BP(SAW) =**

**Justification :**

**Q11, Q12, Q14, Q15, Q16.**

Nom	Octet	MSB							LSB	ACK
Addressbyte	1									A
Prog. Divider Byte 1	2									A
Prog. Divider Byte 2	3									A
Control Data Byte 1	4		1				0	1	0	A
Control Data Byte 2	5									A

**Tableau 2 : Configuration Syntoniseur**

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BR2 sur 4
12SEE4EL1	Documents réponse	

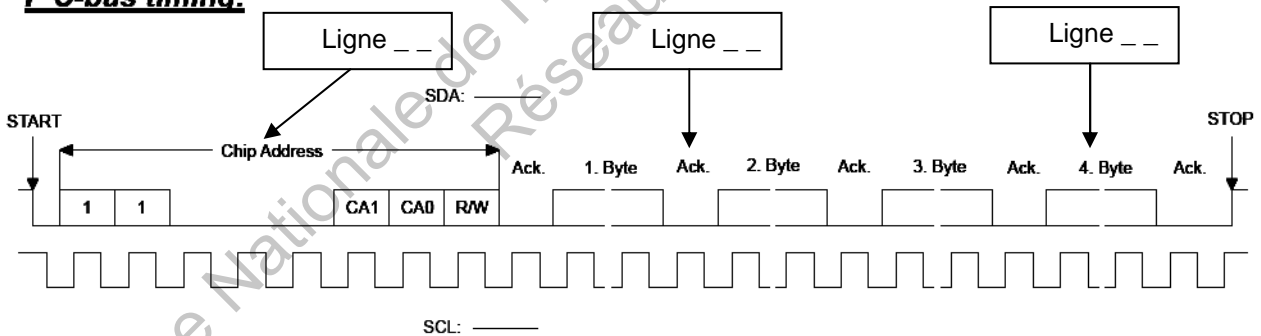
Q17.

**// Fonction de configuration du Tuner via le bus I2C**

// Paramètres d'entrée ; Adresse, Prog. Divider Byte 1, Prog. Divider Byte 2, Control Data Byte 1,  
// Control Data Byte 2

```
void Config_Tuner (unsigned char ADDRESS_I2C, unsigned char PDB1, unsigned char PDB2,  
                  unsigned char CDB1, unsigned char CDB2)  
{  
1  I2C_Free(); // vérifie que le bus I2C est libre  
2  I2C_Start(); // envoie le signal de début de transmission I2C  
3  WRITE_I2C( ADDRESS_I2C ); // l'adresse est envoyée sur le bus  
4  I2C_AckEsclave(); // attend la réception du bit d'acquiescement de l'esclave  
5  WRITE_I2C ( PDB1 ); // la donnée est envoyée sur le bus  
6  I2C_AckEsclave();  
7  WRITE_I2C ( PDB2 ); //  
8  I2C_AckEsclave();  
9  WRITE_I2C ( CDB1 ); //  
10 I2C_AckEsclave();  
11 WRITE_I2C ( CDB2 ); //  
12 I2C_AckEsclave();  
13 I2C_Stop(); // envoie le signal de fin de transmission I2C  
}
```

**I<sup>2</sup>C-bus timing:**



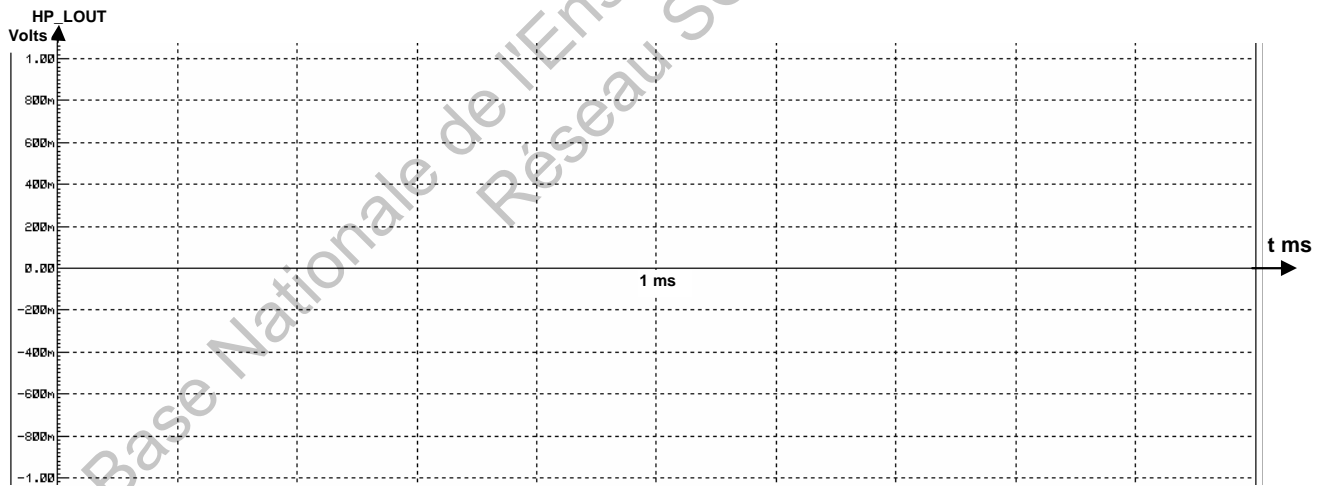
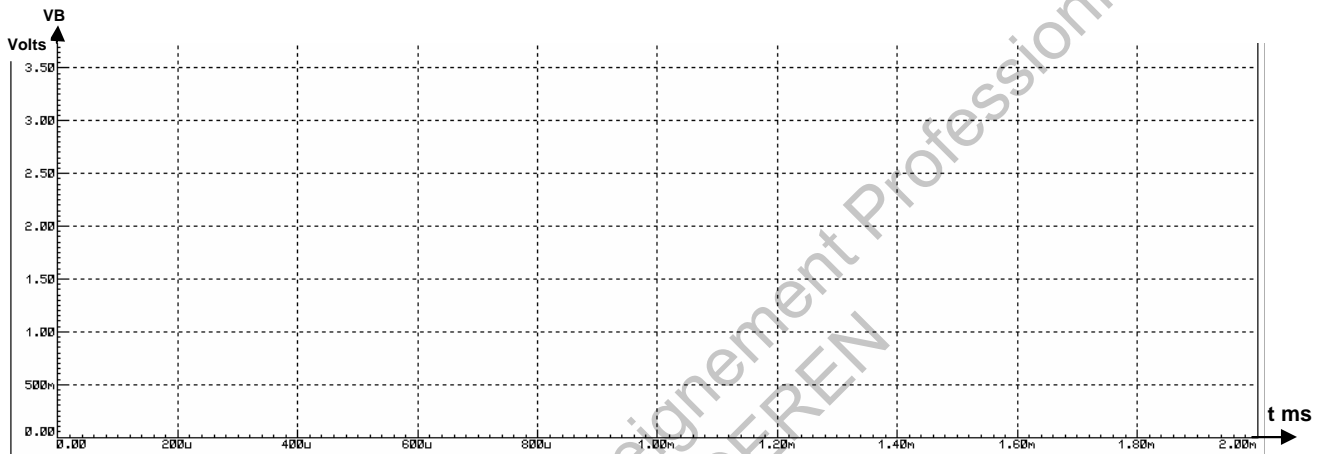
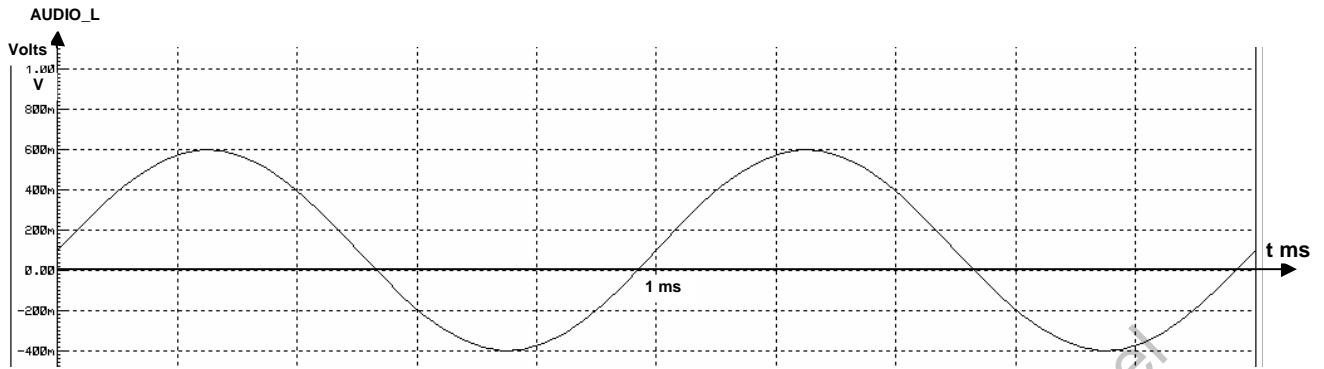
Q19.

- Paramètre d'entrée en décimal → **Delay**\_\_\_\_\_ (\_\_\_\_);

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BR3 sur 4
12SEE4EL1	Documents réponse	



**Q25, Q26.**



**Q28.**

SOUND-ENABLE	Conditions sur V(ENABLE)	Mode (TDA8931)
"0"		
"1"		

**Tableau 3 : Modes de fonctionnement du TDA8931**

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BR4 sur 4
12SEE4EL1	Documents réponse	

# DOCUMENTATION

## Sommaire

Téléviseur LCD.....	BAN2
Schéma structurel partiel de FP1.....	BAN3
Tuner TDA 1316L.....	BAN4 à BAN7
Librairie delays.....	BAN8
Schéma structurel de Fs6.1 et Fs6.2.....	BAN9
TS482.....	BAN10
Schéma structurel de Fs6.3 .....	BAN11
TDA8931.....	BAN12 à BAN15

Base Nationale de l'Enseignement Professionnel  
Réseau SCEREN

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BAN1 sur 15
12SEE4EL1	Documentation	



## Téléviseur LCD

Flat TV numérique 16/9  
avec Digital Crystal Clear

**32"**

LCD Technologie numérique  
intégrée

### Caractéristiques

#### Image/affichage

- Format d'image: 16/9
- Luminosité: 500 cd/m<sup>2</sup>
- Niveau de contraste (standard): 800:1
- Diagonale verrière: 32 pouce
- Amélioration de l'image: Digital Crystal Clear, Contrast Plus, Progressive Scan, Filtre en peigne 3D, Compensation de mouvement 3/2 - 2/2, DNR (réduction numérique du bruit), Lissage des lignes obliques, Puce Pulse Killer, Active Control, Réglage de la température de couleur, Réglage de la netteté
- Amélioration de l'écran: Écran avec traitement antireflet
- Résolution d'écran: 1 366 x 768
- Temps de réponse (standard): 8 ms
- Angle de visualisation: 176° (H)/176° (V)
- Contraste écran dynamique: 1 600:1
- Type d'écran: Écran LCD WXGA à matrice active TFT

#### Résolution d'affichage prise en charge

- Formats informatiques
 

Résolution	Fréquence de rafraîchissement
640 x 480	60, 67, 72, 75 Hz
800 x 600	56, 60, 72, 75 Hz
1 024 x 768	60, 70, 75 Hz
720 x 400	70 Hz
- Formats vidéo
 

Résolution	Fréquence de rafraîchissement
640 x 480i	1Fh
640 x 480p	2Fh
720 x 576i	1Fh
720 x 576p	2Fh
1280 x 720p	3Fh
1920 x 1080i	2Fh

#### Son

- Accentuation du son: Amélioration dynamique des basses
- Système audio: Virtual Dolby Surround, Stéréo
- Puissance de sortie (RMS): 2 x 15 W
- Égaliseur: 5 bandes

- incrustation d'images: Picture in Graphics (PIG), Double écran télétexte
- Télécommande: DVD, Téléviseur, AUX
- Réglages du format d'écran: 4/3, Extension 14/9, Extension 16/9, Zoom sous-titrage, Super zoom, 16/9
- Horloge: Mise en veille programmable, Réveil
- Télétexte: Smart Text

#### Tuner/Réception/Transmission

- Bandes du tuner: Hyperband, S-Channel, UHF,
- système TV: PAL, SECAM
- Lecture vidéo: NTSC, PAL, SECAM
- Entrée antenne: Coaxiale 75 ohms (IEC75)
- Afficheur du tuner: PLL
- Nombre de présélections: 100
- DVB: DVB terrestre\*

#### Connectivité

- Périrel Ext 1: Audio G/D, Entrée/sortie CVBS, RVB
- Périrel Ext 2: Entrée/sortie CVBS, Entrée S-Vidéo, Audio G/D, Sortie RVB
- Autres connexions: Interface commune, Sortie S/PDIF (coaxiale), Antenne IEC75
- Connexions avant/latérales: Entrée CVBS, Sortie casque, Entrée S-Vidéo, Entrée audio G/D
- Ext 4: YUV
- Ext 5: HDMI
- Ext 6: HDMI
- Nombre de périrel: 2

#### Alimentation

- Consommation: 125 W
- Consommation en veille: < 1 W
- Température ambiante: +5 -/+ 40 °C
- Secteur: 220 - 240 V CA +/- 10 %
- Alimentation: 90 - 240 V CA

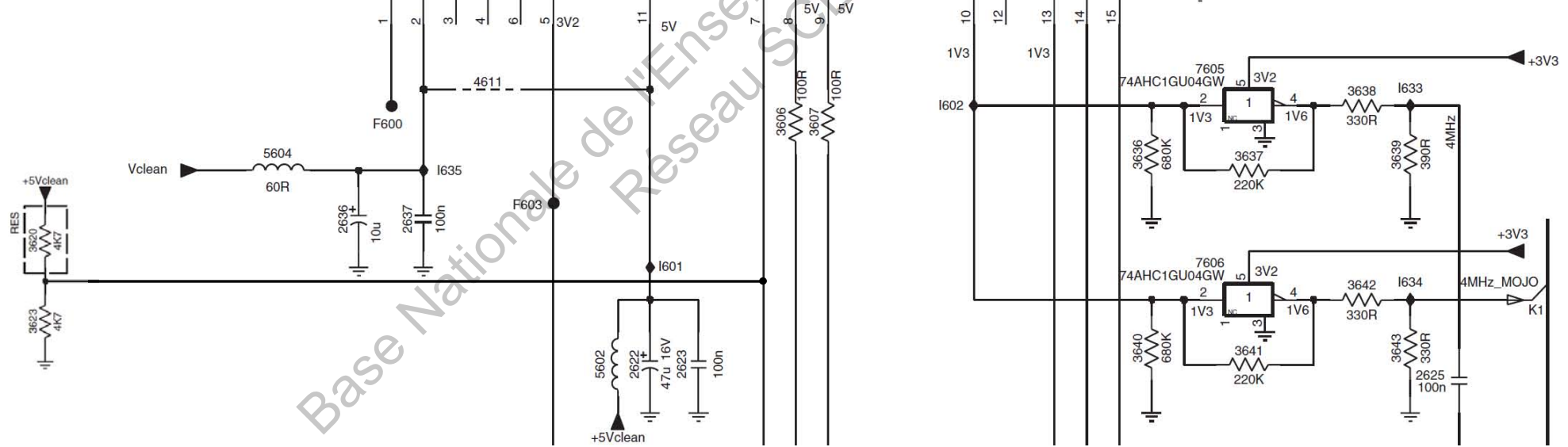
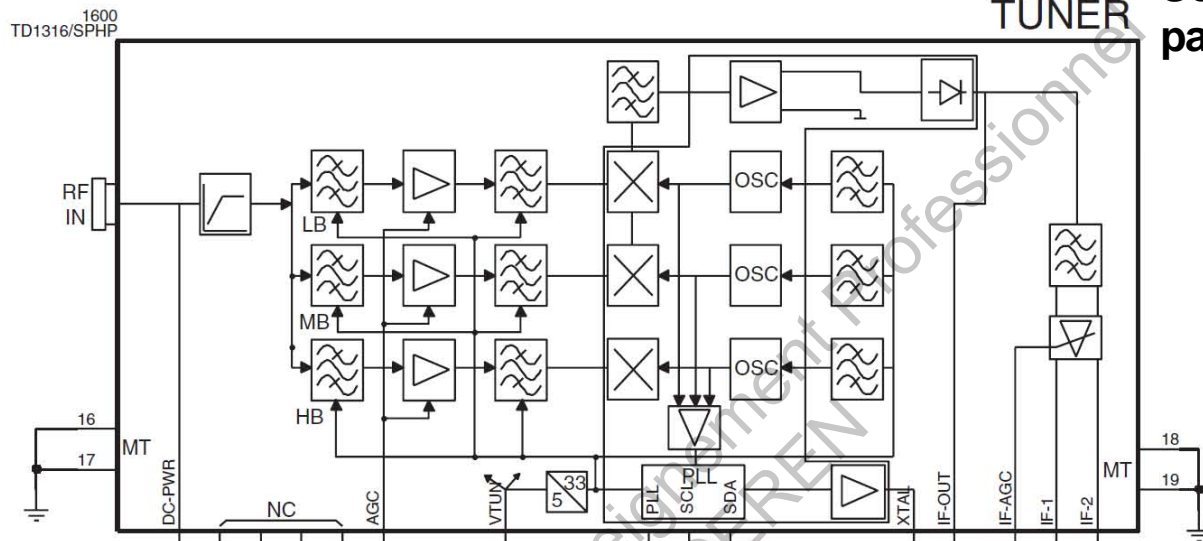
#### Dimensions

- Poids de l'appareil: 18 9 kg
- Poids (emballage compris): 22 kg
- Dimensions (avec la base) (H x P): 550 x 222 mm

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BAN2 sur 15
12SEE4EL1	Documentation	

# Schéma structurel partiel de FP1

## TUNER



Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BAN3 sur 15
12SEE4EL1	Documentation	

# Tuner TDA 1316L

Tuner module for digital terrestrial (OFDM) applications

TD(M)1300AL

## PRODUCT DESCRIPTION

TDM1300AL are tuners out of the new generation of high performance devices designed to cope with the digital terrestrial COFDM transmission standard.

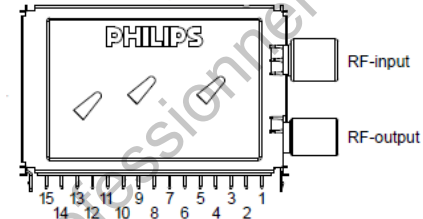
The RF-downstream section is equipped with a state-of-the-art, 3-band, single conversion tuner which makes use of a highly integrated mixer-oscillator-PLL tuner-IC that provides the required high level of performance which becomes necessary for COFDM signal downstream.

## FEATURES



- Highly integrated RF-module, UHF modulator plus active loopthrough plus 3-band tuner
  - +5V supply voltage only; no external tuning voltage required
  - Tuners for horizontal and vertical mounting available
  - Option with DC – power output through input connector (e.g. indoor antenna supply)
  - Tuners comply with relevant CENELEC standards with regard to requirements concerning signal handling capability and immunity
  - Superior low noise and high sensitivity performance
- 
- RF-in to RF-out loopthrough amplifiers
    - Low noise and excellent linearity
    - Full VHF to UHF frequency range coverage
    - Standard connectors for in- and output e.g. IEC, F-connector, RCA
  - High performance and cost effective single conversion tuner
    - I<sup>2</sup>C programmable
    - 400kHz Bus compliant
    - Fast PLL tuning speed (programmable step size e.g. 62.5kHz and 166.67kHz)
    - Tuner internal gain control loop with selectable TakeOverPoint settings via I<sup>2</sup>C Bus
      - External gain control possible with internal loop disabled
      - 4.0V (max. gain) to 0V (min. gain) gain control voltage
    - Flat overall frequency response
    - High PLL loop bandwidth which ensures very low oscillator phase noise
    - 4 MHz crystal reference frequency output
    - SAW-filter and IF-amplifier included
      - Switchable 7/8 MHz SAW filter (full band tuners)
      - Fixed 8 MHz SAW filter (UHF only tuners)
      - IF-amplification controllable over a wide range
  - Differential, filtered (SAW) 'digital' IF-output to directly drive the channel decoder

## DEFINITION OF TERMINALS / SUPPLY DATA



Terminal	Function	Remark
1	DC-power option for tuners with P-extension	Max. permissible current: 100mA
	Option: DC-connection to TV-output terminal (only for TDM1344L/II, TDM1344L/IV, TD1344L/IV)	Special version on customer request
2	+5V ± 5% splitter / modulator supply voltage	max. current = 127mA (for tuners w. remodulator) max. current = 40mA (for tuners w/o remodulator)
3	Audio - baseband input (not connected for tuners w/o remodulator)	AC - coupled
4	Video - baseband input (not connected for tuners w/o remodulator)	AC - coupled
5	External RF-gain control voltage (0.5V - 4.0V)	Max. permissible control voltage source impedance limited to 200ohms (see application notes)
6	do not connect, leave terminal open	for testing only
7	PLL chip address select (I <sup>2</sup> C / tuner)	see application notes
8	SCL (I <sup>2</sup> C / tuner)	
9	SDA (I <sup>2</sup> C / tuner)	
10	4MHz reference frequency output;	AC coupled
11	+5V ± 5% supply tuner (V <sub>TU</sub> )	max. current = 170mA
12	'broadband' IF - output	AC coupled
13	IF-gain control voltage	max. gain at 3V min. gain at 0V (see application notes)
14	'narrowband' IF - output	AC coupled
15	'narrowband' IF - output	AC coupled

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BAN4 sur 15
12SEE4EL1	Documentation	

## SPECIFICATION DATA

Next specification data refer to the overall performance from RF-input to IF-output.

If not otherwise stated, all data are assigned to broadband IF-output.

The tuner has to be tuned as such that coincidence between RF-channel center and IF-center frequency of 36.13MHz is given.

	MIN.	TYP.	MAX.
Frequency ranges (VHF/UHF) <sup>(1)</sup> (VHF low) low-band (VHF high) mid-band (UHF) high-band UHF only tuners	49MHz 162MHz 448MHz 474MHz		159MHz 444MHz 861MHz 861MHz
RF power gain <sup>(2)</sup>	47dB	50dB	
Overall gain taper		6dB	
RF AGC range Low band Mid band High band	40dB 40dB 35dB		
Image rejection (referred to IF-center frequency) (VHF low) low-band (VHF high) mid-band (UHF) high-band	66dB 66dB 55dB	70dB 70dB 60dB	
Osc. voltage at aerial input (f < 1000MHz)		<20dB $\mu$ V	
RF-input return loss (75ohms)	5dB	>7dB	
In-channel return loss <sup>(3)</sup>		8dB	
Overloading causing 1dB gain compression		76dB $\mu$ V	
Noise figure (at nom. gain)		5dB	7dB
ESD protection of terminals	2kV		
Surge protection at RF-input	5kV		
Osc. phase noise <sup>(4)</sup> (1kHz) (10kHz)		-88dBc/Hz -90dBc/Hz	-78dBc/Hz -82dBc/Hz
Overall voltage gain <sup>(5)</sup>		77dB	

Note 1: channel center including tuning margin

Note 2: to be measured at 'broadband' IF-output with 75ohms load

Note 3: to be measured at RF-input in the range channel-center  $\pm$  3MHz

Note 4: PLL step size 166.667kHz; CP as recommended (see application notes)

Note 5: measured at terminals 14/15; IF-AGC voltage (terminal 13) set to 3V

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BAN5 sur 15
12SEE4EL1	Documentation	

Frequency allocation table:

	TDM1316AL / TD1316AL	TDM1344L / TD1344L
RF frequency range	51MHz – 858MHz <sup>(*)</sup>	474MHz – 858MHz <sup>(*)</sup>
Channel bandwidth	7/8MHz	8 MHz
RF-loopthrough range	ch E2 - ch E69	ch E2 - ch E69
Modulator range (for tuners with modulator only)	ch E21 - ch E69	ch E21 - ch E69
IF-center frequency	36.13MHz	36.13MHz
RF input connector	IEC female	IEC female
RF output connector	IEC male	IEC male

<sup>(\*)</sup> data refer to RF-channel center frequency.

**APPLICATION NOTES**

**Programming of tuner PLL**

The tuner control (frequency selection and band switching) is done via the I<sup>2</sup>C bus.  
 One address byte and four data bytes are needed to fully program the tuner.  
 A PLL lock flag can be read from the tuner during 'READ' - mode.  
 Four independent PLL addresses are available; which one is actually valid depends on the address select voltage that is connected to terminal 7.  
 TD(M)1316AL tuners comply to the 5V I<sup>2</sup>C – Bus specification.

**I<sup>2</sup>C-bus data format , 'WRITE' - mode:**

NAME	BYTE	MSB					LSB				ACK
Addressbyte	1	1	1	0	0	0	CA1	CA0	R/W=0	A	
Prog. Divider Byte 1	2	0	N14	N13	N12	N11	N10	N9	N8	A	
Prog. Divider Byte 2	3	N7	N6	N5	N4	N3	N2	N1	N0	A	
Control Data Byte 1	4	1	D/A = 1	0	0	1	R2	R1	R0	A	
	4	1	D/A = 0	0	0	ATC	AL2	AL1	AL0	A	
Control Data Byte 2	5	CP2	CP1	CP0	SP5	SP4	SP3	SP2	SP1	A	

A = acknowledge

**CA1, CA0: Programmable address selection bits**

CA1	CA0	Voltage applied to terminal 7
0	0	0V to 0.1xV <sub>TU</sub>
0	1	terminal open
1	0	0.4xV <sub>TU</sub> to 0.6xV <sub>TU</sub>
1	1	0.9xV <sub>TU</sub> to 1.0xV <sub>TU</sub>

**Description of used symbols:**

- CA1, CA0 : chip address selection bits (see table: Programmable address selection bits)
- R/W : Read / Write bit ; Bit = 0 ⇒ Write mode  
Bit = 1 ⇒ Read mode
- N14 to N0 : LO frequency divider bits
- D/A : D/A = 1 ⇒ following 6 bits contain test and reference divider ratio data  
D/A = 0 ⇒ following 6 bits contain AGC setting data
- R2, R1, R0 : reference divider bits (see table: Reference Divider Settings)
- ATC : AGC time constant data bit; only valid with int. AGC loop active  
ATC = 1 ⇒ enables fast tuning speed during channel search mode  
ATC = 0 ⇒ recommended after channel acquisition; normal mode
- AL2, AL1, AL0 : AGC Take-Over-Point bits (see table: Internal AGC loop TOP)
- CP2, CP1, CP0 : PLL charge pump current selection bits (see table: Charge Pump Settings)
- SP5 ..... SP1 : Switch ports; bit = 1 ⇒ port V<sub>out</sub> is 'ON'  
bit = 0 ⇒ port V<sub>out</sub> is 'OFF'  
(see table: Band and SAW-filter selection table)

N14 to N0: programmable divider bits

divider ratio:  $N = N_{14} \times 2^{14} + N_{13} \times 2^{13} + \dots + N_1 \times 2^1 + N_0$

How to calculate the divider ratio N :

$$N = \frac{(f_{input} + f_{IF}) \left[ \frac{Hz}{Hz} \right]}{f_{ref}} \quad \text{whereby } f_{ref} = \frac{4 \cdot 10^6}{64^{(1)}} [Hz] = 62.5 kHz$$

$$f_{ref} = \frac{4 \cdot 10^6}{24^{(1)}} [Hz] = 166.67 kHz$$

Note <sup>(1)</sup> : divider ratio to be set with Bits ' R2 ..... R0 ' (see table below)

R2, R1, R0: PLL reference divider settings (Control Data Byte 1):

PLL step size	PLL ref. divider ratio	R2	R1	R0
50.0 kHz	80	0	1	1
62.5 kHz	64	0	0	0
166.67 kHz	24	0	1	0

CP2, CP1, CP0: PLL charge pump current settings

Note: during search tuning it is recommended to set the PLL to a moderate charge pump. To enable best oscillator phase noise performance during digital signal processing, the PLL charge pump current should be set to conditions as given with following table.

In analog applications the PLL charge pump current must be set to max. 60uA !

CP2	CP1	CP0	Typical CP current	Recommendations
0	0	0	40 uA	
0	0	1	60 uA	
0	1	0	90 uA	To be used during search tuning and for 50kHz, 62.5kHz PLL step sizes
0	1	1	130 uA	Low - band: 87MHz - 130MHz Mid - band: 200MHz - 290MHz High - band: 480MHz - 620MHz (*)
1	0	0	190 uA	
1	0	1	280 uA	Low - band: 130MHz - 160MHz Mid - band: 290MHz - 420MHz High - band: 620MHz - 830MHz (*)
1	1	0	410 uA	Low - band: >160MHz Mid - band: >420MHz (*)
1	1	1	600 uA	High - band: >830MHz (*)

(\*) oscillator frequencies

SP5 ..... SP1: Band and SAW-filter selection table

	SP5	SP4	SP3	SP2	SP1
Low - band	0	X	0	0	1
mid - band	0	X	0	1	0
High - band	0	X	1	0	0

	SP5	SP4	SP3	SP2	SP1
7 MHz SAW - filter	0	0	X	X	X
8 MHz SAW - filter	0	1	X	X	X

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BAN7 sur 15
12SEE4EL1	Documentation	



# Librairie delays

The delay functions execute code for a specific number of processor instruction cycles. For time based delays, the processor operating frequency must be taken into account. The following routines are provided:

**TABLE 4-4: DELAY FUNCTIONS**

Function	Description
Delay1TCY	Delay one instruction cycle.
Delay10TCYx	Delay in multiples of 10 instruction cycles.
Delay100TCYx	Delay in multiples of 100 instruction cycles.
Delay1KTCYx	Delay in multiples of 1,000 instruction cycles.
Delay10KTCYx	Delay in multiples of 10,000 instruction cycles.

## 4.5.1 Function Descriptions

### Delay1TCY

**Function:** Delay 1 instruction cycle (Tcy).  
**Include:** delays.h  
**Prototype:** void Delay1TCY( void );  
**Remarks:** This function is actually a #define for the NOP instruction. When encountered in the source code, the compiler simply inserts a NOP.  
**File Name:** #define in delays.h

### Delay10TCYx

**Function:** Delay in multiples of 10 instruction cycles (Tcy).  
**Include:** delays.h  
**Prototype:** void Delay10TCYx( unsigned char unit );  
**Arguments:** unit  
 The value of *unit* can be any 8-bit value. A value in the range [1,255] will delay (*unit* \* 10) cycles. A value of 0 causes a delay of 2,560 cycles.  
**Remarks:** This function creates a delay in multiples of 10 instruction cycles.

### Delay100TCYx

**Function:** Delay in multiples of 100 instruction cycles (Tcy).  
**Include:** delays.h  
**Prototype:** void Delay100TCYx( unsigned char unit );  
**Arguments:** unit  
 The value of *unit* can be any 8-bit value. A value in the range [1,255] will delay (*unit* \* 100) cycles. A value of 0 causes a delay of 25,600 cycles.

### Delay1KTCYx

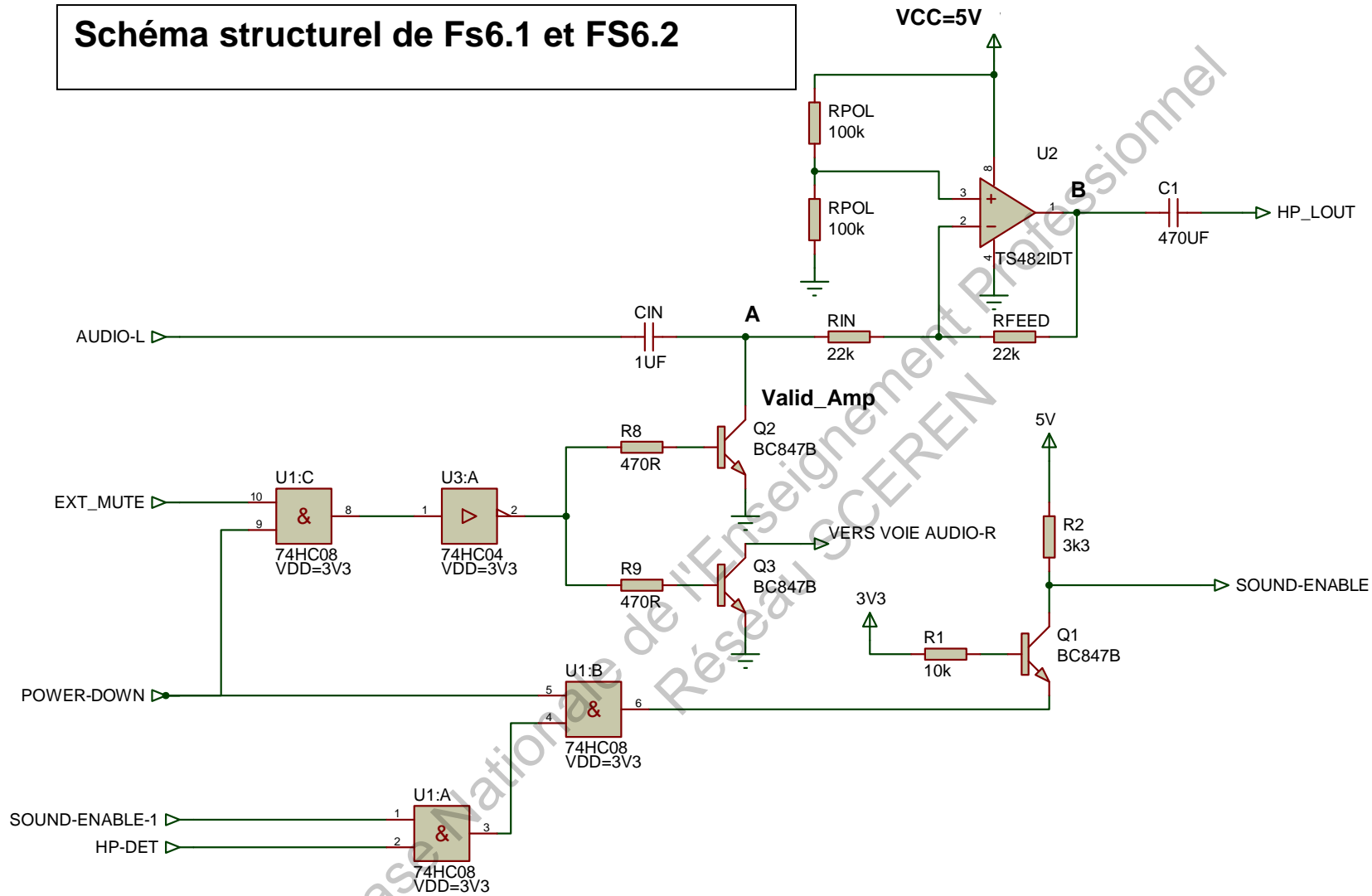
**Function:** Delay in multiples of 1,000 instruction cycles (Tcy).  
**Include:** delays.h  
**Prototype:** void Delay1KTCYx( unsigned char unit );  
**Arguments:** unit  
 The value of *unit* can be any 8-bit value. A value in the range [1,255] will delay (*unit* \* 1000) cycles. A value of 0 causes a delay of 256,000 cycles.

### Delay10KTCYx

**Function:** Delay in multiples of 10,000 instruction cycles (Tcy).  
**Include:** delays.h  
**Prototype:** void Delay10KTCYx( unsigned char unit );  
**Arguments:** unit  
 The value of *unit* can be any 8-bit value. A value in the range [1,255] will delay (*unit* \* 10000) cycles. A value of 0 causes a delay of 2,560,000 cycles.

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BAN8 sur 15
12SEE4EL1	Documentation	

# Schéma structurel de Fs6.1 et FS6.2



Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BAN9 sur 15
12SEE4EL1	Documentation	

- Operating from  $V_{CC}=2V$  to  $5.5V$
- 100mW into  $16\Omega$  at  $5V$
- 38mW into  $16\Omega$  at  $3.3V$
- 11.5mW into  $16\Omega$  at  $2V$
- Switch ON/OFF click reduction circuitry
- High power supply rejection ratio: 85dB at  $5V$
- High signal-to-noise ratio: 110dB(A) at  $5V$
- High crosstalk immunity: 100dB ( $F=1kHz$ )
- Rail-to-rail input and output
- Unity-gain stable

## Applications

- Stereo headphone amplifier
- Optical storage
- Computer motherboard
- PDA, organizers & notebook computers
- High-end TV, set-top box, DVD players
- Sound cards

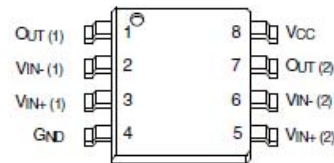
## Description TS482

The TS482 is a dual audio power amplifier able to drive a 16 or  $32\Omega$  stereo headset down to low voltages.

It is delivering up to 100mW per channel (into  $16\Omega$  loads) of continuous average power with 0.1% THD+N from a 5V power supply.

The unity gain stable TS482 can be configured by external gain-setting resistors.

TS482ID, TS482IDT - SO-8



## Typical application schematic

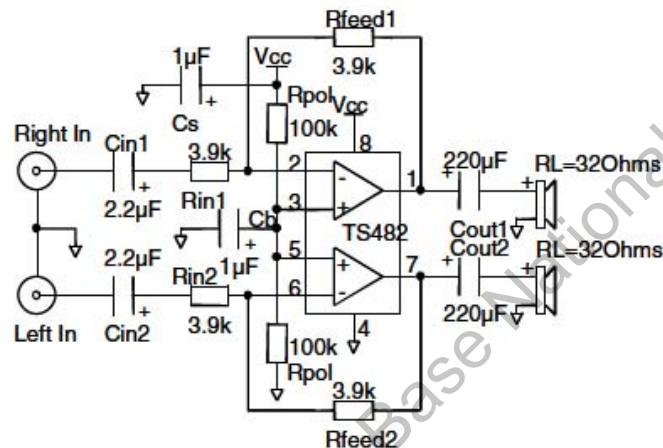
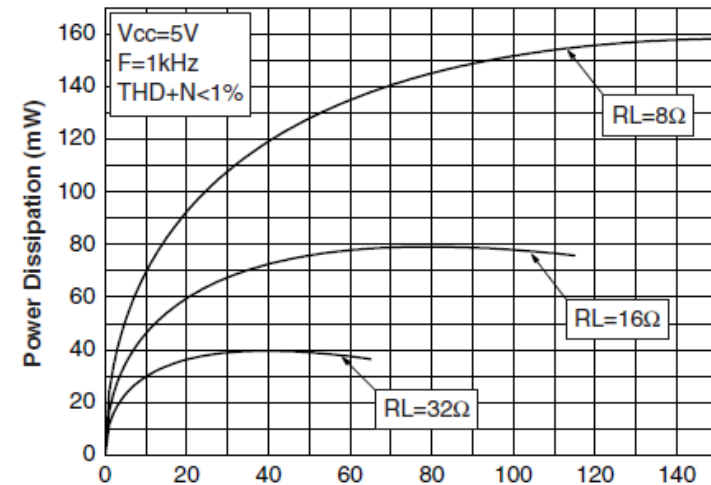


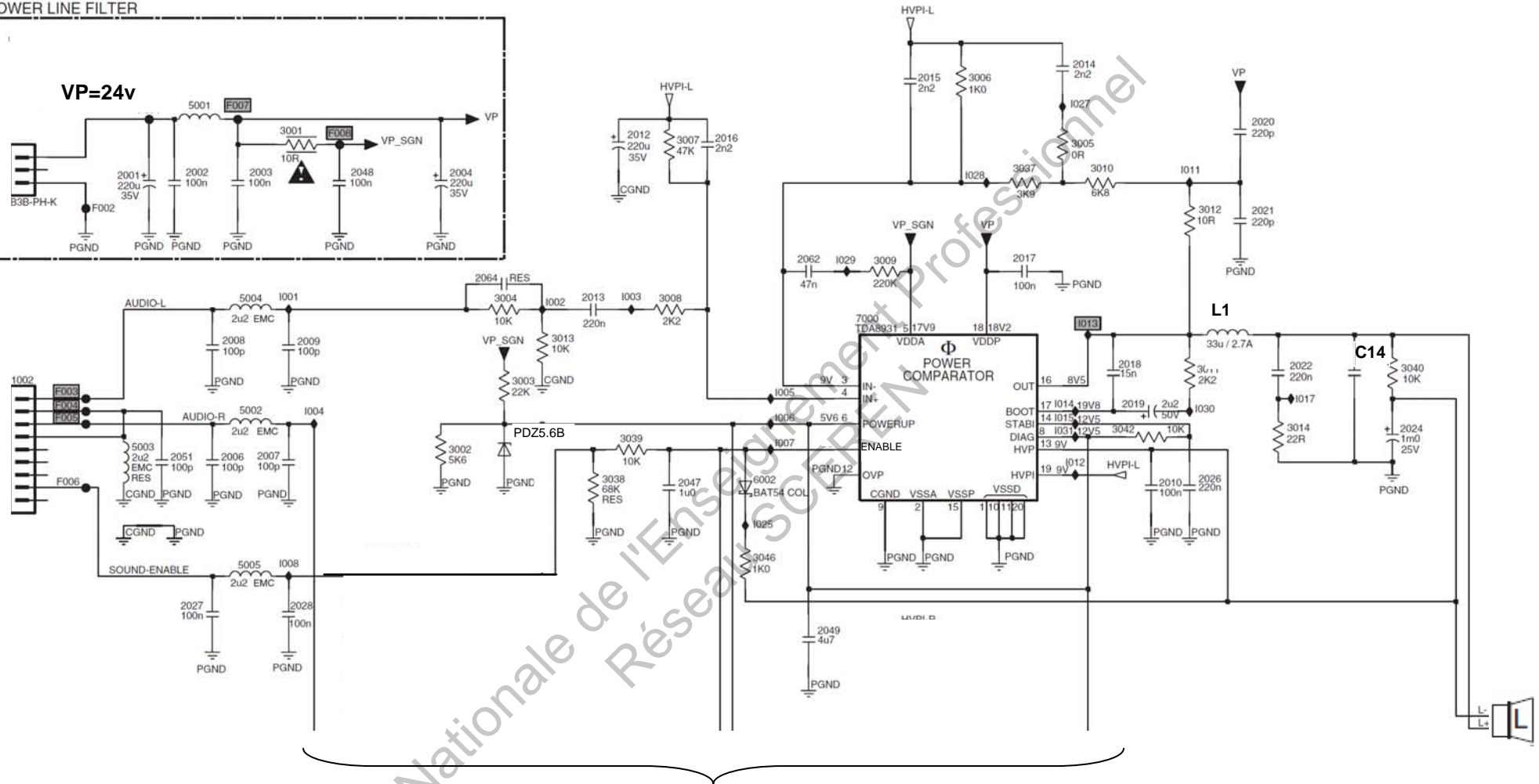
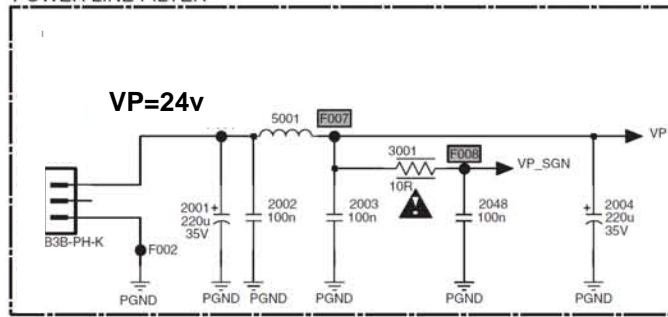
Table 7. Components description

Components	Functional Description
Rin	Inverting input resistor which sets the closed loop gain in conjunction with Rfeed. This resistor also forms a high pass filter with Cin ( $f_c = 1 / (2 \times \pi \times R_{in} \times C_{in})$ )
Cin	Input coupling capacitor which blocks the DC voltage at the amplifier input terminal
Rfeed	Feed back resistor which sets the closed loop gain in conjunction with Rin
Cs	Supply Bypass capacitor which provides power supply filtering
Cb	Bypass capacitor which provides half supply filtering
Cout	Output coupling capacitor which blocks the DC voltage at the load input terminal This capacitor also forms a high pass filter with RL ( $f_c = 1 / (2 \times \pi \times R_L \times C_{out})$ )
Rpol	These 2 resistors form a voltage divider which provide a DC biasing voltage ( $V_{CC}/2$ ) for the 2 amplifiers.
Av	Closed loop gain = $-R_{feed} / R_{in}$

Figure 28. Power dissipation vs. output power



POWER LINE FILTER



Vers voie droite

**Schéma structurel de FS6.3**  
**Amplification classe D**

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BAN11 sur 15
12SEE4EL1	Documentation	

# TDA8931

Power comparator 1 × 20 W

Rev. 01 — 14 January 2004

Preliminary data sheet

## 1. General description

The TDA8931 is a switching power stage for high efficiency class-D audio power amplifier systems.

It contains a Single-Ended (SE) power stage, drive logic, protection control logic, a full differential input comparator and a HVP charger to charge the SE capacitor. With this amplifier a compact 1 × 20 W closed loop self-oscillating digital amplifier system can be built. The TDA8931 has a high efficiency so that a heat sink is not required up to 20 W (RMS). The system operates on an asymmetrical and a symmetrical supply voltage.

## 7. Pinning information

### 7.1 Pinning

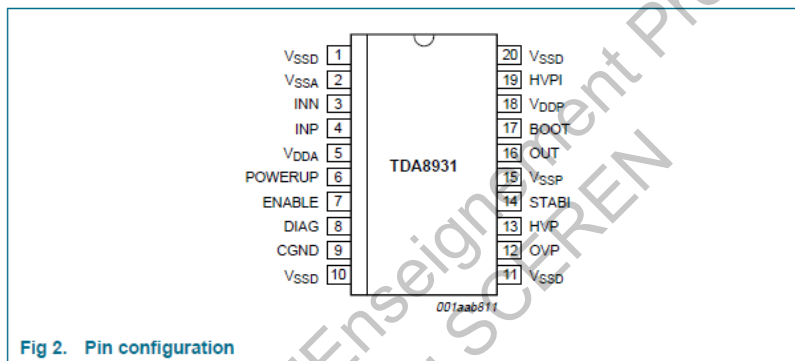


Fig 2. Pin configuration

### 7.2 Pin description

Table 3: Pin description

Symbol	Pin	Description
V <sub>SSD</sub>	1	negative digital supply voltage; heat spreader
V <sub>SSA</sub>	2	negative analog supply voltage
INN	3	inverting input
INP	4	non inverting input
V <sub>DDA</sub>	5	positive analog supply voltage
POWERUP	6	power-up input
ENABLE	7	enable input
DIAG	8	diagnostic output
CGND	9	control ground; reference ground for pins POWERUP, ENABLE and DIAG
V <sub>SSD</sub>	10	negative digital supply voltage; heat spreader
V <sub>SSD</sub>	11	negative digital supply voltage; heat spreader
OVP	12	overvoltage protection reference input
HVP	13	half supply voltage output for charging SE capacitor
STABI	14	decoupling of internal stabilizer
V <sub>SSP</sub>	15	negative power supply voltage
OUT	16	PWM output
BOOT	17	bootstrap capacitor connection
V <sub>DDP</sub>	18	positive power supply voltage
HVPI	19	half supply voltage output for reference voltage of input circuitry
V <sub>SSD</sub>	20	negative digital supply voltage; heat spreader

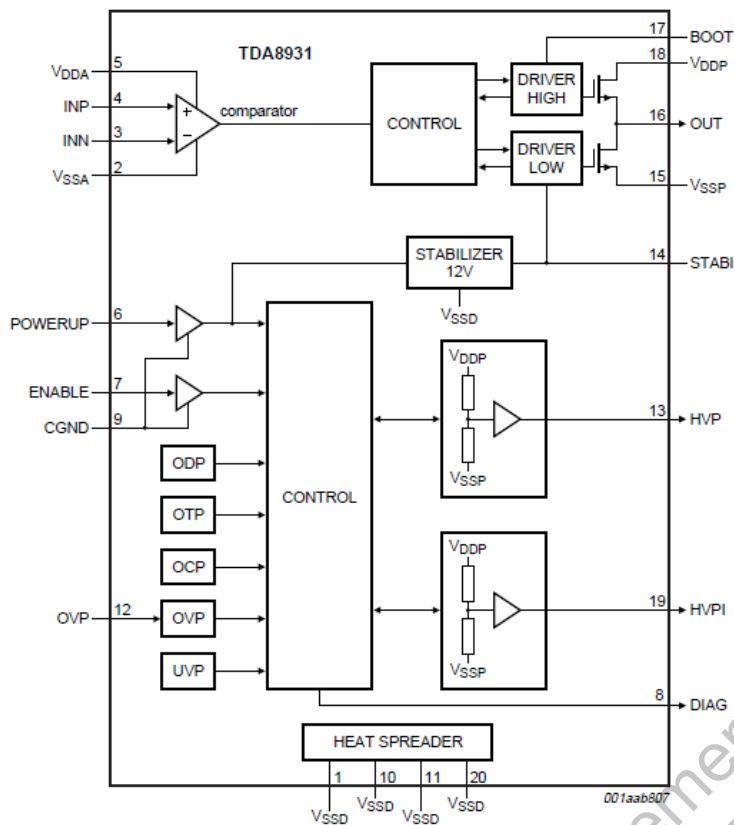


Fig 1. Block diagram

## 8. Functional description

### 8.1 General

The TDA8931 is a switching power stage for high efficiency class-D audio power amplifier systems. It contains a Single-Ended (SE) power stage, drive logic, protection control logic, a full differential input comparator and a HVP charger to charge the SE capacitor (see Figure 1). With this amplifier a compact 1 x 20 W closed loop self-oscillating digital amplifier system can be built. A second order low-pass filter converts the PWM output signal into an analog audio signal across the speaker.

### 8.2 Interfacing

The operating modes of the TDA8931 can be controlled by pins POWERUP and ENABLE. Both pins refer to pin CGND. The device has three modes:

- Sleep mode
- Standby mode
- Operating mode

When pin POWERUP = LOW, the power comparator is in Sleep mode, independent of the signal on pin ENABLE. In Sleep mode the SE capacitor charger will be discharged.

When pin POWERUP = HIGH and pin ENABLE = LOW the device is in Standby mode. In Standby mode the device is DC biased and the SE capacitor will be charged and the output is floating.

When both pins POWERUP and ENABLE are HIGH, the device is in Operating mode. A level at pin POWERUP greater than 11 V can also enter the Operating mode, independent of the level on pin ENABLE (see Table 4).

**Remark:** The switch-on sequence is important. First pin POWERUP = HIGH, then pin ENABLE = HIGH.

Table 4: Interfacing

Voltage on pin		Mode
POWERUP	ENABLE	
< 0.8 V	-	Sleep
3 V to 7 V	< 0.8 V	Standby
	> 3 V	Operating
> 11 V	-	Operating

Session 2012	BTS Systèmes Électroniques Épreuve U41- Électronique	Page BAN13 sur 15
12SEE4EL1	Documentation	

## 10. Limiting values

**Table 7: Limiting values**

In accordance with the Absolute Maximum Rating System (IEC 60134).

Symbol	Parameter	Conditions	Min	Max	Unit
$V_P$	operating supply voltage	asymmetrical	12	40	V
		symmetrical	$\pm 6$	$\pm 20$	V
$V_{ENABLE}$	maximum voltage on pin ENABLE		-	14	V
$V_{OVP}$	maximum voltage on pin OVP		-	14	V
$V_n$	voltage on all other pins		$V_{SS} - 0.3$	$V_{DD} + 0.3$	V
$I_{ORM}$	repetitive peak output current		-	8	A
$P_{d(max)}$	maximum power dissipation		-	2.5	W
$T_j$	junction temperature		-	150	°C
$T_{stg}$	storage temperature		-55	+150	°C
$T_{amb}$	ambient temperature		-40	+85	°C

## 11. Thermal characteristics

**Table 8: Thermal characteristics**

Symbol	Parameter	Conditions	Typ	Unit
$R_{th(j-a)}$	thermal resistance junction to ambient	in free air	[1] 24	K/W
$R_{th(j-p)}$	thermal resistance junction to pin	in free air	[2] 16	K/W
$R_{th(j-c)}$	thermal resistance junction to case	in free air	[3] 3	K/W

[1] Measured in the application board.

[2]  $V_o = 22$  V;  $R_L = 4$   $\Omega$ ;  $V_{ripple} = 2$  V (p-p);  $f_{ripple} = 100$  Hz with feed-forward network (470 k $\Omega$  and 15 nF).

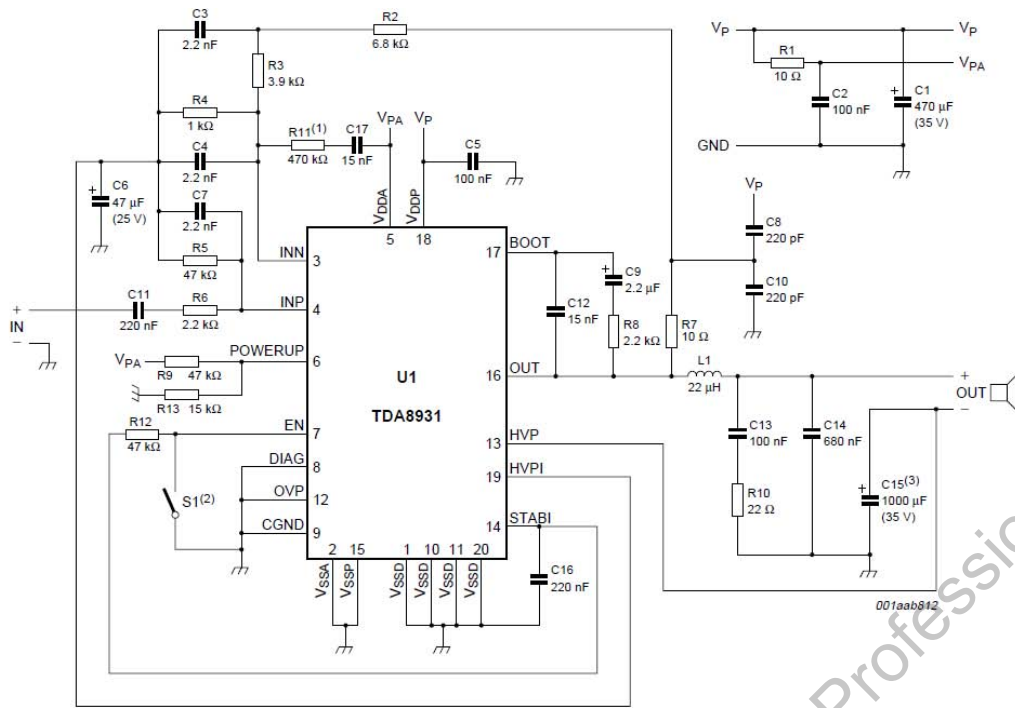
[3] Strongly depending on where you measure on the case.

## 13. Dynamic characteristics

**Table 10: Characteristics**

$V_P = 22$  V;  $T_{amb} = 25$  °C;  $R_L = 4$   $\Omega$ ; unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
<b>Amplifier; SE channel</b>						
$P_{o(max)}$	maximum output power	$R_L = 4$ $\Omega$ ; THD = 10 %	[1]			
		$V_P = 26$ V	21	22	-	W
		$V_P = 22$ V	15	16	-	W
		$R_L = 8$ $\Omega$ ; THD = 10 %				
		$V_P = 30$ V	15	16	-	W
THD	total harmonic distortion	$P_o = 1$ W, $f_i = 1$ kHz	[1] -	0.02	0.1	%
$V_{n(o)}$	noise output voltage	Operating mode; inputs shorted; gain = 20 dB, AES17 brick wall filter	[1] -	128	150	$\mu$ V
$G_{v(range)}$	gain adjust range		[1] 14	20	26	dB
$\eta$	efficiency	$P_o = 15$ W				
		$V_P = 22$ V; $R_L = 4$ $\Omega$	[1] 87	89	-	%
		$V_P = 30$ V; $R_L = 8$ $\Omega$	[1] 89	91	-	%
<b>PWM output: pin OUT (see Figure 4)</b>						
$t_r$	output voltage rise time		-	20	-	ns
$t_f$	output voltage fall time		-	20	-	ns
$t_{dead}$	dead time		-	0	-	ns
$t_{r(LH)}$	response time of transition from LOW-to-HIGH	$V_{i(dif)} = 70$ mV	-	120	-	ns
		$V_{i(dif)} = 3.3$ V	-	100	-	ns
$t_{r(HL)}$	response time of transition from HIGH-to-LOW	$V_{i(dif)} = 70$ mV	-	120	-	ns
		$V_{i(dif)} = 3.3$ V	-	100	-	ns
$t_{W(min)}$	minimum pulse width		-	150	-	ns
$R_{Dson}$	drain-source on-state resistance of output transistor		-	0.22	0.3	$\Omega$



- (1) Optional feed forward network to improve SVRR.
- (2) Standby mode: S1 = closed; Operating mode: S1 = open.
- (3) The low frequency gain is determined by the capacitor in series with the speaker. The cut-off frequency with a 4 Ω speaker and C15 = 1000 μF is 40 Hz.

Fig 5. Typical application diagram with TDA8931 supplied from an asymmetrical supply

### 14.1 Output power estimation

The output power, just before clipping, can be estimated using the following equation:

$$P_{o(1\%)} = \frac{\left( \frac{R_L}{R_L + R_{DSon} + R_{coil} + R_{ESR}} \times V_P \right)^2}{8 \times R_L} \quad (2)$$

Where:

- $P_{o(1\%)}$  = output power just before clipping at THD = 1 %
- $R_L$  = load impedance
- $R_{DSon}$  = on-resistance power switch
- $R_{coil}$  = series resistance output coil
- $R_{ESR}$  = ESR of the single-ended capacitor
- $V_P$  = supply voltage ( $V_{DDP} - V_{SSP}$ )

**Example:** Substituting  $R_L = 4 \Omega$ ,  $R_{DSon} = 0.22 \Omega$  (at  $T_j = 25^\circ\text{C}$ ),  $R_{coil} = 0.045 \Omega$ ,  $R_{ESR} = 0.06 \Omega$  and  $V_P = 22 \text{ V}$  results in output power  $P_o = 12.9 \text{ W}$ .

The output power at THD = 10 % can be estimated by:

$$P_{o(10\%)} = 1.25 \times P_{o(1\%)} \quad (3)$$

### 14.3 Low pass filter considerations

For a flat frequency response (second order Butterworth filter) it is necessary to change the LC-filter components (L1 and C14) according to the speaker impedance. Table 12 shows the required components values in case of a 4 W, 6 W or 8 W speaker impedance.

Table 12: Filter components values

Speaker impedance (Ω)	L1 value (μH)	C14 value (nF)
4	22	680
6	33	470
8	47	330