

# CORRIGE


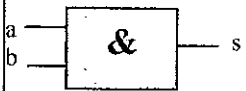
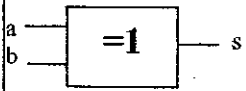
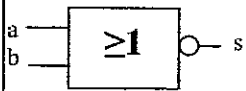

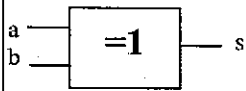
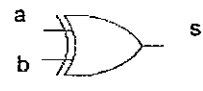
**Ces éléments de correction n'ont qu'une valeur indicative. Ils ne peuvent en aucun cas engager la responsabilité des autorités académiques, chaque jury est souverain.**

# **CORRECTION**

## **EP2**

<b>GROUPEMENT ACADEMIQUE EST SESSION 2003</b>					
<b>SPECIALITE CAP EQUIPEMENT CONNECTIQUE CONTRÔLE</b>					
<b>EPREUVE EP2</b>	<b>Coefficient 5</b>	<b>Durée 4 h</b>	<b>Feuillet 1 / 15</b>		

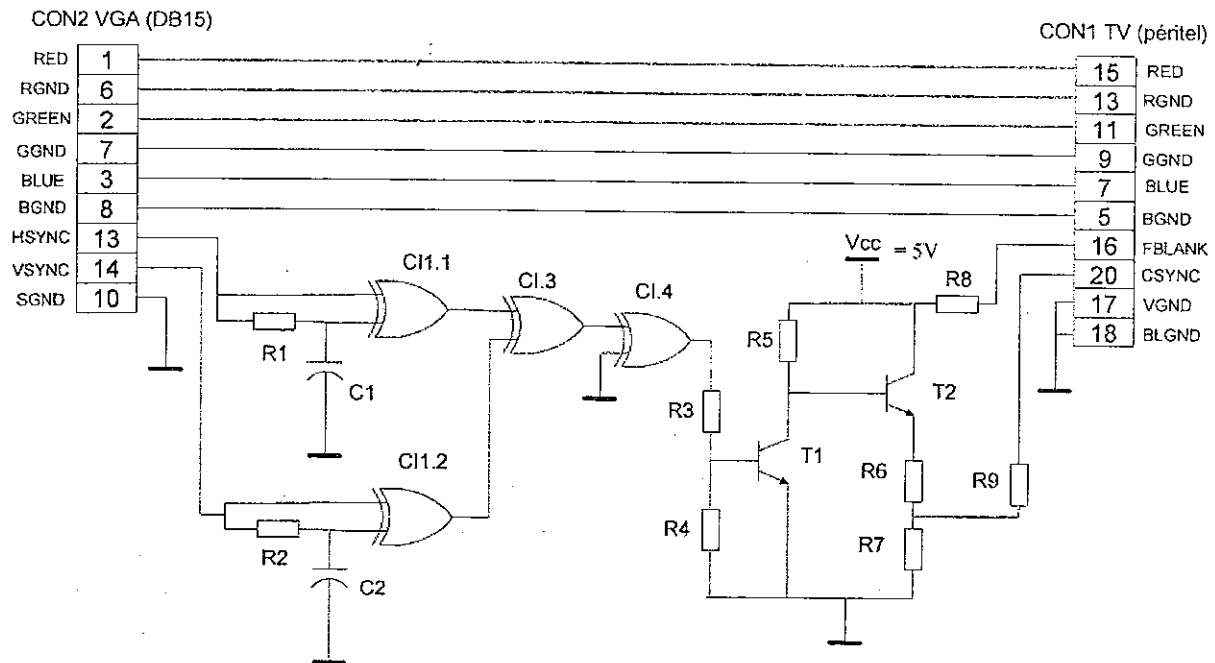
Tableau de correspondance des symboles américains et européens

	Européens	Américains
NON		
ET		
OU		
NON OU		
NON ET		
OU EXCLUSIF		

GROUPEMENT ACADEMIQUE EST SESSION 2003			
SPECIALITE CAP EQUIPEMENT CONNECTIQUE CONTRÔLE			
EPREUVE <b>EP2</b>	Coefficient <b>5</b>	Durée <b>4 h</b>	Feuillet 2 / 15

## CONVERTISSEUR VGA / TV

La structure ci-dessous permet de relier un ordinateur, lorsque celui-ci n'est pas équipé de sortie TV sur la carte graphique, à un téléviseur.



### Nomenclature

Référence	Désignation
R1	2,2 K $\Omega$
R2	2,2 K $\Omega$
R3	2,2 K $\Omega$
R4	2,2 K $\Omega$
R5	2,2 K $\Omega$
R6	47 $\Omega$
R7	47 $\Omega$
R8	120 $\Omega$
R9	47 $\Omega$
C1	22 $\mu$ F
C2	22 $\mu$ F
CI1	HEF4030
T1	BC547C
T2	BC547C
CON1	DB15 coudé femelle à souder sur CI
CON2	Péritel coudée femelle à souder sur CI

GROUPEMENT ACADEMIQUE EST    SESSION 2003

**SPECIALITE    CAP EQUIPEMENT CONNECTIQUE CONTRÔLE**

EPREUVE    **EP2**

Coefficient 5

Durée 4 h

Feuillet . 3 / 15.

**SCIENCES APPLIQUEES**

1.1) Donner un nom français à cette porte logique



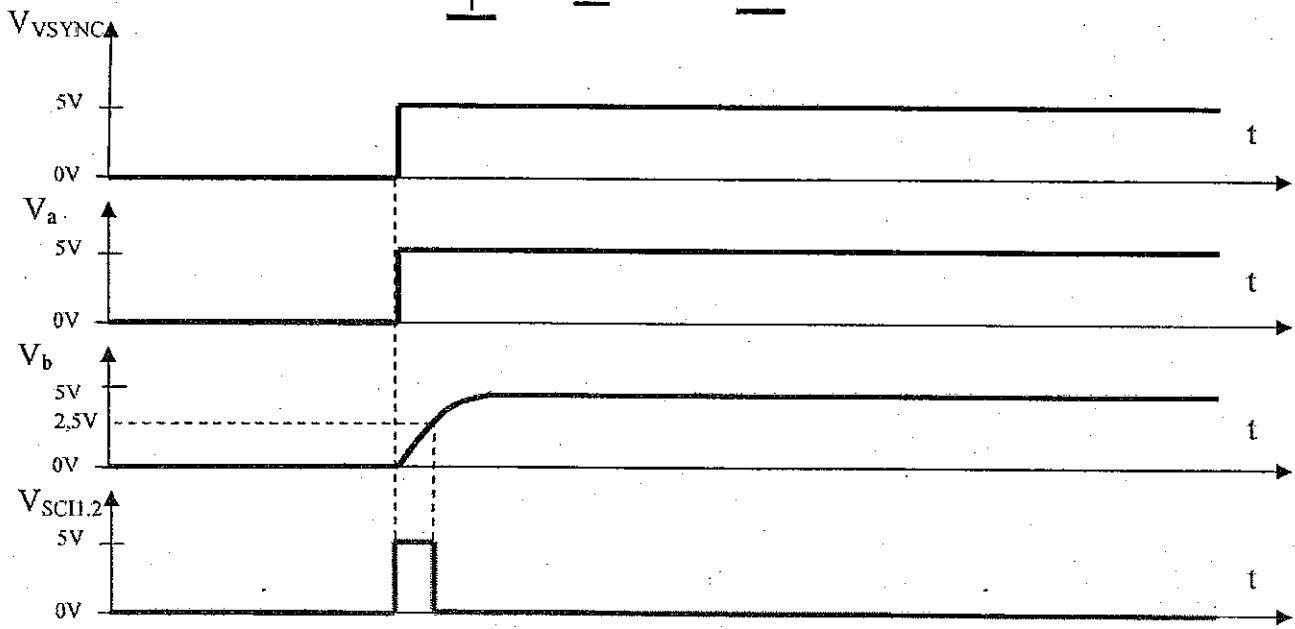
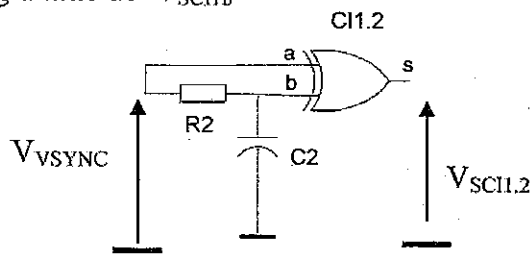
nom : **OU EXCLUSIF**

1.2) Compléter sa table de vérité

a	b	s
0	0	0
0	1	1
1	0	1
1	1	0

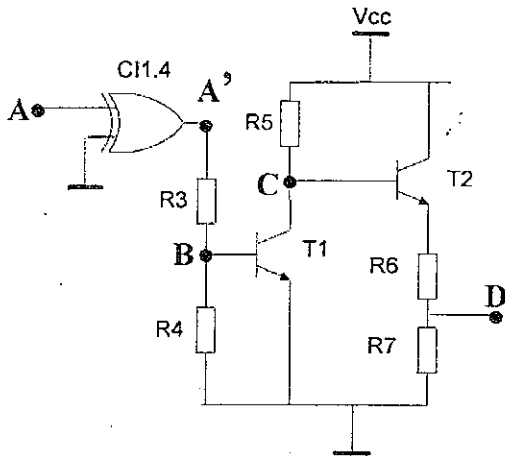
1.3) La structure R2, C2, CI1.2 permet de générer une impulsion lorsque leur entrée passe de l'état bas à l'état haut. La technologie utilisée pour CI1 est la famille CMOS, de ce fait le seuil de commutation est à  $V_{CC}/2$  (donc 2.5V dans notre cas). La cellule R2, C2 retarde  $V_{VSYNC}$  en b.

Compléter le chronogramme de  $V_{SCHI.2}$



GROUPEMENT ACADEMIQUE EST SESSION 2003			
SPECIALITE CAP EQUIPEMENT CONNECTIQUE CONTRÔLE			
EPREUVE <b>EP2</b>	Coefficient 5	Durée 4 h	Feuillet 4 / 15

## 2.1 Etude de l'adaptation d'impédance



T1 et T2 fonctionnent en bloqué / saturé.  
 Un niveau haut sur la base  $\rightarrow$  Transistor Saturé /  $V_{CE} = 0V$   
 Un niveau bas sur la base  $\rightarrow$  Transistor Bloqué /  $V_{CE} = V_{CC}$

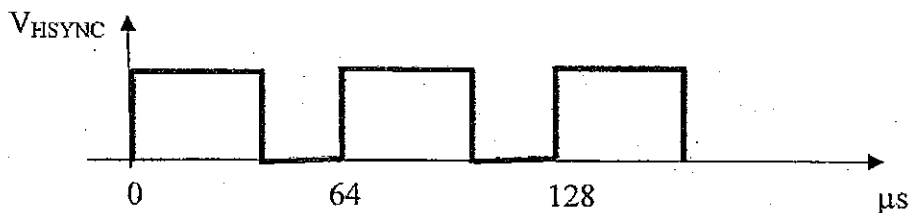
### 2.1.1 Remplir le tableau de fonctionnement

$V_A$ (0 ou 1)	$V_{A'}$ (0 ou 1)	$V_B$ (0 ou 1)	Etat de T1 (Bloqué ou Saturé)	$V_C$ (0 ou 1)	Etat de T2 (Bloqué ou Saturé)	$V_D$ (0 ou 1)
0	0	0	B	1	S	1
1	1	1	S	0	B	0

### 2.1.2 Donner la fonction logique réalisée par cette structure ?

- fonction inverseuse

### 2.1.3 Le signal de synchronisation verticale $V_{HSYNC}$ à l'allure du signal ci-dessous :



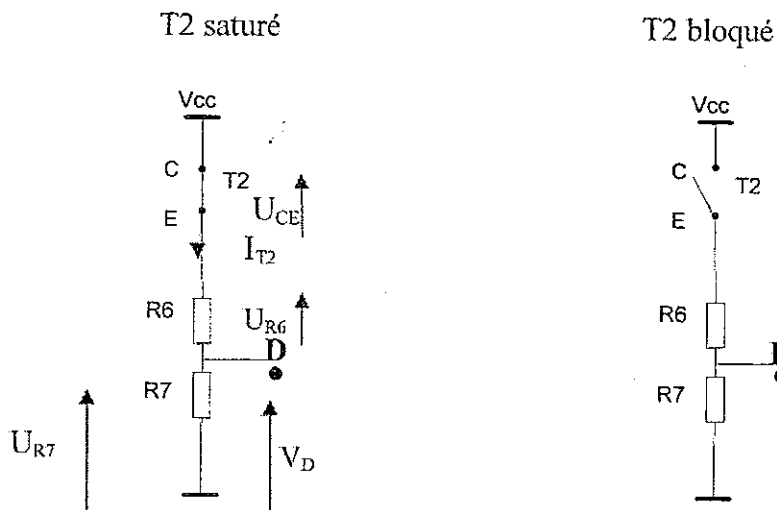
En déduire la fréquence de ce signal.

-  $1 / 64 \mu s = 15625 \text{ Hz}$

GROUPEMENT ACADEMIQUE EST SESSION 2003			
SPECIALITE CAP EQUIPEMENT CONNECTIQUE CONTRÔLE			
EPREUVE	EP2	Coefficient 5	Durée 4 h
		Feuillet 5 / 15	

## 2.2 Etude de l'étage de sortie

### Modèle simplifié de l'étage de sortie



2.2.1 Flécher les DDP et intensité de courant de  $V_{CC}$ ,  $U_{CE2}$ ,  $U_{R6}$ ,  $U_{R7}$ ,  $V_D$  et  $I_{T2}$  sur le schémas de gauche (T2 bloqué).

2.2.2  $V_{CC} = 5 \text{ V}$ , calculer par la méthode de votre choix  $I_{T2}$  puis  $V_D$  lorsque T2 est saturé.

$$- V_{CC} - U_{CE} - R_6 \cdot I_{T2} - R_7 \cdot I_{T2}$$

$$\frac{V_{CC} - U_{CE}}{R_6 + R_7} = I_{T2} = 53,19 \text{ mA}$$

$$V_D = U_{R7} = R_7 \cdot I_{T2} \approx 2,50 \text{ V}$$

2.2.3 Calculer la puissance dissipée par la résistance  $R_7$ .

$$- P_{R7} = R_7 \cdot I_{T2}^2 = 132,97 \text{ mW}$$

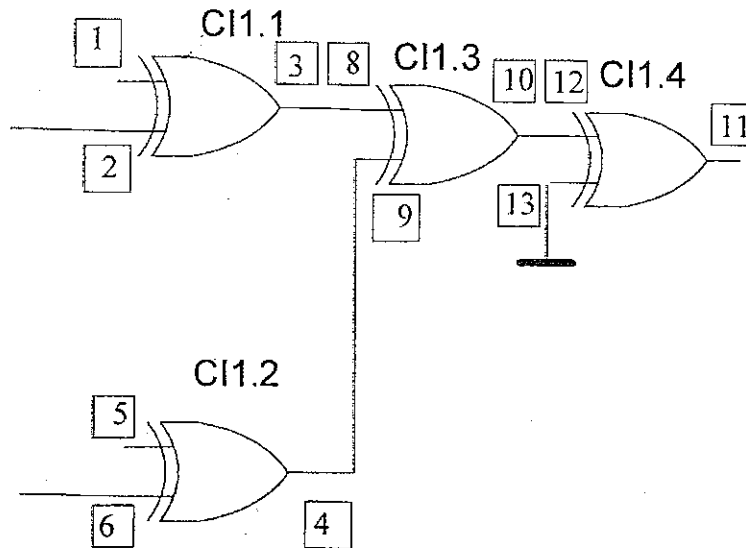
2.2.4 Faire le choix technologique de cette résistance.

- Série E12 1/4 W 47  $\Omega$

GROUPEMENT ACADÉMIQUE EST SESSION 2003			
SPECIALITÉ CAP ÉQUIPEMENT CONNECTIQUE CONTRÔLE			
ÉPREUVE	EP2	Coefficient 5	Durée 4 h
		Feuille 6 / 15	

## TECHNOLOGIE

1.1 A l'aide du document constructeur du HEF4030, repérer sur le schéma ci-dessous le numéro des broches de CII.



1.2 On souhaite réaliser le convertisseur en technologie mixte (composant classique et CMS), donner la référence CMS de CII en vous servant de la documentation constructeur.

- HEF 4030 BT (D)

1.3 D'après la documentation constructeur, trouver la valeur de  $\beta_{\text{mini}}$  ( $H_{FE}$ ) de T1, la valeur de  $V_{\text{CESAT}}$  et de  $V_{\text{BESAT}}$  lorsque  $I_B=5 \text{ mA}$ .

$$\beta_{\text{mini}} = 420$$

$$V_{\text{CESAT}} = 200 \text{ mV}$$

$$V_{\text{BESAT}} = 900 \text{ mV}$$

1.4 Donner les 4 couleurs de marquage de R3 à 5%

- ROUGE ROUGE ROUGE OR

1.5 Donner le code de marquage littéral ( 3 chiffres ) pour R8 dans le cas d'un composant CMS.

Marquage : 121

GROUPEMENT ACADEMIQUE EST    SESSION 2003			
SPECIALITE    CAP EQUIPEMENT CONNECTIQUE    CONTRÔLE			
EPREUVE <b>EP2</b>	Coefficient 5	Durée 4 h	Feuillet 7 / 15

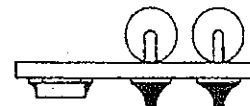


1.6 Choix du condensateur C1.

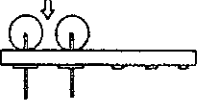
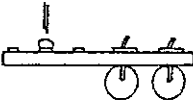
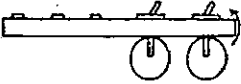

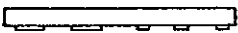
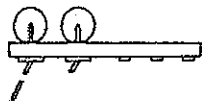
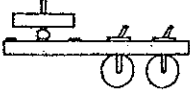
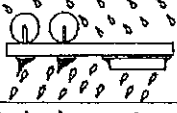
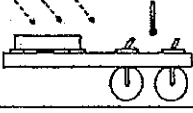
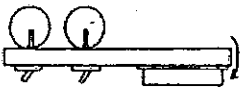
Dans les propositions ci-dessous, cochez la ou les bonnes réponses.

Electrochimique 22 $\mu$ F / 16 V	Céramique 22 $\mu$ F / 250 V	Electrochimique 22 $\mu$ F / 25 V	Céramique 22 $\mu$ F / 16 V	Plastique 22nF / 16 V
<b>X</b>		<b>X</b>		

1.7 Conception d'une carte à circuit imprimé mixte CMS dessous (composant classique et CMS).



Mettre dans l'ordre les différentes étapes de réalisation

	<i>Insertion des composants conventionnels</i>	<b>2</b>
	<i>Application de l'adhésif</i>	<b>5</b>
	<i>Retournement du substrat</i>	<b>4</b>
	<i>Soudage à la vague</i>	<b>9</b>
	<i>Préparation du substrat</i>	<b>1</b>
	<i>Coupe et pliage des pattes de sortie</i>	<b>3</b>
	<i>Placement des CMS</i>	<b>6</b>
	<i>Nettoyage de la crème à souder</i>	<b>10</b>
	<i>Polymérisation de la colle</i>	<b>7</b>
	<i>Retournement du substrat</i>	<b>8</b>

GROUPEMENT ACADEMIQUE EST    SESSION 2003			
<b>SPECIALITE    CAP EQUIPEMENT CONNECTIQUE CONTRÔLE</b>			
EPREUVE <b>EP2</b>	Coefficient 5	Durée 4 h	Feuillet 8 / 15

**NPN general purpose transistors**

**BC546; BC547**

**FEATURES**

- Low current (max. 100 mA)
- Low voltage (max. 65 V).

**APPLICATIONS**

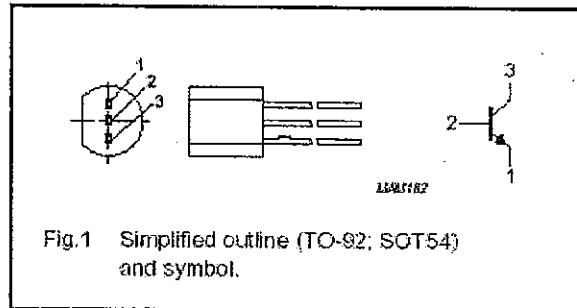
- General purpose switching and amplification.

**DESCRIPTION**

NPN transistor in a TO-92; SOT54 plastic package.  
PNP complements: BC556 and BC557.

**PINNING**

PIN	DESCRIPTION
1	emitter
2	base
3	collector



**LIMITING VALUES**

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V <sub>CB0</sub>	collector-base voltage	open emitter			
	BC546		-	80	V
	BC547		-	50	V
V <sub>CEO</sub>	collector-emitter voltage	open base			
	BC546		-	65	V
	BC547		-	45	V
V <sub>EB0</sub>	emitter-base voltage	open collector			
	BC546		-	6	V
	BC547		-	6	V
I <sub>C</sub>	collector current (DC)		-	100	mA
I <sub>CM</sub>	peak collector current		-	200	mA
I <sub>BM</sub>	peak base current		-	200	mA
P <sub>tot</sub>	total power dissipation	T <sub>amb</sub> ≤ 25 °C; note 1	-	500	mW
T <sub>stg</sub>	storage temperature		-65	+150	°C
T <sub>j</sub>	junction temperature		-	150	°C
T <sub>amb</sub>	operating ambient temperature		-65	+150	°C

**Note**

1. Transistor mounted on an FR4 printed-circuit board.

GROUPEMENT ACADEMIQUE EST SESSION 2003			
SPECIALITE CAP EQUIPEMENT CONNECTIQUE CONTRÔLE			
EPREUVE	<b>EP2</b>	Coefficient 5	Durée 4 h
		Feuille	9 / 15

## THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	CONDITIONS	VALUE	UNIT
$R_{th(j-a)}$	thermal resistance from junction to ambient	note 1	0.25	K/mW

## Note

1. Transistor mounted on an FR4 printed-circuit board.

## CHARACTERISTICS

$T_j = 25^\circ\text{C}$  unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
$I_{CBO}$	collector cut-off current	$I_E = 0; V_{CB} = 30\text{ V}$	–	–	15	nA
		$I_E = 0; V_{CB} = 30\text{ V}; T_j = 150^\circ\text{C}$	–	–	5	$\mu\text{A}$
$I_{EBO}$	emitter cut-off current	$I_C = 0; V_{EB} = 5\text{ V}$	–	–	100	nA
$h_{FE}$	DC current gain BC546A BC546B; BC547B	$I_C = 10\ \mu\text{A}; V_{CE} = 5\text{ V};$ see Figs 2, 3 and 4	–	90	–	
			–	150	–	
			–	–	–	
	DC current gain BC546A BC546B; BC547B BC547C BC547 BC546	$I_C = 2\text{ mA}; V_{CE} = 5\text{ V};$ see Figs 2, 3 and 4	110	180	220	
			200	290	450	
420			520	800		
110			–	800		
110	–	450				
$V_{CEsat}$	collector-emitter saturation voltage	$I_C = 10\text{ mA}; I_B = 0.5\text{ mA}$	–	90	250	mV
		$I_C = 100\text{ mA}; I_B = 5\text{ mA}$	–	200	600	mV
$V_{BEsat}$	base-emitter saturation voltage	$I_C = 10\text{ mA}; I_B = 0.5\text{ mA};$ note 1	–	700	–	mV
		$I_C = 100\text{ mA}; I_B = 5\text{ mA};$ note 1	–	900	–	mV
$V_{BE}$	base-emitter voltage	$I_C = 2\text{ mA}; V_{CE} = 5\text{ V};$ note 2	580	660	700	mV
		$I_C = 10\text{ mA}; V_{CE} = 5\text{ V}$	–	–	770	mV
$C_c$	collector capacitance	$I_E = I_B = 0; V_{CB} = 10\text{ V}; f = 1\text{ MHz}$	–	1.5	–	pF
$C_e$	emitter capacitance	$I_C = I_E = 0; V_{EB} = 0.5\text{ V}; f = 1\text{ MHz}$	–	11	–	pF
$f_T$	transition frequency	$I_C = 10\text{ mA}; V_{CE} = 5\text{ V}; f = 100\text{ MHz}$	100	–	–	MHz
F	noise figure	$I_C = 200\ \mu\text{A}; V_{CE} = 5\text{ V};$ $R_S = 2\text{ k}\Omega; f = 1\text{ kHz}; B = 200\text{ Hz}$	–	2	10	dB

## Notes

1.  $V_{BEsat}$  decreases by about 1.7 mV/K with increasing temperature.
2.  $V_{BE}$  decreases by about 2 mV/K with increasing temperature.

GROUPEMENT ACADEMIQUE EST SESSION 2003

SPECIALITE CAP EQUIPEMENT CONNECTIQUE CONTRÔLE

EPREUVE **EP2**

Coefficient 5

Durée 4 h

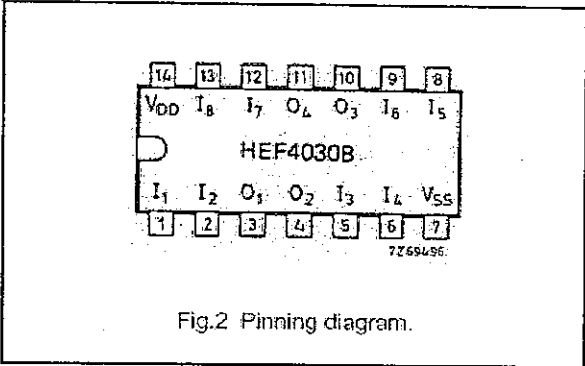
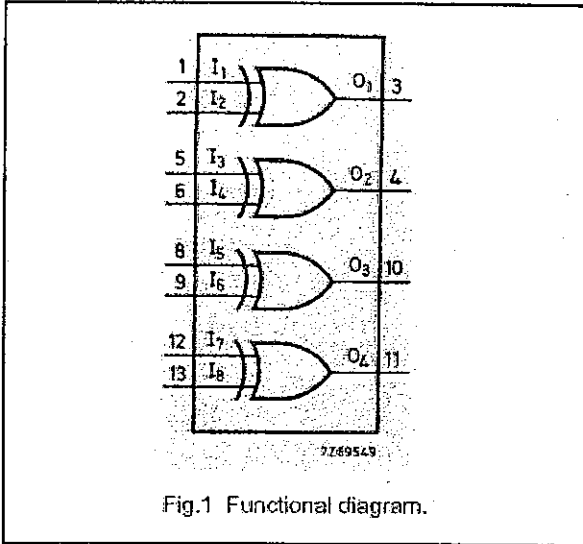
Feuillet 10 / 15

# Quadruple exclusive-OR gate

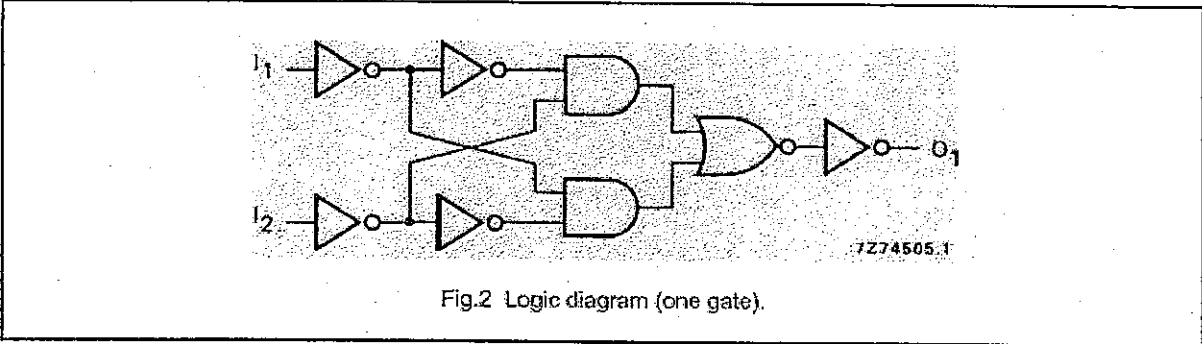
# HEF4030B gates

### DESCRIPTION

The HEF4030B provides the positive quadruple exclusive-OR function. The outputs are fully buffered for highest noise immunity and pattern insensitivity of output impedance.



- HEF4030BP(N): 14-lead DIL; plastic (SOT27-1)
- HEF4030BD(F): 14-lead DIL; ceramic (cerdip) (SOT73)
- HEF4030BT(D): 14-lead SO; plastic (SOT108-1)
- ( ): Package Designator North America



### TRUTH TABLE

I <sub>1</sub>	I <sub>2</sub>	O <sub>1</sub>
L	L	L
H	L	H
L	H	H
H	H	L

### FAMILY DATA, I<sub>DD</sub> LIMITS category GATES

See Family Specifications

### Notes

1. H = HIGH state (the more positive voltage)
- L = LOW state (the less positive voltage)

GROUPEMENT ACADEMIQUE EST				SESSION 2003	
SPECIALITE CAP EQUIPEMENT CONNECTIQUE CONTRÔLE					
EPREUVE	EP2	Coefficient 5	Durée 4 h	Feuille 11 / 15	

GROUPEMENT ACADEMIQUE EST SESSION 2003

SPECIALITE **CAP EQUIPEMENT CONNECTIQUE CONTRÔLE**

EPREUVE **EP2**

Coefficient **5**

Durée **4 h**

Feuillet 12 / 15