

Documents autorisés : PORTALP Dossier Technique + Dossier Constructeur

Attention !! Tout type de calculatrice interdit

Notes aux candidats :

- Cette épreuve est basée sur l'analyse fonctionnelle de la porte automatique.
- Les questions sont indépendantes et peuvent être traitées dans n'importe quel ordre.
- Toutes les réponses seront faites sur le sujet qui sera rendu en sa totalité.
- Le tout sera agrafé à la copie d'examen dûment renseignée et anonymée.

Barème indicatif :

1) Le système :

- 1.1) / 5,0 pts
- 1.2.a) / 1,5 pts
- 1.2.b) / 1,5 pts
- 1.3) / 4,5 pts
- 1.4) / 1,5 pts
- 1.5.a) / 1,0 pts
- 1.5.b) / 1,0 pts
- 1.5.c) / 1,0 pts
- 1.6.a) / 4,0 pts
- 1.6.b) / 2,0 pts
- 1.6.c) / 2,0 pts
- 1.7) / 1,0 pts
- 1.8.a) / 1,0 pts
- 1.8.b) / 4,0 pts
- 1.9) / 1,0 pts

2) Analyse de FP1 :

- 2.1) / 3,0 pts
- 2.2) / 1,0 pts
- 2.3) / 4,0 pts
- 2.4.a) / 2,0 pts
- 2.4.b) / 2,0 pts

3) Analyse de FP5 :

- 3.1) / 4,0 pts
- 3.2) / 5,0 pts
- 3.3.a) / 2,0 pts
- 3.3.b) / 2,0 pts
- 3.4.a) / 1,0 pts
- 3.4.b) / 1,0 pts
- 3.5.a) / 1,0 pts
- 3.5.b) / 1,0 pts

4) Analyse de FP6 :

..... / 6,0 pts

5) Analyse de FP7 :

- 5.1) / 3,0 pts
- / 2,0 pts
- 5.2) / 1,0 pts
- 5.3) / 1,0 pts
- 5.4.a) / 1,0 pts
- 5.4.b) / 1,0 pts
- 5.5.c) / 3,0 pts
- 5.5.d) / 1,0 pts

NOTE

/ 80

NOTE

/ 20

Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2	Durée : 4 h.	Coefficient : 4	Page 1 / 18

EPREUVE E.P.2 :

Analyse Technologique d'un système Technique

1- LE SYSTEME TECHNIQUE

1.1 Indiquer, dans le tableau ci-dessous, le nom et la fonction des éléments du bandeau supérieur de la porte.

REPERE	NOM	FONCTION
0		
5		
6		
8		
9		

1.2 La fonction d'usage du système technique est la suivante :

« Assurer l'ouverture ou la fermeture automatique d'une porte après détection de la présence d'un individu et prise en compte des consignes préalablement mémorisées .»

a) Préciser de quelles consignes il s'agit.

.....

.....

.....

.....

.....

Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2	Durée : 4 h.	Coefficient : 4	Page 2 / 18

b) Nommer les éléments permettant de mémoriser ces consignes et indiquer où ils se situent.

.....

.....

.....

1.3 Compléter le tableau ci-dessous, en notant le comportement* de la porte dans les différentes situations proposées. (situation initiale : la porte est fermée).

* Par comportement de la porte, on entend :

La porte s'ouvre - La porte se ferme - La porte reste ouverte - La porte reste fermée.

Mode de Fonctionnement validé : / Individu...	Déecté par le radar à l'extérieur du local	Déecté par le radar à l'intérieur du local	Actionne le BP OPRIO
Mode sortie			La porte s'ouvre
Mode automatique			La porte s'ouvre
Mode fermé			

1.4 Préciser la position des mini-interrupteurs 1 , 2 et 3 (ON, OFF ou encore X si leur position est indifférente) dans le cas où le responsable d'accès configure son système de la façon suivante :

- Ouverture maximale du vantail de la porte.
- Fermeture « anti-panique » validée

.....

.....

.....

1.5 Une coupure secteur survient (le système est toujours configuré comme indiqué à la question 1-4-) :

a) Indiquer le sens de déplacement de la porte

.....

.....

.....

b) Lorsque la porte aura atteint sa position finale (« Fin de Course » atteint), citer un moyen permettant de faire à nouveau « bouger » le vantail.

.....

.....

.....

Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2	Durée : 4 h.	Coefficient : 4	Page 3 / 18

- c) Lorsqu'une coupure secteur survient, une batterie alimente le système pendant 20 secondes (réarmement possible). Expliquer pourquoi ce choix, fait par le constructeur, est judicieux.

.....

.....

.....

.....

1.6 Analyse de l'algorithme de fonctionnement

- a) Un premier obstacle a déjà été détecté en phase de fermeture (N =1). La porte se referme à nouveau et l'obstacle est toujours présent : numéroté alors, sur l'algorithme (DR1 page 10), les actions successives qui vont se dérouler.

Attention : toutes les cases ne sont pas à compléter !

- b) Justifier la présence et la valeur initiale de la variable « N » (N = 2) dans cet algorithme.

.....

.....

.....

- c) Indiquer les situations physiques qui entraînent une « disjonction de la porte » lorsque le système est alimenté par le réseau EDF.

.....

.....

.....

.....

- 1.7 Citer le nom de l'élément qui permet d'éviter que la porte ne deviennent manœuvrable à la main en cas de « disjonction ».

.....

- 1.8 Les temporisations d'ouverture ont été réglées de la façon suivante :

temporisation 1 : 4 secondes - temporisation 2 : 8 secondes

- a) Nommer les éléments permettant d'effectuer ces réglages.

.....

.....

Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2	Durée : 4 h.	Coefficient : 4	Page 4 / 18

- b) Compléter le tableau (calcul de la durée de la phase d'ouverture selon les différentes situations envisagées).

Cas	Durée de la phase d'ouverture
Une personne se place devant l'interphone (INTERPH)	
Une personne arrive de l'extérieur	
Une personne arrive de l'intérieur	
Action pendant 3 secondes sur le BP OPRIO	

- 1.9 Citer le nom de l'élément qui permet d'éviter que le vantail ne se referme sur un individu qui se tiendrait entre les montants de la porte. Préciser où se situe cet élément.

.....

.....

.....

2- ANALYSE DE FP1

- 2.1 Sur le schéma structurel (DR2 page 11), Délimiter les fonctions secondaires réalisant FP1.

- 2.2 Indiquer le type d'ouverture sélectionnée si le commutateur TYPE OUV est sur la position 1 (voir schéma structurel).

.....

- 2.3 Dans le tableau ci-dessous, noter les états logiques des sorties Q0 à Q3 du circuit CD4017B ainsi que des grandeurs $\overline{\text{AUTO}}$, $\overline{\text{FERME}}$, $\overline{\text{OUVERT}}$, $\overline{\text{SORTIE}}$.

Préciser également le mode de fonctionnement validé.

Pour cela vous vous référerez à l'analyse fonctionnelle de degré 2 de FP1, aux documents constructeur des circuits CD4017B et CD4049 (pages 14à18) et au schéma structurel de FP1.

Action sur BP SEL	Q0	Q1	Q2	Q3	$\overline{\text{AUTO}}$	$\overline{\text{FERME}}$	$\overline{\text{OUVERT}}$	$\overline{\text{SORTIE}}$	Mode de fonctionnement validé
Situation initiale	0	0	1	0					
1 ^{er} appui									
2 ^{ème} appui									
3 ^{ème} appui									

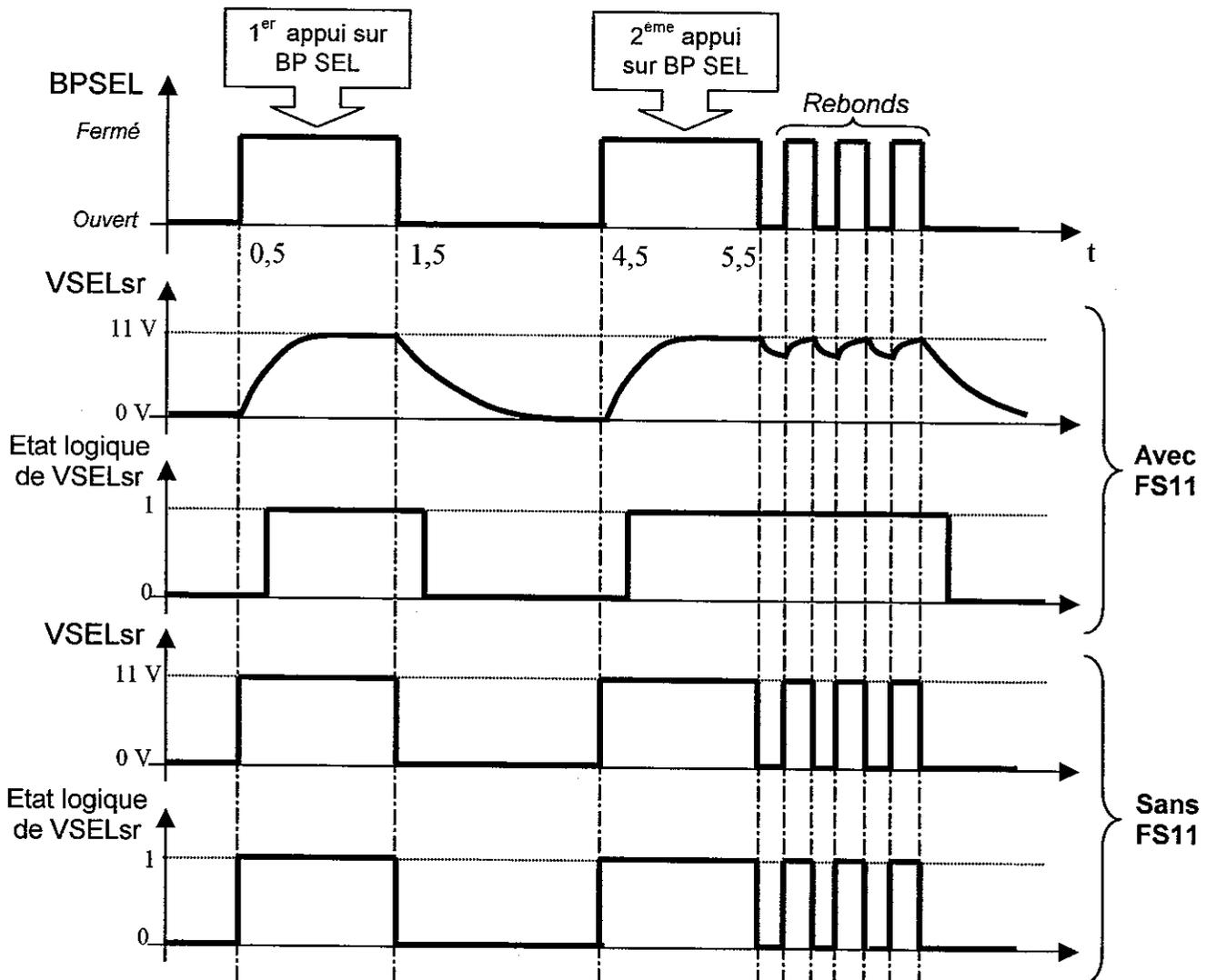
Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2	Durée : 4 h.	Coefficient : 4	Page 5 / 18

2.4 Intérêt de FS11 :

**Situation initiale : Mode de fonctionnement « ouvert » validé.
On appuie 2 fois de suite sur le BP SEL.**

a) Analyser les chronogrammes ci-dessous, puis indiquer le mode de fonctionnement obtenu :

- Si FS11 est présente :
- Si FS11 est absente :



b) Indiquer le dysfonctionnement mis en évidence en l'absence de FS11.

.....

.....

.....

.....

Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2	Durée : 4 h.	Coefficient : 4	Page 6 / 18

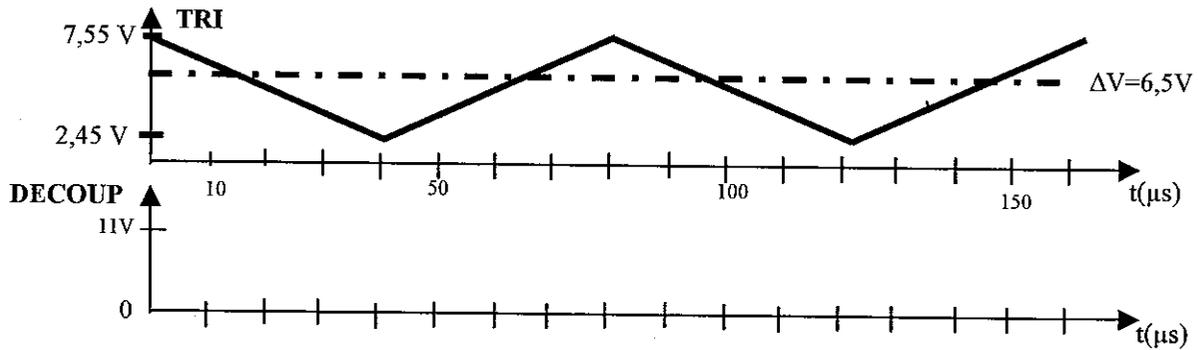
3- ANALYSE DE FP5

3.1 Sur le schéma structurel de FP5 (DR3 page 12) , encadrer les fonctions secondaires FS51, FS53, FS55 et FS56.

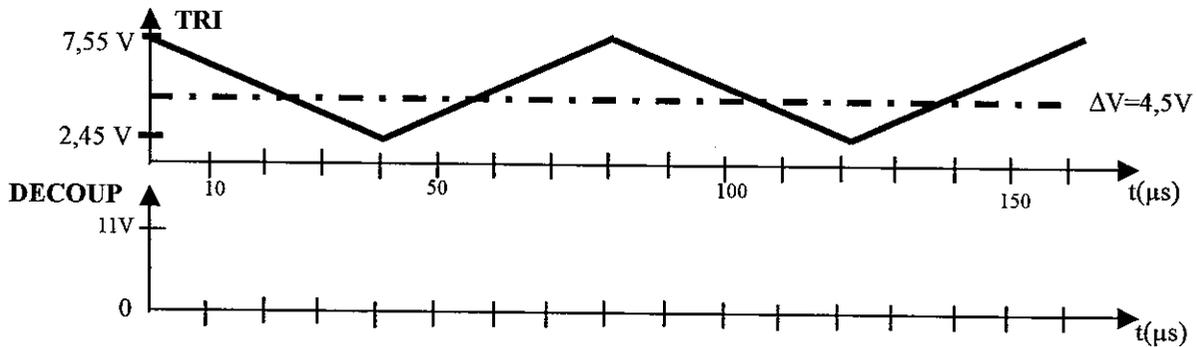
3.2 Tracer UDIST, connaissant UPOS et UCONS (DR4 page 13).

3.3 Tracer le chronogramme de DECOUP, connaissant TRI et ΔV dans les deux cas suivants :

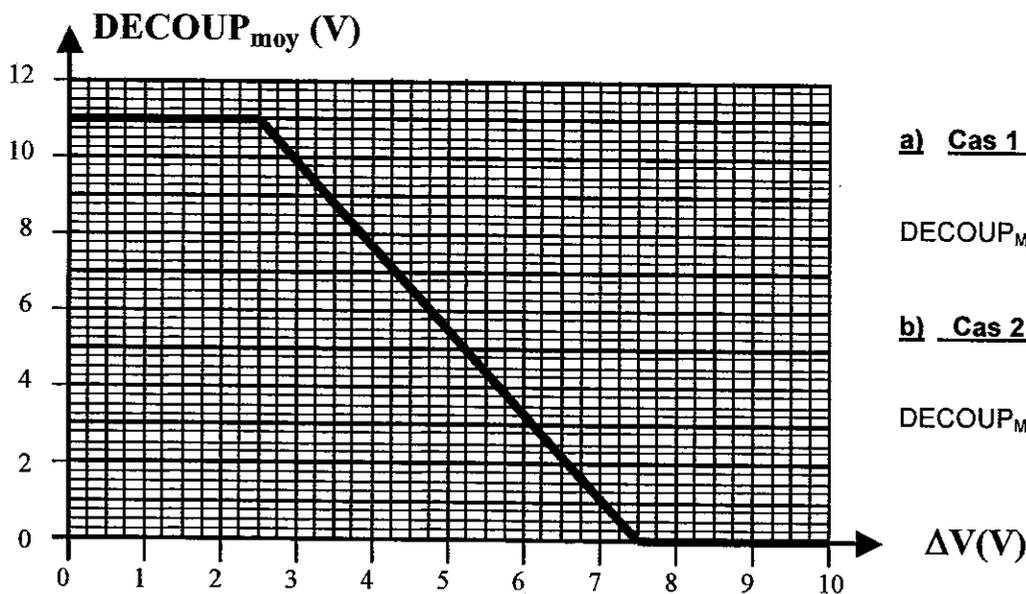
a) Cas 1 : $\Delta V = 6,5 V$



b) Cas 2 : $\Delta V = 4,5 V$



3.4 Analyser le graphe ci-dessous et déterminer la Valeur Moyenne du signal DECOUP dans les deux cas traités précédemment :



a) Cas 1 ($\Delta V = 6,5 V$) :

$DECOUP_{MOY} = \dots\dots\dots$

b) Cas 2 ($\Delta V = 4,5 V$) :

$DECOUP_{MOY} = \dots\dots\dots$

Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2	Durée : 4 h.	Coefficient : 4	Page 7 / 18

3.5 En déduire le sens de rotation du moteur dans chacun de ces deux cas :

a) Cas 1 ($\Delta V = 6,5 \text{ V}$):

b) Cas 2 ($\Delta V = 4,5 \text{ V}$):

4- ANALYSE DE FP6

Un cycle d'ouverture débute à l'instant $t = 0 \text{ s}$.

Pour chacun des instants figurant dans ce tableau, préciser si l'intensité du courant I_M circulant dans le moteur est maximale, minimale ou « de cycle ».

Refaire ce travail pour les valeurs de la tension $U_{REF_{IM}}$

C Y C L E D' O U V E R T U R E	Instants après le début du cycle	$U_{REF_{IM}}$	I_M
Phase d'ouverture <i>La porte commence à se refermer</i> Phase de fermeture La porte est fermée	$t = 0 \text{ s}$		
	0,2 s
	5 s
	15 s
	15,2 s
	20 s
	21 s

5- ANALYSE DE FP7

5.1 A partir de l'analyse fonctionnelle, compléter les 2 tableaux suivants (les calculs montrent que : $V_{SB} = 4,95 \text{ V}$ et $V_{SH} = 5,05 \text{ V}$).

UVIT	$UVIT_F$ (état logique)	Vitesse faible détectée (OUI - NON)
$UVIT < 4,95 \text{ V}$
$4,95 \text{ V} < UVIT < 5,05 \text{ V}$
$UVIT > 5,05 \text{ V}$

SECU COURANT	$UVIT_F$ (état logique)	Présence d'un obstacle (OUI - NON)
0	0
0	1
1	0
1	1

Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2	Durée : 4 h.	Coefficient : 4	Page 8 / 18

5.2 Indiquer le nom du signal qui va commander la réouverture de la porte si un obstacle est présent pour la première fois en phase de fermeture.

.....

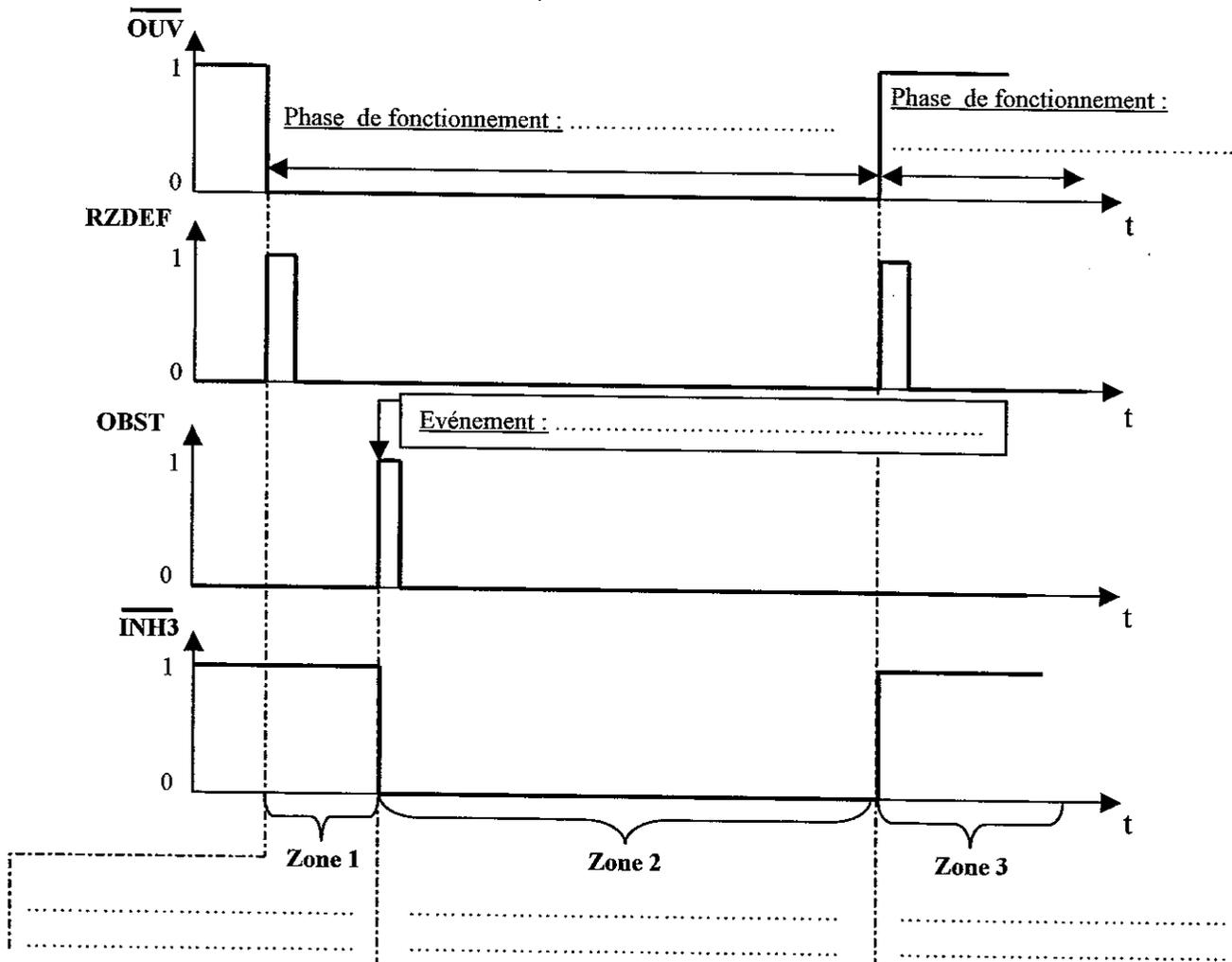
5.3 Indiquer le nom du signal qui va entraîner la disjonction de la porte si un obstacle est présent pour la deuxième fois (de suite) en phase de fermeture.

.....

5.4 Analyse des chronogrammes ci-dessous :

- a) Sur le chronogramme de \overline{OUV} , indiquer les phases de fonctionnement en cours.
- b) Sur le chronogramme de OBST, nommer l'événement qui se produit.
- c) Dans chacune des zones 1, 2 et 3, indiquer le mouvement ou l'état de la porte sachant que :

- Par « **mouvement** », on entend : la porte s'ouvre et reste ouverte ou la porte se ferme et reste fermée.
- Par « **état** », on entend : porte ouverte, porte fermée ou encore porte « disjonctée » (c'est à dire manœuvrable à la main).

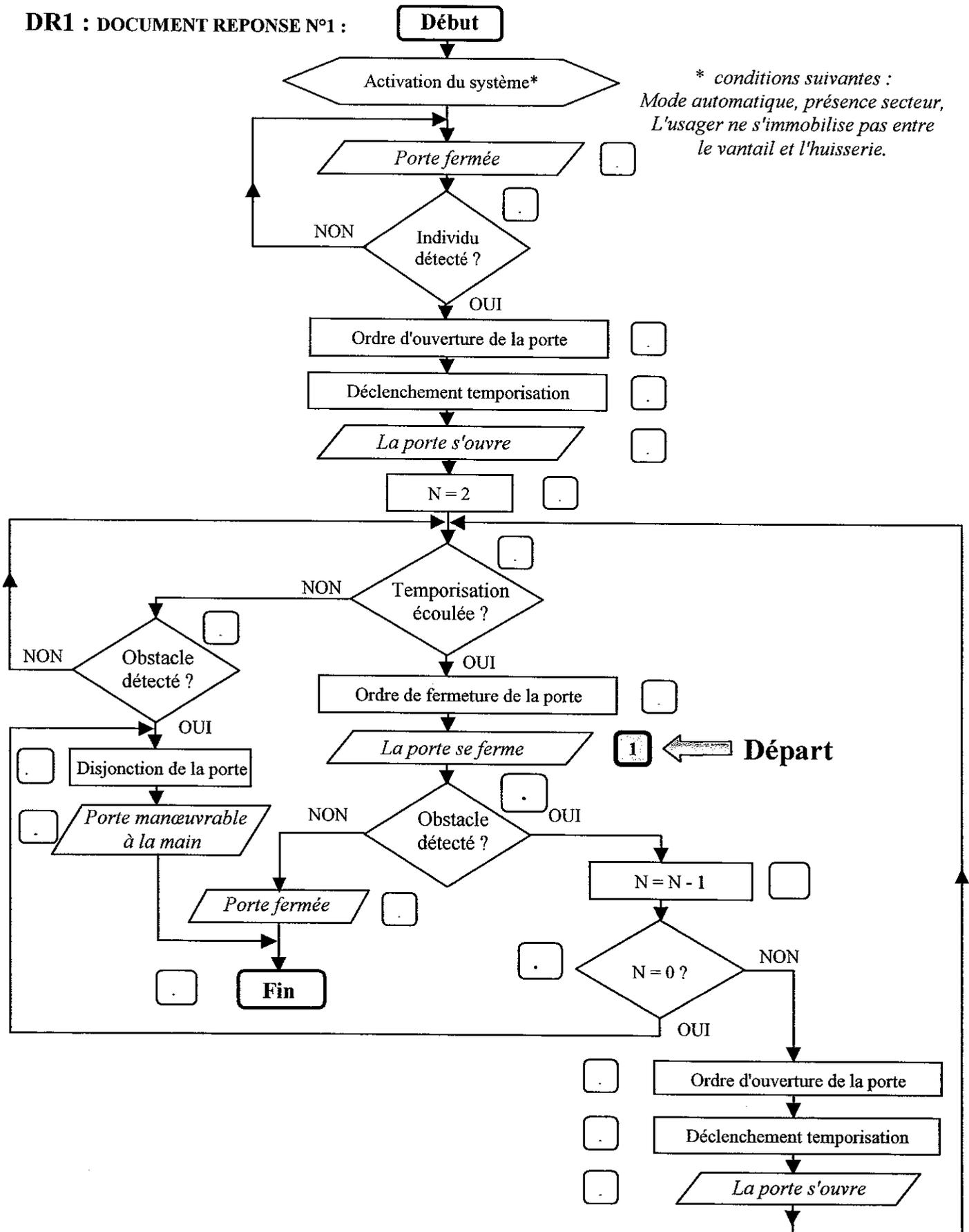


d) indiquer le dysfonctionnement illustré par ces chronogrammes par rapport au fonctionnement normal

.....

Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2	Durée : 4 h.	Coefficient : 4	Page 9 / 18

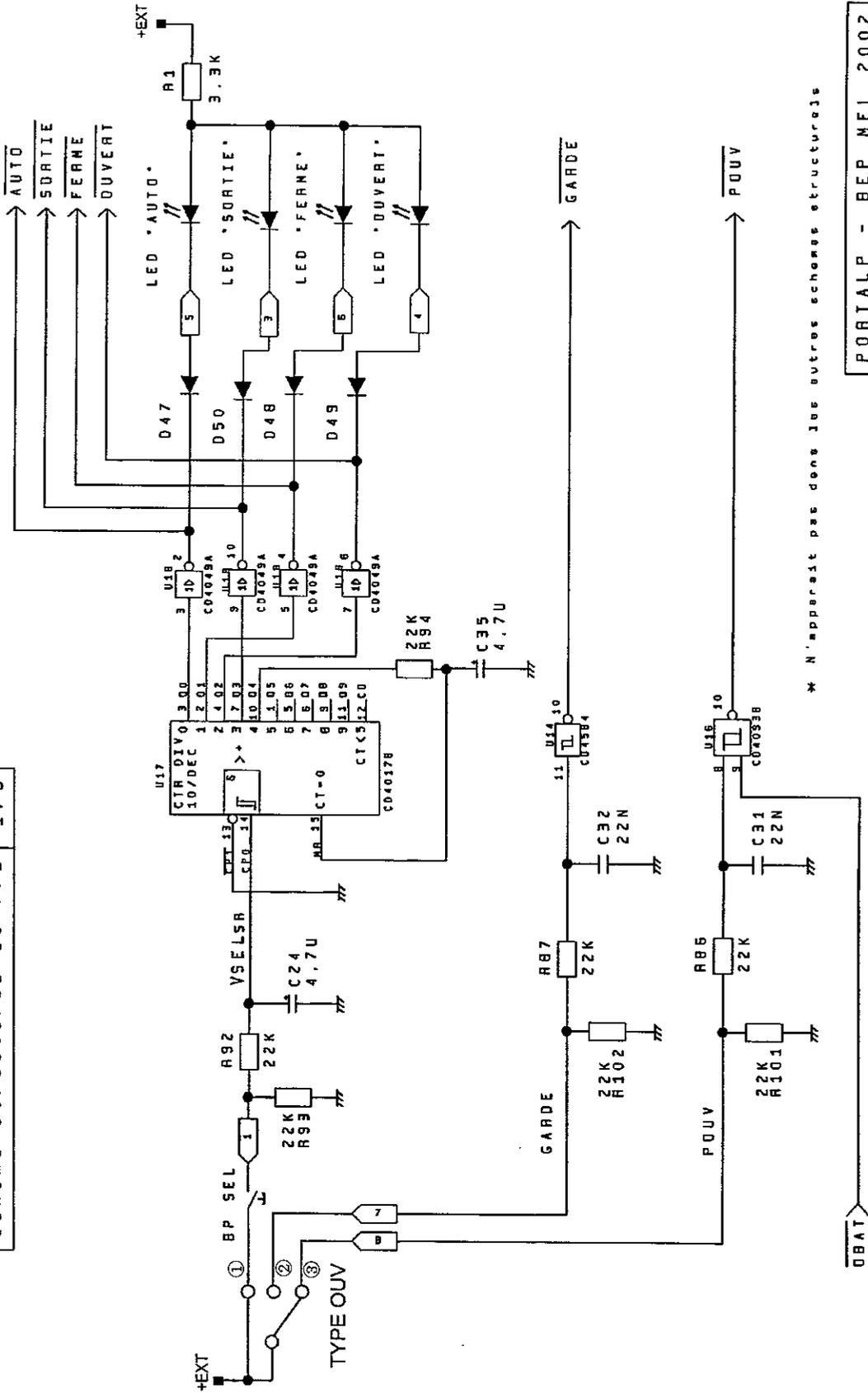
DR1 : DOCUMENT REPOSE N°1 :



Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2 (Sujet)	Durée : 4 h.	Coefficient : 4	Page 10 / 18

DR 2 : DOCUMENT REPOSE N°2 :

Schema structurel de FP1 1 / 9

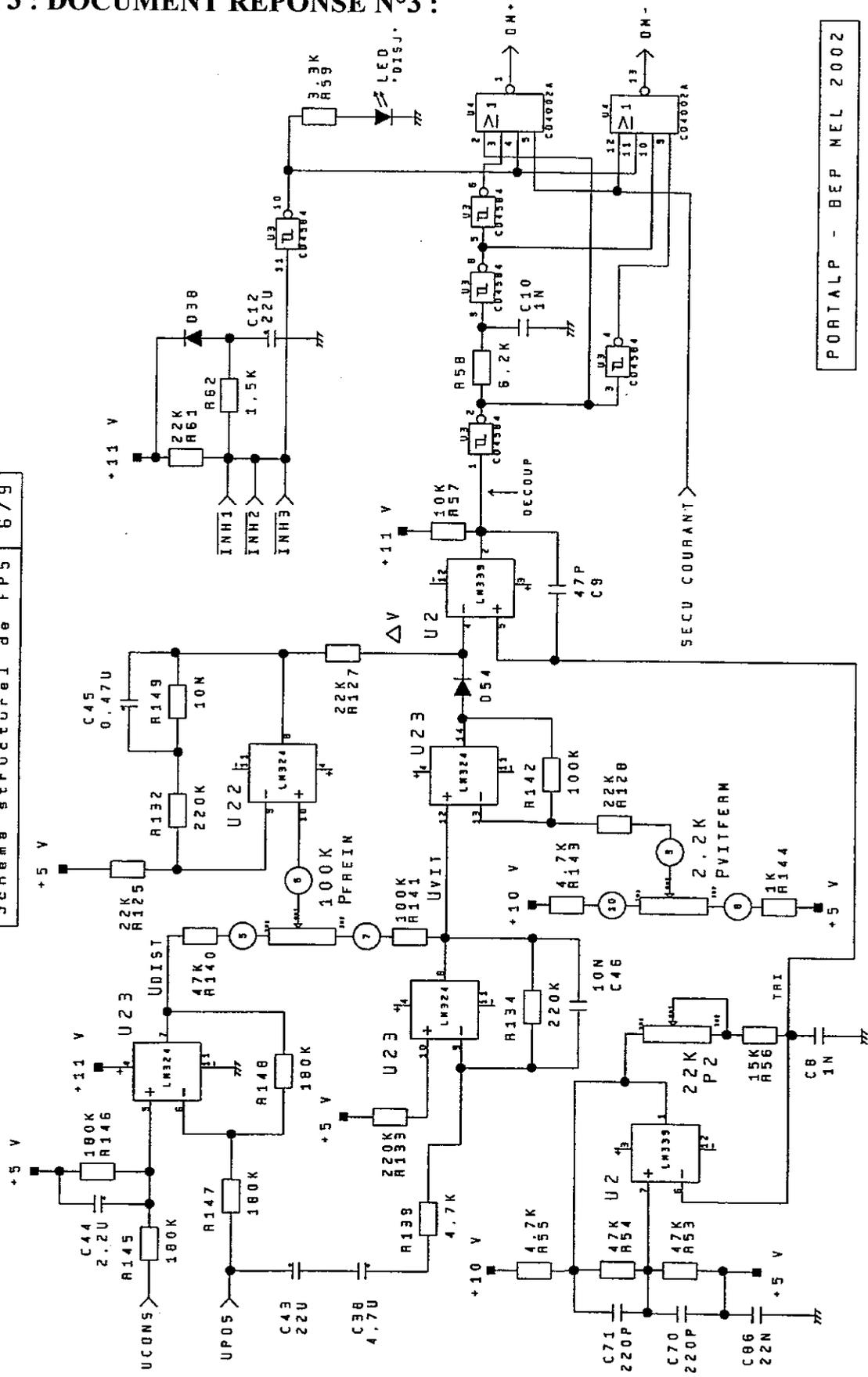


* N'apparait pas dans les autres schémas structurés

PORTALP - BEP MEL 2002

Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2 (Sujet)	Durée : 4 h.	Coefficient : 4	Page 11 / 18

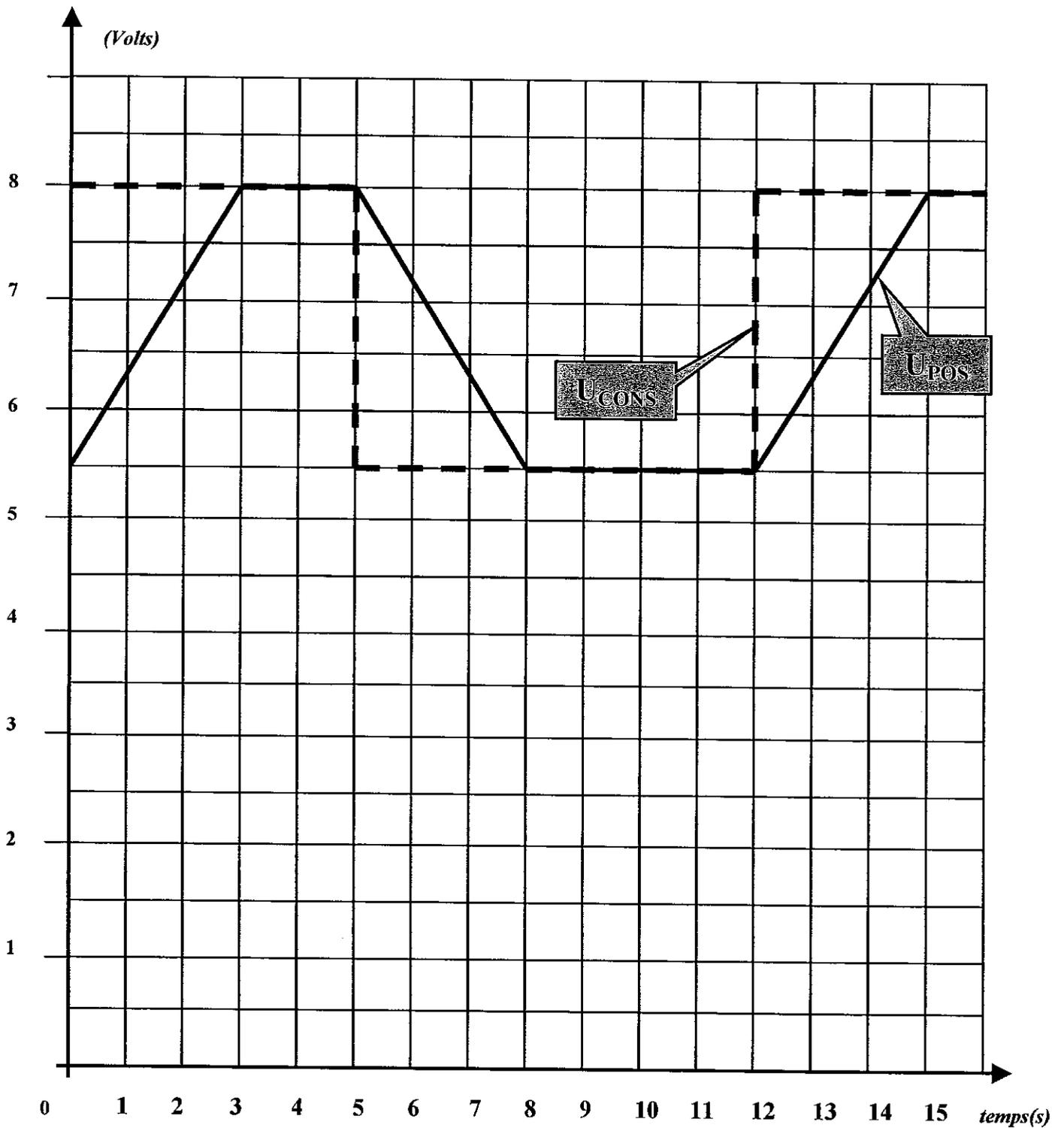
Schema structurel de FP5 6/9



PORTALP - BEP NEL 2002

Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2 (Sujet)	Durée : 4 h.	Coefficient : 4	Page 12 / 18

DR 4 : DOCUMENT REPONSE N°4 :



Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2 (Sujet)	Durée : 4 h.	Coefficient : 4	Page 13 / 18

CD4017BM/CD4017BC Decade Counter/Divider with 10 Decoded Outputs CD4022BM/CD4022BC Divide-by-8 Counter/Divider with 8 Decoded Outputs

General Description

The CD4017BM/CD4017BC is a 5-stage divide-by-10 Johnson counter with 10 decoded outputs and a carry out bit.

The CD4022BM/CD4022BC is a 4-stage divide-by-8 Johnson counter with 8 decoded outputs and a carry-out bit.

These counters are cleared to their zero count by a logical "1" on their reset line. These counters are advanced on the positive edge of the clock signal when the clock enable signal is in the logical "0" state.

The configuration of the CD4017BM/CD4017BC and CD4022BM/CD4022BC permits medium speed operation and assures a hazard free counting sequence. The 10/8 decoded outputs are normally in the logical "0" state and go to the logical "1" state only at their respective time slot. Each decoded output remains high for 1 full clock cycle. The carry-out signal completes a full cycle for every 10/8 clock input cycles and is used as a ripple carry signal to any succeeding stages.

Features

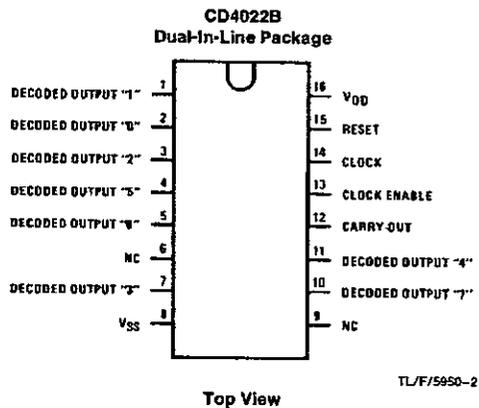
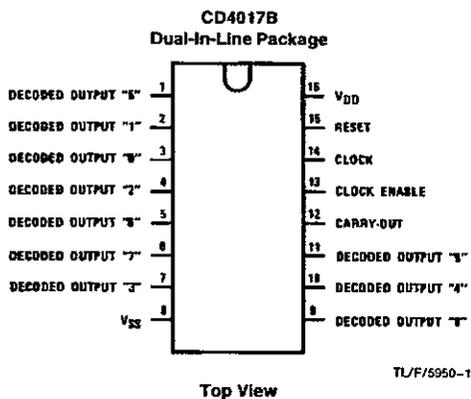
- Wide supply voltage range
- High noise immunity
- Low power
- TTL compatibility
- Medium speed operation
- Low power
- Fully static operation

3.0V to 15V
0.45 V_{DD} (typ.)
Fan out of 2 driving 74L
or 1 driving 74LS
5.0 MHz (typ.)
with 10V V_{DD}
10 μW (typ.)

Applications

- Automotive
- Instrumentation
- Medical electronics
- Alarm systems
- Industrial electronics
- Remote metering

Connection Diagrams



Order Number CD4017B or CD4022B

CD4017BM/CD4017BC Decade Counter/Divider with 10 Decoded Outputs
CD4022BM/CD4022BC Divide-by-8 Counter/Divider with 8 Decoded Outputs

Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2 (Sujet)	Durée : 4 h.	Coefficient : 4	Page 14 / 18

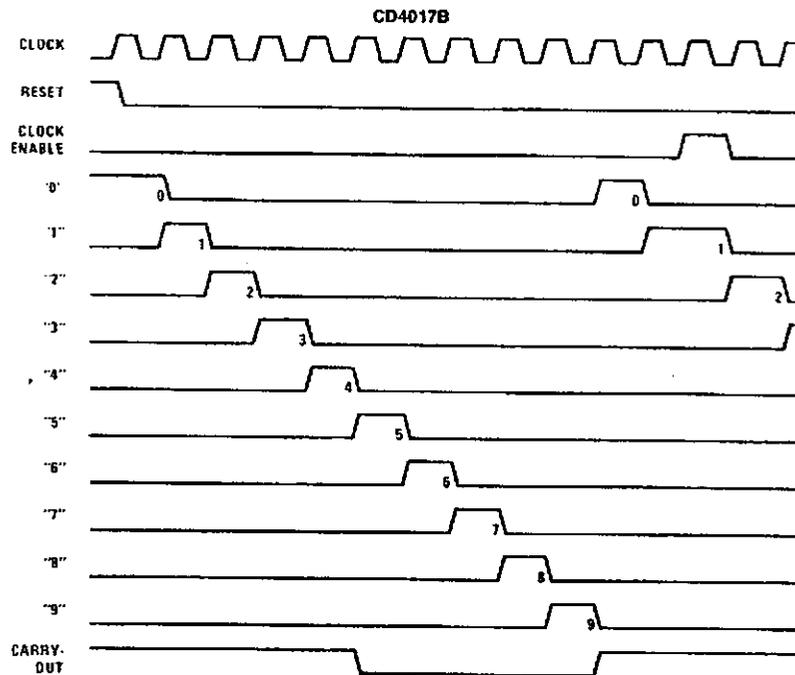
AC Electrical Characteristics*

$T_A = 25^\circ\text{C}$, $C_L = 50\text{ pF}$, $R_L = 200\text{ k}$, t_{rCL} and $t_{fCL} = 20\text{ ns}$, unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
RESET OPERATION						
$t_{PHL, PLH}$	Propagation Delay Time Carry Out Line	$V_{DD} = 5\text{V}$		415	800	ns
		$V_{DD} = 10\text{V}$		160	320	ns
		$V_{DD} = 15\text{V}$		130	250	ns
	Carry Out Line	$V_{DD} = 5\text{V}$	$C_L = 15\text{ pF}$	240	480	ns
		$V_{DD} = 10\text{V}$		85	170	ns
		$V_{DD} = 15\text{V}$		70	140	ns
	Decode Out Lines	$V_{DD} = 5\text{V}$		500	1000	ns
		$V_{DD} = 10\text{V}$		200	400	ns
		$V_{DD} = 15\text{V}$		160	320	ns
t_w	Minimum Reset Pulse Width	$V_{DD} = 5\text{V}$		200	400	ns
		$V_{DD} = 10\text{V}$		70	140	ns
		$V_{DD} = 15\text{V}$		55	110	ns
t_{REM}	Minimum Reset Removal Time	$V_{DD} = 5\text{V}$		75	150	ns
		$V_{DD} = 10\text{V}$		30	60	ns
		$V_{DD} = 15\text{V}$		25	50	ns

*AC Parameters are guaranteed by DC correlated testing.

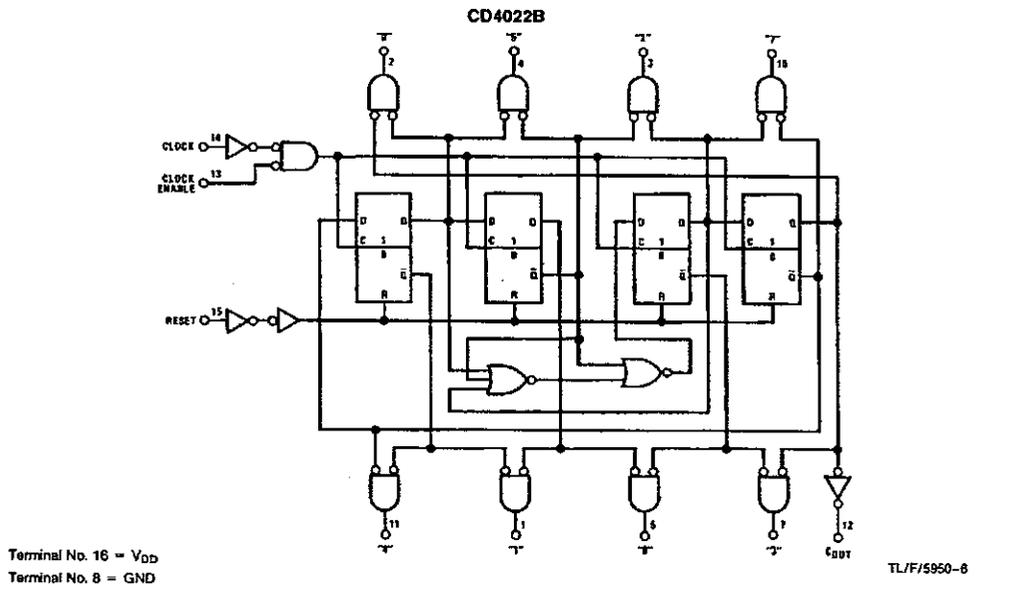
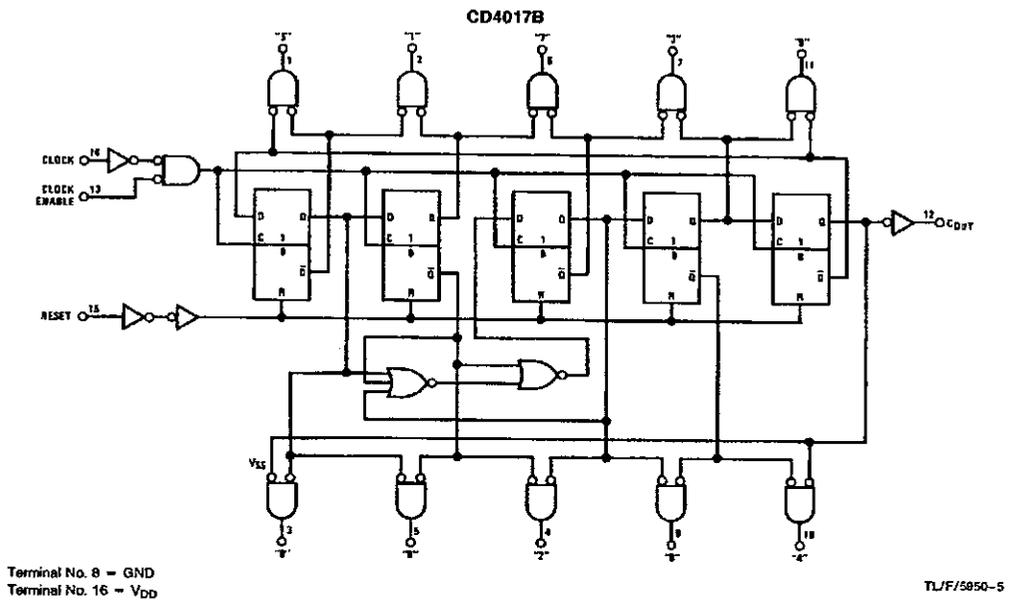
Timing Diagrams



TL/F5950-3

Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2 (Sujet)	Durée : 4 h.	Coefficient : 4	Page 15 / 18

Logic Diagrams



Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2 (Sujet)	Durée : 4 h.	Coefficient : 4	Page 16 / 18

CD4049UBM/CD4049UBC Hex Inverting Buffer CD4050BM/CD4050BC Hex Non-Inverting Buffer

General Description

These hex buffers are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. These devices feature logic level conversion using only one supply voltage (V_{DD}). The input signal high level (V_{IH}) can exceed the V_{DD} supply voltage when these devices are used for logic level conversions. These devices are intended for use as hex buffers, CMOS to DTL/TTL converters, or as CMOS current drivers, and at $V_{DD} = 5.0V$, they can drive directly two DTL/TTL loads over the full operating temperature range.

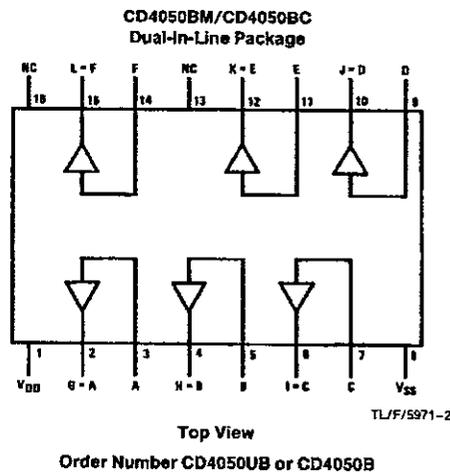
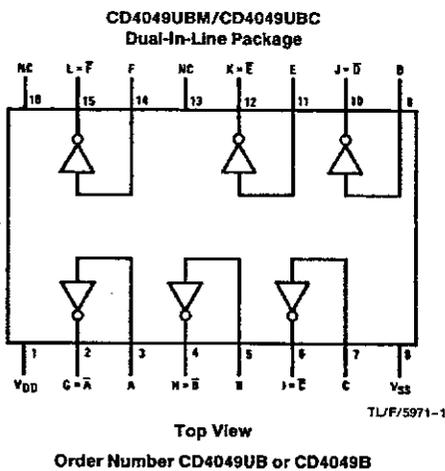
Features

- Wide supply voltage range 3.0V to 15V
- Direct drive to 2 TTL loads at 5.0V over full temperature range
- High source and sink current capability
- Special input protection permits input voltages greater than V_{DD}

Applications

- CMOS hex inverter/buffer
- CMOS to DTL/TTL hex converter
- CMOS current "sink" or "source" driver
- CMOS high-to-low logic level converter

Connection Diagrams

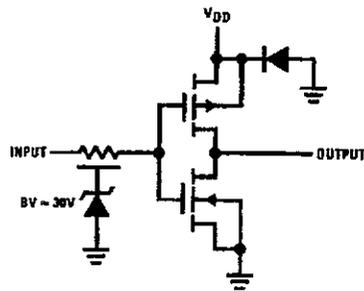


CD4049UBM/CD4049UBC Hex Inverting Buffer
CD4050BM/CD4050BC Hex Non-Inverting Buffer

Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2 (Sujet)	Durée : 4 h.	Coefficient : 4	Page 17 / 18

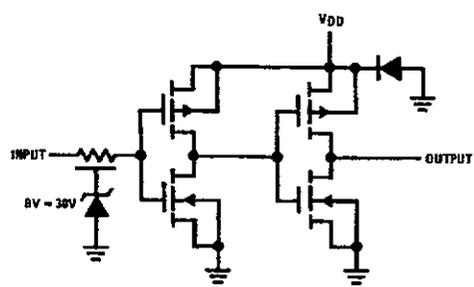
Schematic Diagrams

CD4049UBM/CD4049UBC
1 of 6 Identical Units



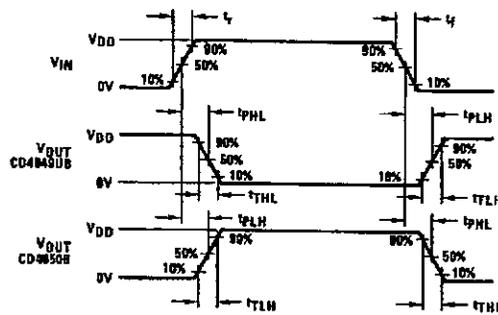
TL/F/5971-3

CD4050BM/CD4050BC
1 of 6 Identical Units



TL/F/5971-4

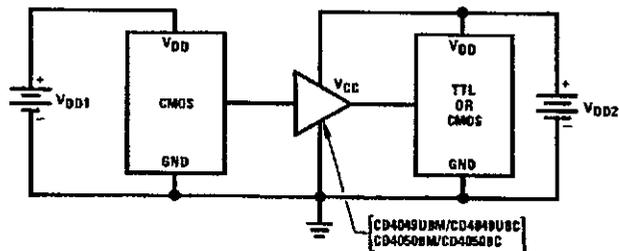
Switching Time Waveforms



TL/F/5971-5

Typical Applications

CMOS to TTL or CMOS at a Lower V_{DD}



Note: $V_{DD1} \geq V_{DD2}$

Note: In the case of the CD4049UBM/CD4049UBC the output drive capability increases with increasing input voltage. E.g., if $V_{DD1} = 10V$ the CD4049UBM/CD4049UBC could drive 4 TTL loads.

TL/F/5971-8

Groupement académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique			Secteur A : industriel
Epreuve écrite EP2 (Sujet)	Durée : 4 h.	Coefficient : 4	Page 18 / 18