

**BEP Métiers de l'électronique
EPREUVE EP3**

SESSION 2003

**ANALYSE DES STRUCTURES
ELECTRONIQUES
APPARTENANT
A UN OBJET TECHNIQUE**

Documents autorisés : Dossiers Technique et Constructeur PORTALP
Calculatrice

Notes aux candidats :

- Toutes les réponses seront faites sur le sujet qui sera rendu en sa totalité.
- Le tout sera agrafé à la copie d'examen dûment renseignée et anonymée.
- Cette épreuve est basée sur l'analyse structurelle de la porte automatique.
- Les 7 parties sont indépendantes et peuvent être traitées dans n'importe quel ordre.

Barème indicatif :

1) Etude de FS51 :
1.1) / 5,0 pts
1.2) / 3,0 pts
2) Etude de FS54 :
2.1) / 1,0 pts
2.2) / 1,5 pts
2.3) / 3,0 pts
2.4) / 0,5 pts
2.5) / 2,5 pts
2.6) / 1,5 pts
2.7) / 4,0 pts
2.8.a) / 1,5 pts
2.8.b) / 1,5 pts
3) Etude de FS62 :
3.1.a) / 3,0 pts
3.1.b) / 2,0 pts
3.2) / 4,0 pts
4) Etude de FS64 :
4.1) / 1,0 pts
4.2) / 2,0 pts
4.3) / 1,0 pts
4.4) / 2,0 pts

4.5.a) / 1,0 pts
4.5.b) / 1,0 pts
4.5.c) / 2,0 pts
4.6.a) / 1,0 pts
4.6.b) / 1,0 pts
4.6.c) / 1,0 pts
4.6.d) / 2,0 pts
5) Analyse de FS71 :
5.1) / 6,0 pts
5.2.a) / 3,0 pts
5.2.b) / 2,0 pts
6) Analyse de FS73 et FS74 :
6.1) / 1,0 pts
6.2) / 1,0 pts
6.3.a) / 2,5 pts
6.3.b) / 2,5 pts
6.4) / 1,0 pts
6.5) / 1,0 pts
6.6) / 2,5 pts
6.7) / 2,0 pts
7) Analyse de FSA2 :
7.1) / 1,0 pts
7.2.a) / 2,0 pts
7.2.b) / 2,0 pts
7.2.c) / 1,5 pts

NOTE

/ 80

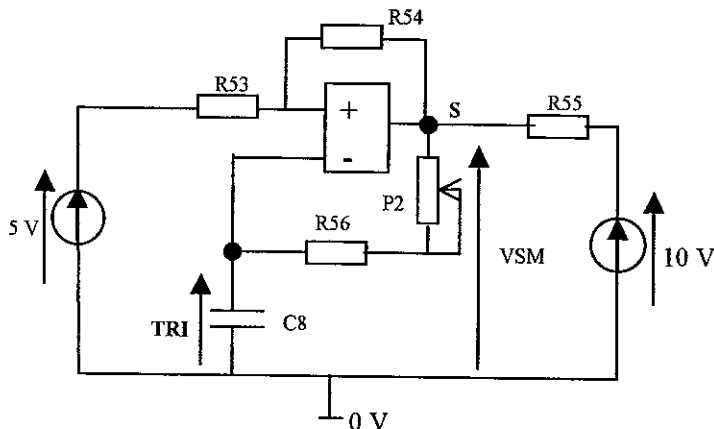
NOTE

/ 20

Groupement Académique EST		SESSION 2003	SUJET
BEP Métiers de l'électronique			Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4	Page 1 / 21

2- ANALYSE DE FS54 (en régime établi).

SCHEMA STRUCTUREL DE FS54 :



- L'A.I.L est alimenté en 0 et 11 V.
- On supposera que l'A.I.L. est idéal. (On rappelle cependant que l'A.I.L. utilisé ici est un LM339 à sortie collecteur ouvert).

2.1 Expliquer pourquoi l'A.I.L. fonctionne en régime saturé.

.....

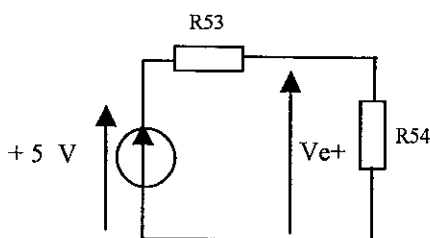
.....

.....

.....

.....

2.2 Lorsque la sortie de l'A.I.L. est à l'état 0 ($V_{SM} = 0V$), montrer que $V_{e+} = 2,5 V$. Pour cela, vous considérez le schéma ci-dessous :

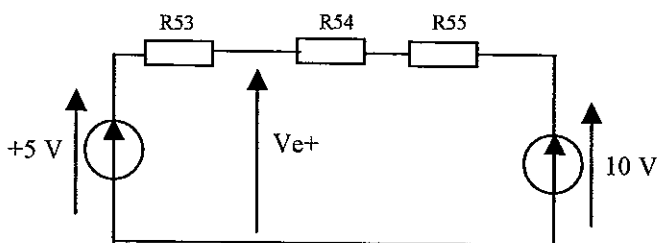


.....

.....

.....

2.3 Lorsque la sortie de l'A.I.L. est à l'état 1 ($V_{SM} = 9,76V$), montrer que $V_{e+} = 7,38 V$. Pour cela, vous considérez le schéma ci-dessous :



.....

.....

.....

Groupement Académique EST	SESSION 2003	SUJET
BEP Métiers de l'électronique		Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4
		Page 4 / 21

$t_c =$

.....

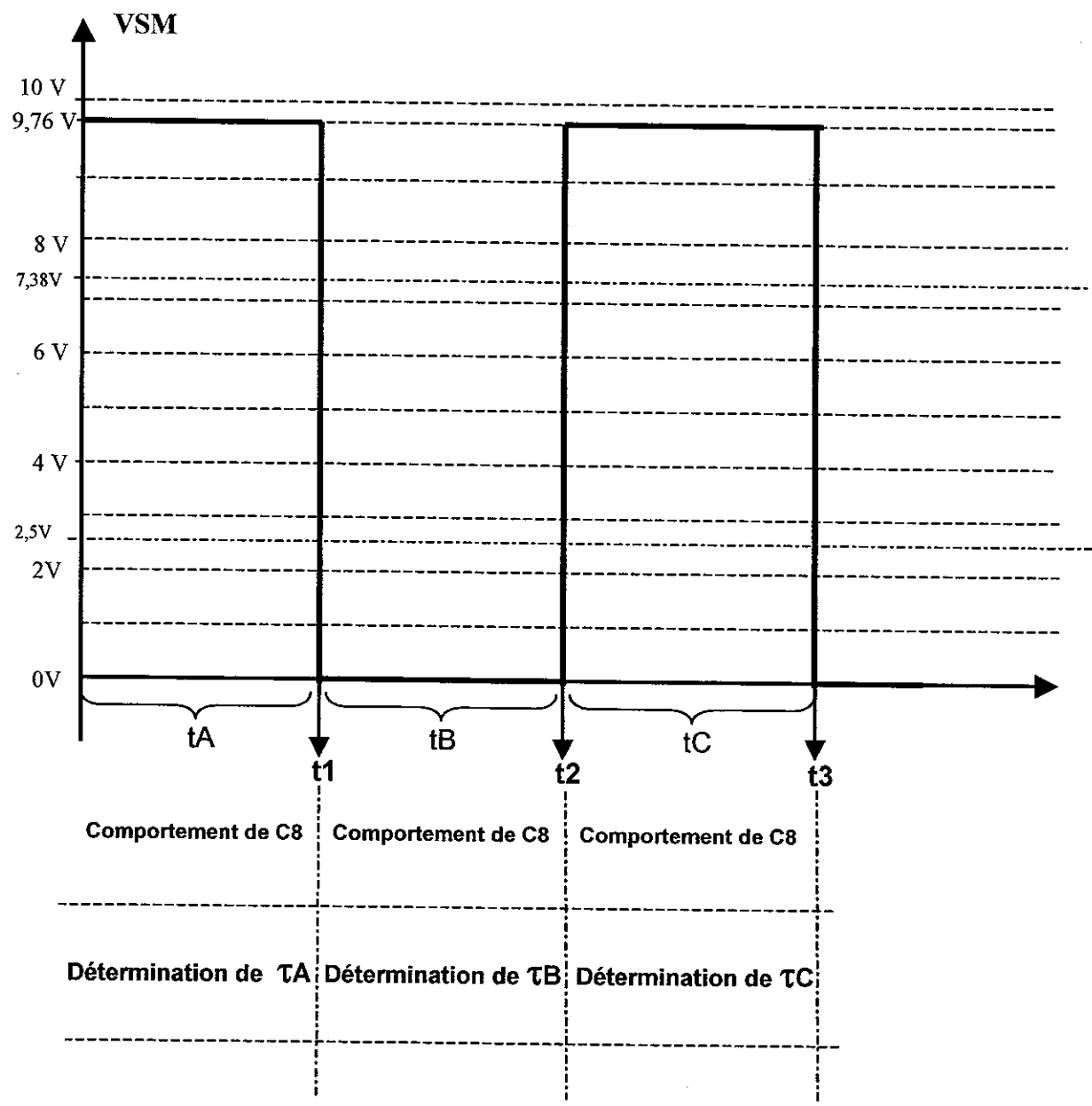
.....

$T =$

.....

.....

CHRONOGRAMMES A TRACER (questions 2-4- et 2-5) :



Groupement Académique EST	SESSION 2003	SUJET
BEP Métiers de l'électronique		Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4
		Page 6 / 21

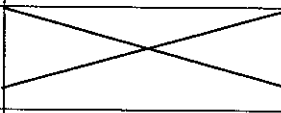
2.8 Expliquer pourquoi la sortie de l'A.I.L. change d'état aux instants :

- a) t1 :
-
-
- b) t2 :
-
-

3- ETUDE DE FS62

3.1 A l'aide de la documentation technique du CD4538 donnée page 18/21, 19/21, 20/21 et du schéma structurel de FS6.2 :

a) Compléter le tableau ci-dessous :

<i>N°broche</i>	<i>Tension appliquée (nom ou valeur)</i>	<i>Niveau logique</i>
13
12	
11

b) Conclure sur le mode de fonctionnement de U8 au sein de FS6.2 (on donnera la ligne de la table de vérité correspondant au fonctionnement puis on explicitera le mode de déclenchement ainsi que le niveau actif de la sortie)

.....

.....

.....

.....

.....

.....

.....

.....

3.2 Compléter les chronogrammes de fonctionnement page suivante sachant que la durée de l'impulsion calibrée de sortie est donnée par : $T_o = R68 \times C16$

Calcul de To :

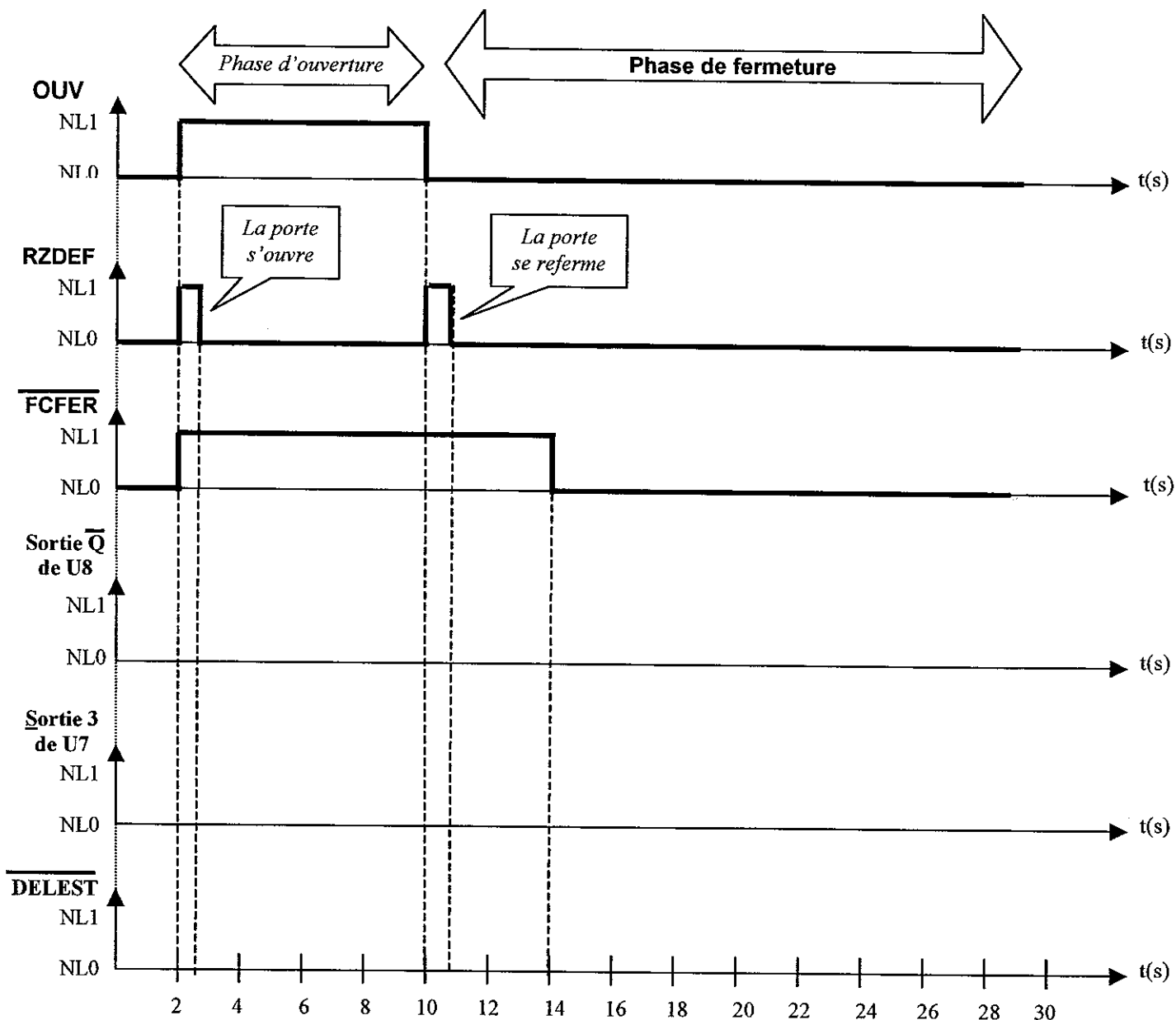
.....

.....

.....

Groupement Académique EST		SESSION 2003	SUJET
BEP Métiers de l'électronique			Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4	Page 7 / 21

Chronogrammes de fonctionnement



4- ANALYSE DE FS64

Les questions 4.1, 4.2, 4.5 et 4.6 sont indépendantes.

4.1 D'après la courbe de réponse en fréquence (gain) de ce filtre, page 21, indiquer s'il s'agit d'un filtre *passé bande, coupe-bande, passé-bas* ou *passé-haut*.

.....

4.2 Déterminer graphiquement la valeur de la fréquence de coupure f_c pour une atténuation de -3 dB (on laissera les traits de lecture sur DR1, page 21).

.....

Groupement Académique EST		SESSION 2003	SUJET
BEP Métiers de l'électronique			Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4	Page 8 / 21

b) Déterminer graphiquement *la valeur du Gain G* pour cette fréquence

.....

.....

c) En déduire la valeur de *l'amplification en tension Av* :

On rappelle que : $G = 20 \times \text{Log}(A_V)$ avec $A_V = \frac{U_{IM1(\max)}}{U_{IM(\max)}} = 10^{\left(\frac{G}{20}\right)}$

.....

.....

.....

d) En déduire la valeur de *l'amplitude maximale* $U_{IM1(\max)}$ du signal $u_{IM1}(t)$ en sortie du filtre :

.....

.....

.....

.....

5- ANALYSE DE FS71

5.1 Etude du comparateur à fenêtre (R75 à R77 et U21) :

On appellera : V_{1M} : la ddp entre la sortie 1 de U21 et la masse.
 V_{14M} : la ddp entre la sortie 14 de U21 et la masse.

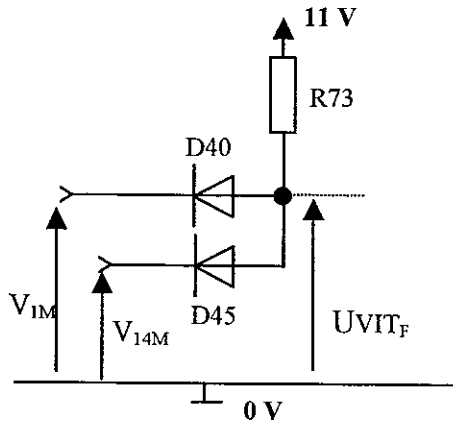
- Les A.I.L. sont supposés idéaux.
 - Ils sont alimentés en 0V et 11V.

Compléter le tableau ci-dessous :

UVIT	V_{14M} (en V)	Justification de la valeur de V_{14M}	V_{1M} (en V)	Justification de la valeur de V_{1M}
UVIT < 4,95 V				
4,95V < UVIT < 5,05V				
UVIT > 5,05 V				

Groupement Académique EST		SESSION 2003	SUJET
BEP Métiers de l'électronique			Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4	Page 10 / 21

5.2 Etude de la structure constituée de R73, D40 et D45 :



Pour cette étude, on tiendra compte de la tension de seuil des deux diodes :

$V_F = 0,7 \text{ v}$

a) Compléter le tableau ci dessous :

V_{1M}	V_{14M}	Etat de D40	Etat de D45	$UVIT_F$ (V)
0 V	0 V			
0 V	11 V			
11 V	0 V			
11 V	11 V			

b) Indiquer la fonction logique réalisée par cette structure, sachant qu'une tension de 0V environ correspond à un état logique 0 et une tension de 11V environ correspond à un état logique 1.

.....

.....

6- ANALYSE DE FS73 et FS74

6.1 Définir la phase de fonctionnement de la porte lorsque le signal $\overline{OUV} = 0$ puis lorsque le signal $OUV = 1$.

.....

.....

.....

.....

.....

.....

.....

.....

.....

Groupement Académique EST	SESSION 2003		SUJET
BEP Métiers de l'électronique		Secteur A : Industriel	
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4	Page 11 / 21

6.2 Énoncer la différence entre le rôle de FS73 et le rôle de FS74.

.....

.....

.....

.....

.....

6.3 On considère les entrées OBST, FCYOUV et $\overline{\text{OUV}}$, et de la sortie Q(1) de U6 (voir schéma structurel) :

a) A l'aide de la documentation page 16 et 17/21, compléter la table de fonctionnement suivante avec les termes : *Etat 0, Etat 1, Mémorisation.*

FCYOUV	OBST	$\overline{\text{OUV}}$	Q(1)
0	∇	0	
0	\blacktriangle	0	
0	∇	1	
0	\blacktriangle	1	
1	\blacktriangle	1	

b) Tracer sur la page 13 les chronogrammes de fonctionnement lors d'une phase d'ouverture.

*Notes : U6, représente la broche 9 du circuit U6,
La diode D37 et la résistance R61 ne seront pas prises en compte.*

6.4 Qu'indique le signal $\overline{\text{ODEF}}$ au niveau du fonctionnement de la porte.

.....

.....

.....

.....

6.5 Indiquer la réaction de la porte lorsque $\overline{\text{INH3}}$ passe à 0.

.....

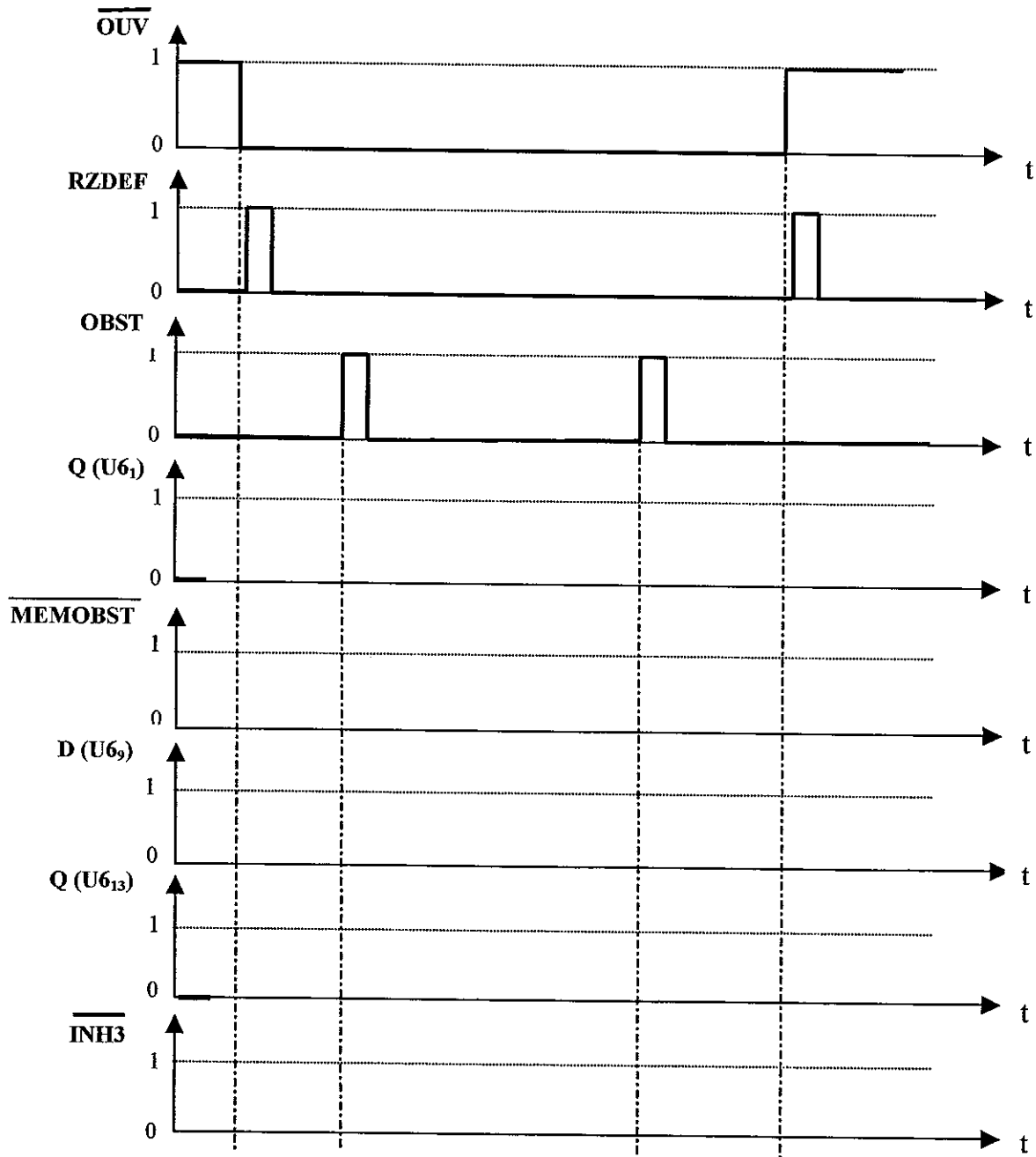
.....

.....

Groupement Académique EST		SESSION 2003	SUJET
BEP Métiers de l'électronique			Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4	Page 12 / 21

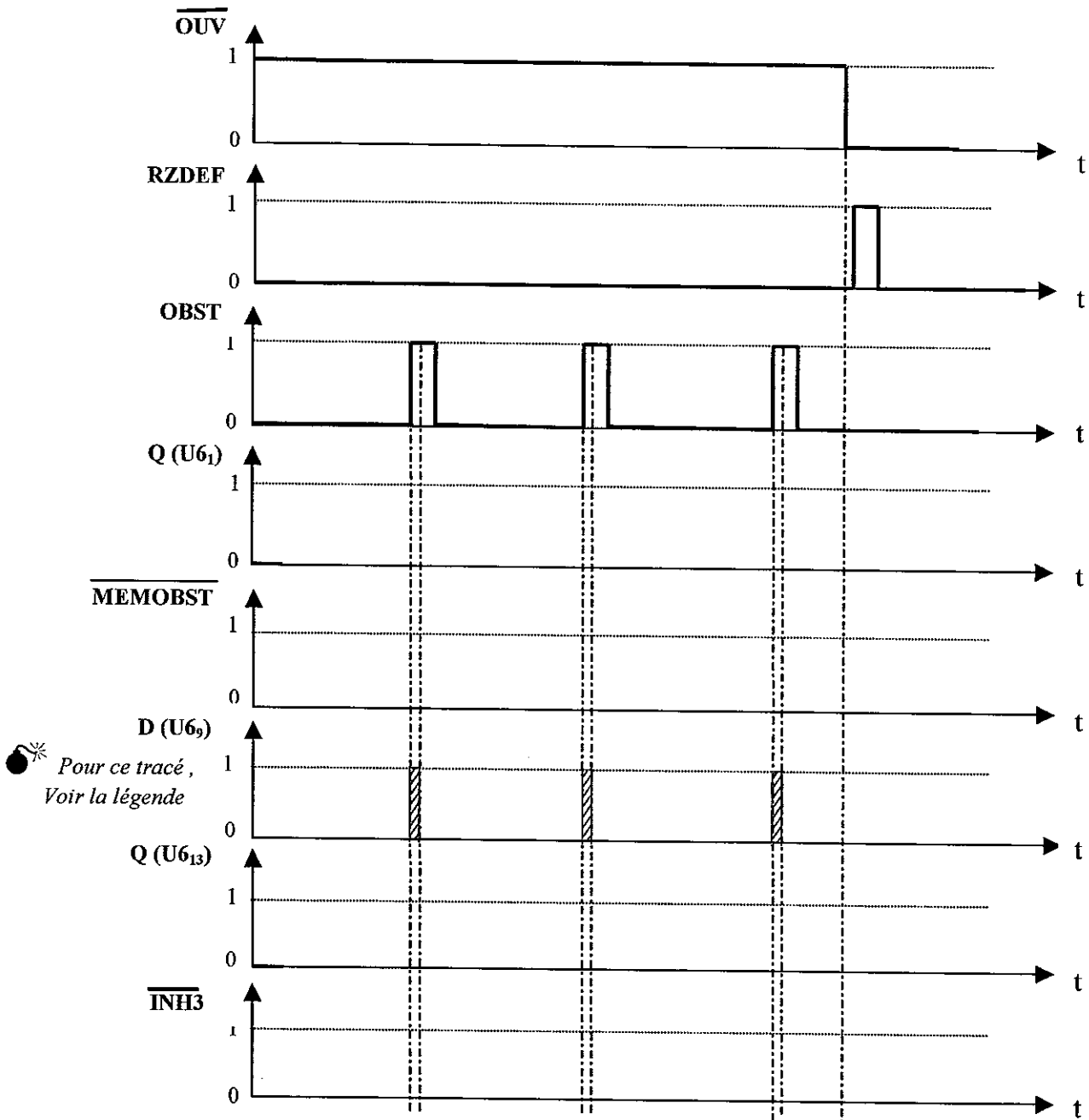
6.6 De la même manière qu'à la question 6.3, compléter les chronogrammes de fonctionnement (page14) lors d'une phase de fermeture.

Chronogrammes : Phase d'ouverture



Groupement Académique EST		SESSION 2003	SUJET
BEP Métiers de l'électronique			Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4	Page 13 / 21

Chronogrammes : Phase de fermeture



Légende pour D (U6₉) :

Temps de propagation de la porte logique NAND U5 (pendant ce temps, le signal conserve son état précédent).

6.7 Comparer le changement d'état de $\overline{\text{INH3}}$ (passage de l'état 1 à l'état 0), dans les deux cas traités précédemment (phase d'ouverture et de fermeture).

.....

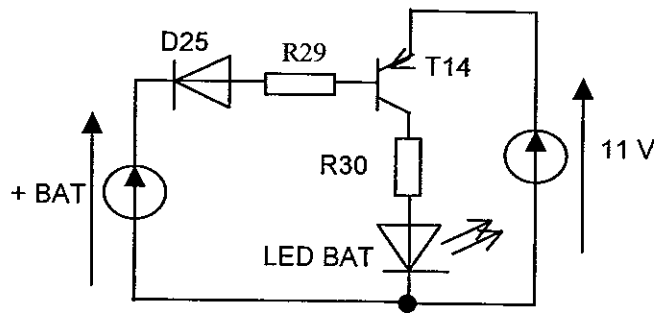
.....

.....

Groupe Académique EST		SESSION 2003	SUJET
BEP Métiers de l'électronique			Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4	Page 14 / 21

7- ANALYSE DE FSA2

La diode D26 est supposée bloquée. Le schéma structurel peut être représenté ainsi :



On donne :

- $V_{BEsat} = -0,7 \text{ V}$
- $V_{CEsat} = -0,4 \text{ V}$
- $\beta = 75$
- $V_{LED} = 1,6 \text{ V}$
(ddp aux bornes de la LED BAT, lorsqu'elle est allumée)
- $V_D = 0,7 \text{ V}$
(ddp aux bornes de D25, lorsqu'elle conduit).

7.1 Analyse qualitative : compléter le tableau décrivant le fonctionnement de cette structure.

	Etat de T14 (bloqué /saturé)	Etat de la LED BAT (éteinte/allumée)
+ BAT = 0 V		
+ BAT = 11 V		

7.2 Analyse quantitative : On suppose que le transistor T14 saturé et que +BAT = 9V.

a) Calculer I_B , intensité du courant circulant dans la base de T14.

.....

.....

.....

.....

.....

b) Calculer I_C , intensité du courant circulant dans le collecteur de T14.

.....

.....

.....

.....

.....

c) Vérifier que le transistor T14 est bien saturé.

.....

.....

Groupement Académique EST		SESSION 2003	SUJET
BEP Métiers de l'électronique			Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4	Page 15 / 21

MC14013B

Dual Type D Flip-Flop

The MC14013B dual type D flip-flop is constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. Each flip-flop has independent Data, (D), Direct Set, (S), Direct Reset, (R), and Clock (C) inputs and complementary outputs (Q and \bar{Q}). These devices may be used as shift register elements or as type T flip-flops for counter and toggle applications.

- Static Operation
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Logic Edge-Clocked Flip-Flop Design
Logic state is retained indefinitely with clock level either high or low; information is transferred to the output only on the positive-going edge of the clock pulse
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4013B

MAXIMUM RATINGS* (Voltages Referenced to VSS)

Symbol	Parameter	Value	Unit
V _{DD}	DC Supply Voltage	- 0.5 to + 18.0	V
V _{in} , V _{out}	Input or Output Voltage (DC or Transient)	- 0.5 to V _{DD} + 0.5	V
I _{in} , I _{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
P _D	Power Dissipation, per Package†	500	mW
T _{stg}	Storage Temperature	- 65 to + 150	°C
T _L	Lead Temperature (8-Second Soldering)	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur.
† Temperature Derating:

Plastic "P and D/DW" Packages: - 7.0 mW/°C From 65°C To 125°C
Ceramic "L" Packages: - 12 mW/°C From 100°C To 125°C

TRUTH TABLE

Inputs				Outputs	
Clock†	Data	Reset	Set	Q	\bar{Q}
↗	0	0	0	0	1
↗	1	0	0	1	0
↘	X	0	0	Q	\bar{Q}
X	X	1	0	0	1
X	X	0	1	1	0
X	X	1	1	1	1

X = Don't Care
† = Level Change

No Change



L SUFFIX
CERAMIC
CASE 632



P SUFFIX
PLASTIC
CASE 646



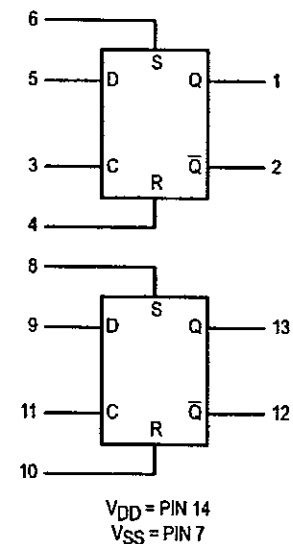
D SUFFIX
SOIC
CASE 751A

ORDERING INFORMATION

MC14XXXBCP Plastic
MC14XXXBCL Ceramic
MC14XXXBD SOIC

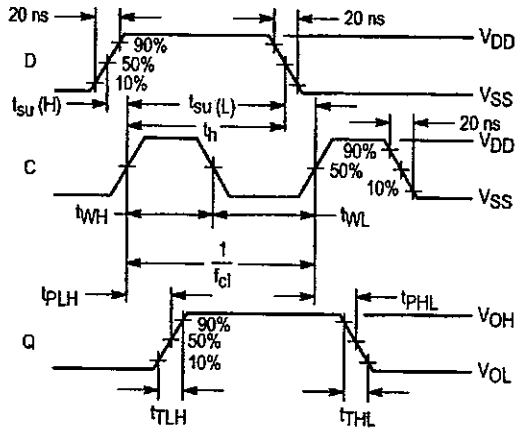
T_A = - 55° to 125°C for all packages.

BLOCK DIAGRAM



Groupement Académique EST	SESSION 2003	SUJET
BEP Métiers de l'électronique		Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4
		Page 16 / 21

MC14013B



Inputs R and S low.

Figure 1. Dynamic Signal Waveforms (Data, Clock, and Output)

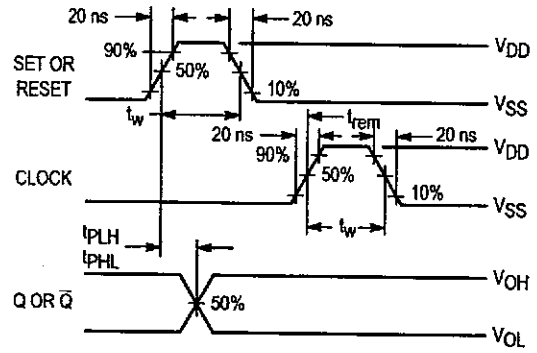
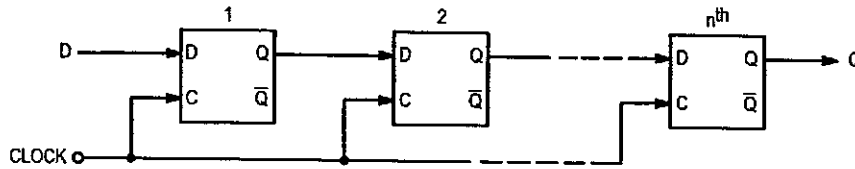


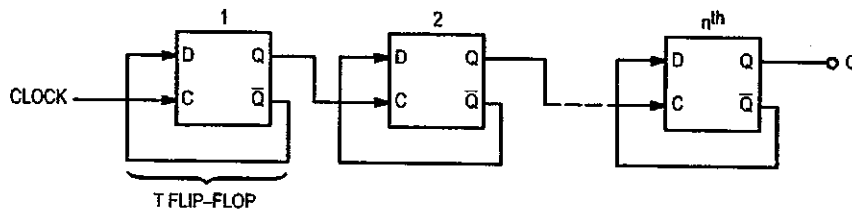
Figure 2. Dynamic Signal Waveforms (Set, Reset, Clock, and Output)

TYPICAL APPLICATIONS

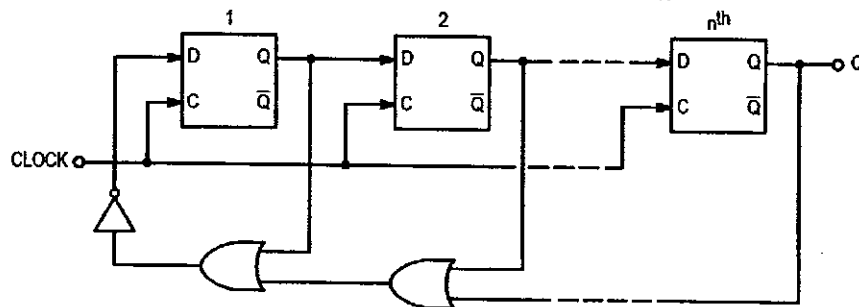
n-STAGE SHIFT REGISTER



BINARY RIPPLE UP-COUNTER (Divide-by- 2^n)



MODIFIED RING COUNTER (Divide-by-(n+1))



Groupement Académique EST	SESSION 2003	SUJET
BEP Métiers de l'électronique		Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4
		Page 17 / 21

HEF4538B

DUAL PRECISION MONOSTABLE MULTIVIBRATOR

The HEF4538B is a dual retriggerable-resettable monostable multivibrator. Each multivibrator has an active LOW trigger/retrigger input ($\overline{I_0}$), an active HIGH trigger/retrigger input (I_1), an overriding active LOW direct reset input ($\overline{C_D}$), an output (O) and its complement (\overline{O}), and two pins (C_{TC} , R_{TC}) for connecting the external timing components C_t and R_t . Typical pulse width variation over temperature range is $\pm 0,2\%$.

The HEF4538B may be triggered by either the positive or the negative edges of the input pulse and will produce an accurate output pulse with a pulse width range of $10 \mu s$ to infinity. The duration and accuracy of the output pulse are determined by the external timing components C_t and R_t . The output pulse width (T) is equal to $R_t \times C_t$. The linear design techniques in LOC MOS guarantee precise control of the output pulse width.

A LOW level at $\overline{C_D}$ terminates the output pulse immediately.

Schmitt-trigger action in the trigger inputs makes the circuit highly tolerant to slower rise and fall times.

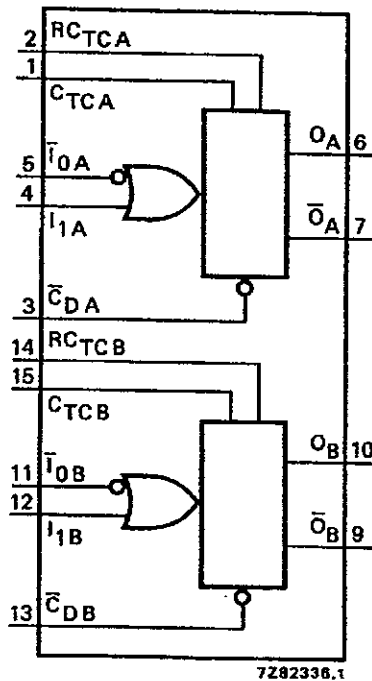


Fig. 1 Functional diagram.

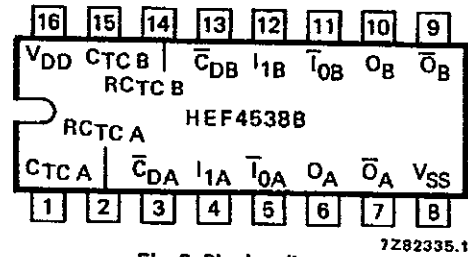


Fig. 2 Pinning diagram.

HEF4538BP(N): 16-lead DIL; plastic (SOT38-1)
 HEF4538BD(F): 16-lead DIL; ceramic (cerdip) (SOT74)
 HEF4538BT(D): 16-lead SO; plastic (SOT109-1)
 (): Package Designator North America

PINNING

$\overline{I_{0A}}, \overline{I_{0B}}$ input (HIGH to LOW triggered)
 I_{1A}, I_{1B} input (LOW to HIGH triggered)
 $\overline{C_{DA}}, \overline{C_{DB}}$ direct reset input (active LOW)
 O_A, O_B output
 $\overline{O_A}, \overline{O_B}$ complementary output (active LOW)
 $C_{TC A}, C_{TC B}$ external capacitor connections*
 $R_{TC A}, R_{TC B}$ external capacitor/resistor connections

* Always connected to ground.

FAMILY DATA; I_{DD} LIMITS category MSI: see Family specifications.

Groupement Académique EST		SESSION 2003	SUJET
BEP Métiers de l'électronique			Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4	Page 18 / 21

HEF4538B

FUNCTION TABLE

inputs			outputs	
\bar{I}_0	I_1	\bar{C}_D	O	\bar{O}
\	L	H	\uparrow	\downarrow
H	/	H	\uparrow	\downarrow
X	X	L	L	H

H = HIGH state (the more positive voltage)
 L = LOW state (the less positive voltage)
 X = state is immaterial
 / = positive-going transition
 \ = negative-going transition
 \uparrow = positive output pulse
 \downarrow = negative output pulse

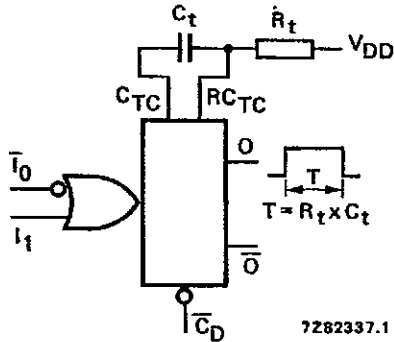


Fig. 4 Connection of the external timing components R_t and C_t .

D.C. CHARACTERISTICS

$V_{SS} = 0\text{ V}$

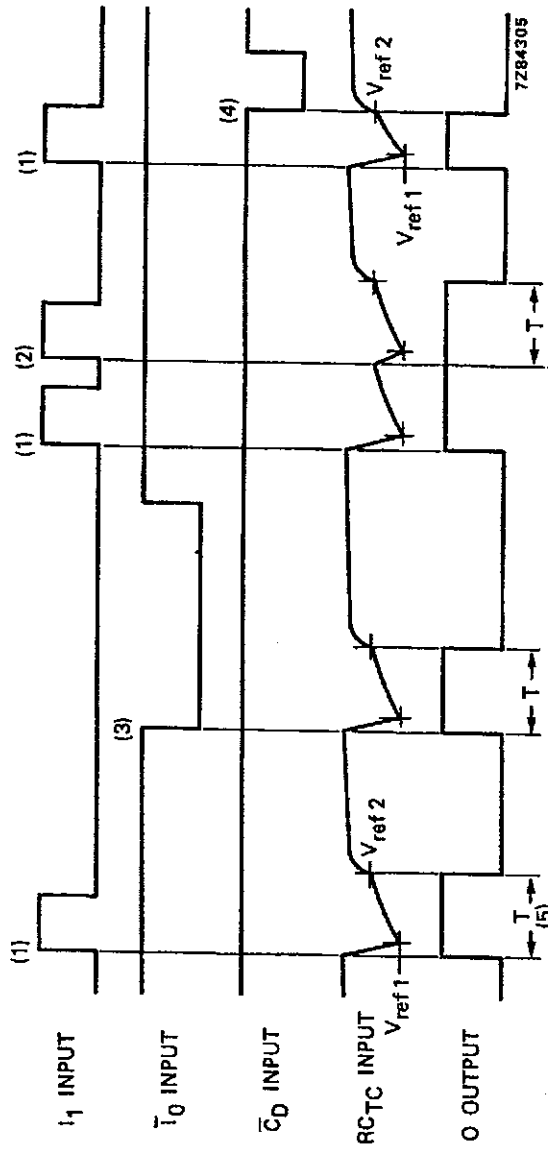
	V_{DD} V	symbol	T_{amb} (°C)						
			-40		+25		+85		
			typ.	max.	typ.	max.	typ.	max.	
Supply current active state (see note)	5 10 15	I_D			55 150 220				μA μA μA
Input leakage current (pins 2 and 14)	15	$\pm I_{IN}$				300		1000	nA

Note

Only one monostable is switching: current present during output pulse (output O is HIGH).

Groupement Académique EST		SESSION 2003	SUJET
BEP Métiers de l'électronique			Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4	Page 19 / 21

HEF4538B

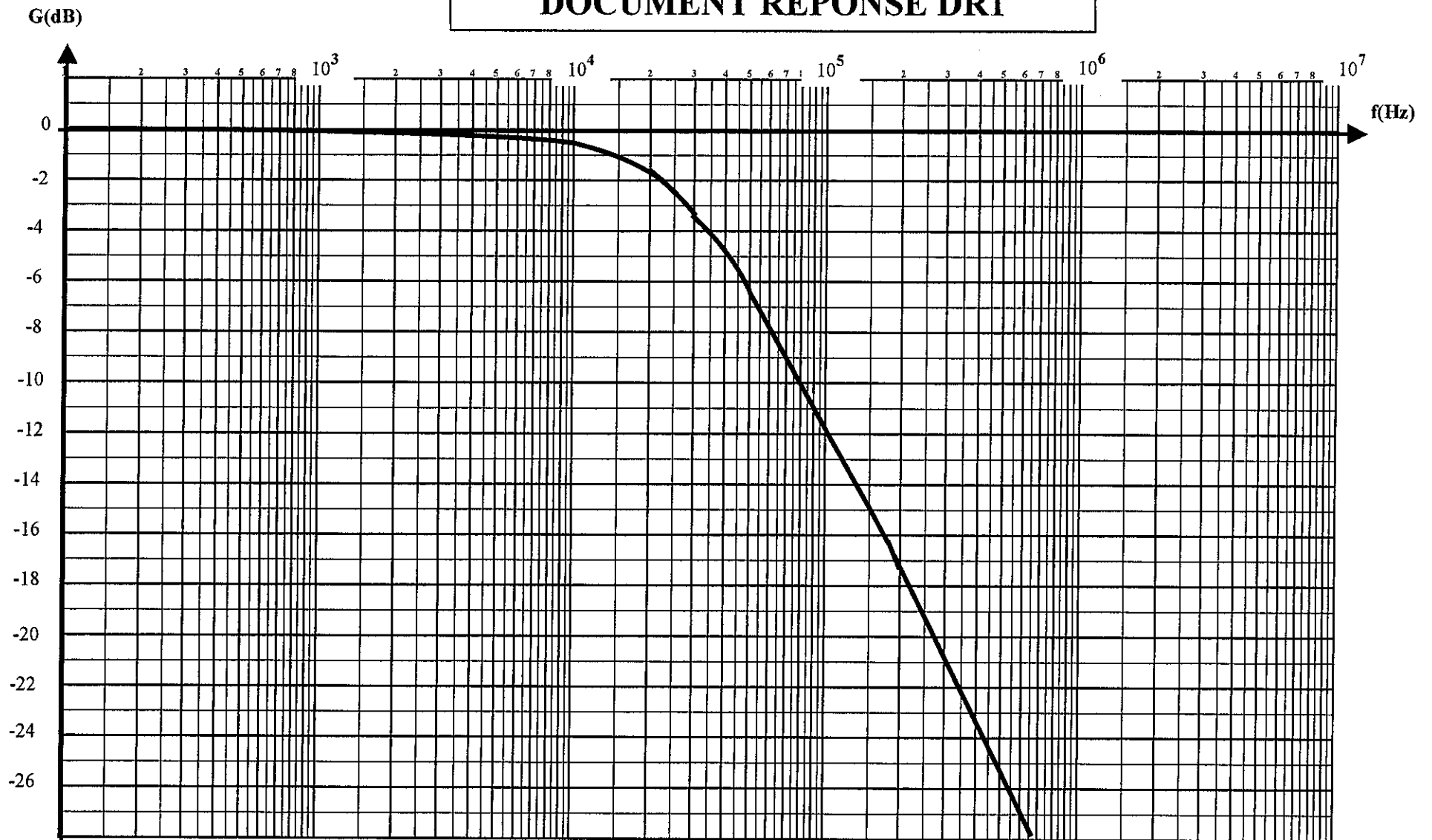


- (1) Positive edge triggering.
- (2) Positive edge re-triggering (pulse lengthening).
- (3) Negative edge triggering.
- (4) Reset (pulse shortening).
- (5) $T = R_t \times C_t$.

Fig. 6 Timing diagram.

Groupement Académique EST		SESSION 2003	SUJET
BEP Métiers de l'électronique			Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4	Page 20 / 21

DOCUMENT REPONSE DR1



Groupement Académique EST	SESSION 2003	SUJET
BEP Métiers de l'électronique		Secteur A : Industriel
Epreuve écrite EP3	Durée : 4 h	Coefficient : 4
Page 21 / 21		