

ORIGINAL

**ACADEMIE DE GRENOBLE
BEP SESSION 2000**

BEP ELECTRONIQUE

EPREUVE: EP1 SCIENCES ET TECHNIQUES INDUSTRIELLES

EPREUVE ECRITE

EP1.1 ELECTRONIQUE APPLIQUEE

Durée: 4h

Coeff : 4

**ACADEMIE DE GRENOBLE
BEP ELECTRONIQUE Session 2000**

Epreuve EP1.1

Page 1/16

RECOMMANDATIONS

Il est conseillé de lire attentivement le sujet.

REMARQUES

Le sujet comporte 4 documents réponses que le candidat devra remplir et rendre en ayant pris soin d'y avoir inscrit son NUMERO de candidat.

Des schémas structurels relatifs aux fonctions secondaires étudiées figurent sur un document en format A4 , page 8/16 , fourni avec le sujet.

Le sujet comporte 4 documents constructeur.

L'étude comporte 5 parties découpées en étude de fonctions indépendantes.

PRESENTATION DU TRAVAIL

Les candidats écriront à l'encre sur les feuilles d'examen mises à leur disposition, pas de couleur rouge. Les candidats repéreront correctement les questions auxquelles ils répondent. Les candidats respecteront dans leurs réponses les notations adoptées dans l'énoncé et sur les schémas.

Les candidats justifieront et rédigeront correctement leurs réponses.

Les candidats numérotent chacune de leurs pages de réponses.

EVALUATION

Le travail effectué sera évalué à travers

- l'exactitude des réponses apportées,
- la cohérence de la démarche pour conduire les calculs ou les raisonnements.

BAREME DE NOTATION PROPOSE

Il est noté tout au long du questionnaire. Total sur 80

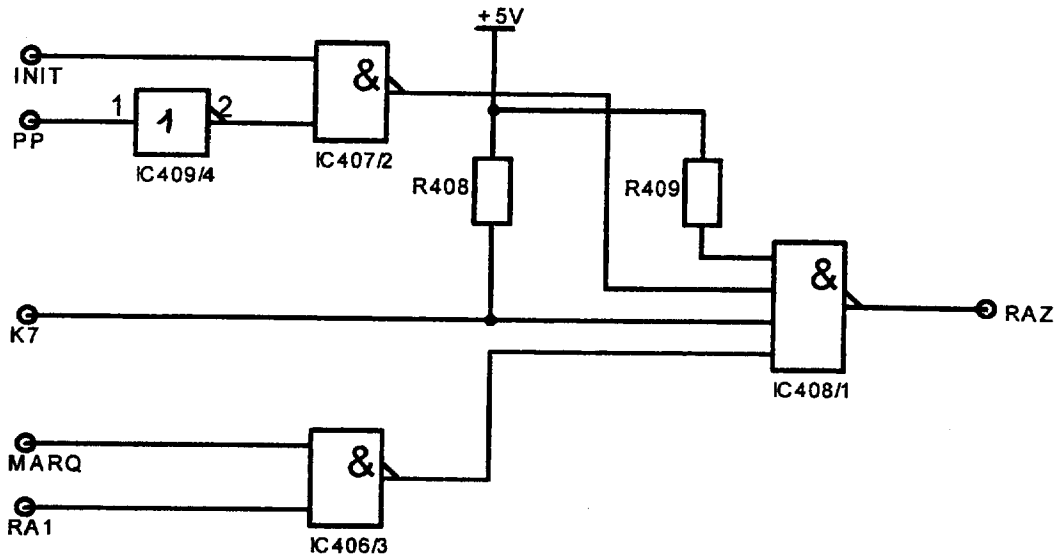
ACADEMIE DE GRENOBLE

BEP ELECTRONIQUE Session 2000

Epreuve EP1.1

Page 2/16

PARTIE 1 : Etude de FS1.1



Rappels:

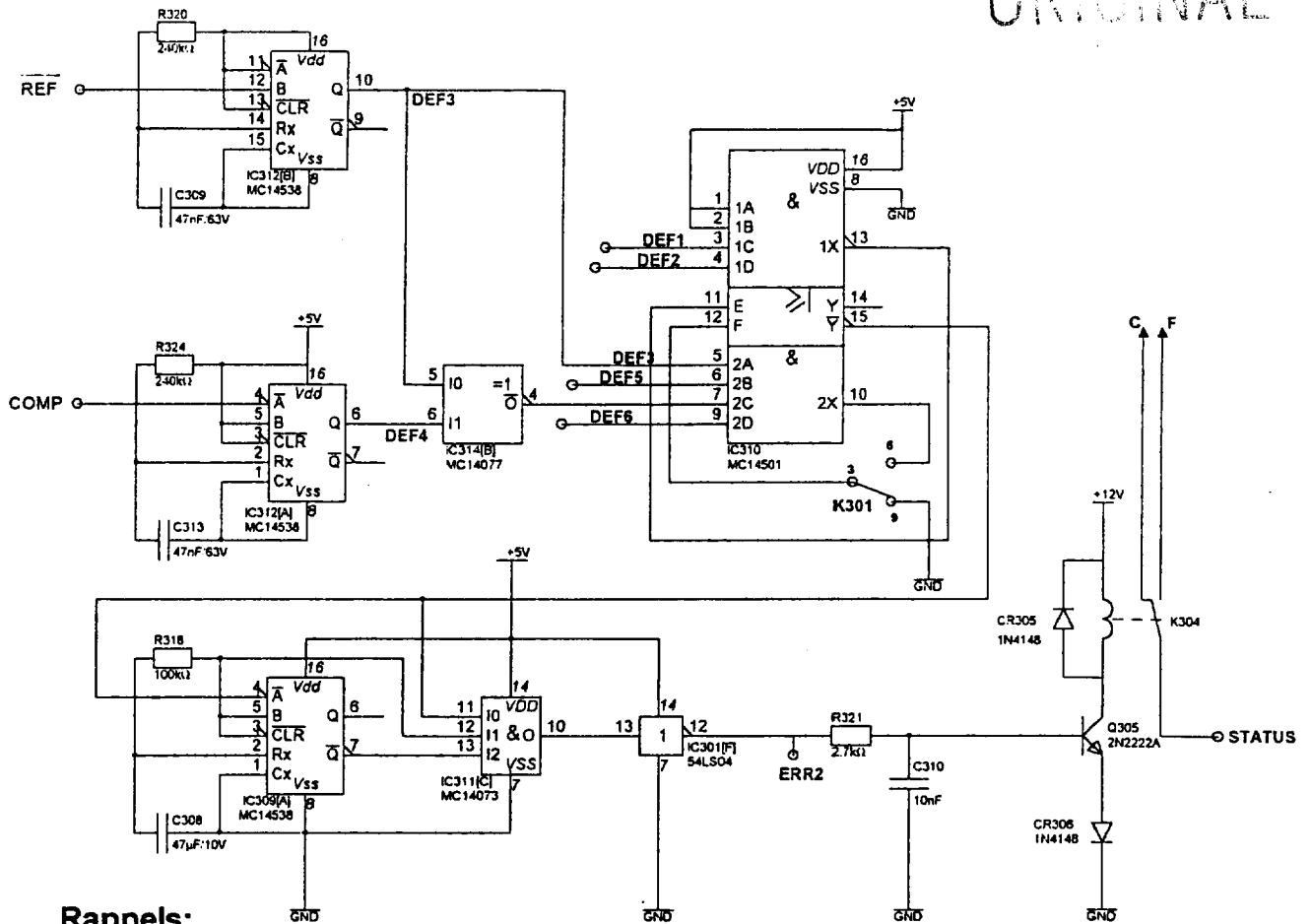
- INIT=1 demande un retour à la piste 1 de l'enregistreur de vol.
- PP=1 indique que les données sont enregistrées sur une piste paire.
- K7=1 indique qu'une cassette est en place dans l'enregistreur.
- MARQ=1 indique que l'autocollant de début/fin de bande est détecté.
- RA1=1 permet de faire une demande de RAZ lors de la mise en place d'une nouvelle cassette.

Partie1 : /10

- Q1) Déterminer l'équation logique de RAZ en fonction de INIT, PP, K7, MARQ, RA1 à partir du logigramme ci-dessus.
- Q2) Simplifier l'équation logique de RAZ.
- Q3) A partir de l'équation simplifiée, énumérer les conditions de fonctionnement pour lesquelles le signal RAZ est actif.
- Q4) Compléter le chronogramme de RAZ sur le Document Réponse 1 page13/16.

PARTIE 2 : Etude de FS1.6 « Vérification du fonctionnement »

L'objectif est de valider le choix des signaux à surveiller, ainsi que le principe utilisé pour traiter ces signaux (principe de détection des transitions d'un signal à l'aide d'un monostable) pour rendre actif le signal d'erreur ERR2.



Rappels:

1. Les moteurs de l'avion fonctionnent. L'enregistreur ne sera pas prêt à enregistrer si :

- il n'y a pas de cassette en place (K7=0) (DEF1)
- la porte de l'enregistreur n'est pas fermée (PORTE=0) (DEF2)
- les données ne sont pas détectées en entrée, \overline{REF} ne transite plus ($\overline{REF} = 1$) (DEF3)
- les données ne sont pas présentes sur la tête d'écriture (COMP=1) (DEF4)
- La bande est coupée (MVT=1) (DEF5)
- La vitesse de rotation du moteur d'entraînement de la bande n'est pas correcte (VNA=0) (DEF6)
- La pression d'huile dans le dernier moteur n'est pas suffisante (PMC=0) (DEF7)
- L'enregistreur ne fonctionne pas en mode automatique ($M/\overline{A}=1$) (DEF8)

2.- Les moteurs de l'avion ne fonctionnent pas. L'enregistreur ne sera pas prêt à enregistrer si :

- il n'y a pas de cassette en place (K7=0) (DEF1)
- la porte de l'enregistreur n'est pas fermée (PORTE=0) (DEF2)

Partie2 : /20

Q1.a) Etablir les équations logiques de la broche 15 (S15) de IC310 en fonction des entrées DEF1 à DEF6, dans les deux cas suivants :
 - Les moteurs de l'avion ne fonctionnent pas, donc K301 est en position 9 .
 - Les moteurs de l'avion fonctionnent, donc K301 est en position 6 .

Q1.b) Simplifier ces équations.

Q2) Quelle est la fonction de IC312/A et de IC 312/B ?

Q3) Calculer la durée de l'état haut des sorties Q10 et Q6 de IC312 .

Q4) Représenter les chronogrammes de DEF3 , DEF4 , et $\overline{\text{DEF3}} \oplus \text{DEF4}$, sorties respectives des monostables IC312/A , IC312/B et IC314/B sur le Document Réponse 2 , page 14/16 .

Rappel : La vitesse la plus lente est de 768 bits/s , soit un front actif tous les 1 / 768 secondes soit environ 1.3ms .

Q5) Conclure sur l'utilisation des deux monostables IC312/A et IC312/B.

Q6) D'après les questions précédentes montrer que, lorsque les moteurs fonctionnent, la sortie S15 de IC310 est active en cas d' interruption de l'arrivée des données.

PARTIE 3 : Etude d'une partie de FP5

**L'objectif est de valider la forme, l'amplitude, et la fréquence du signal HOR .
 Le schéma structurel est fourni page 8/16 .**

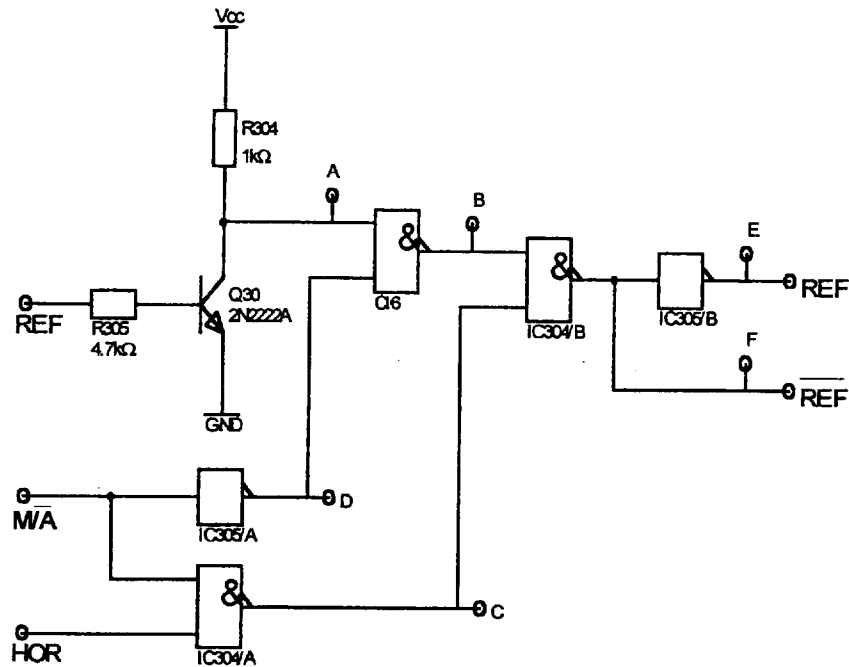
Partie 3 : /15

Q1) Quelle est la fonction du montage organisé autour de IC301/A et IC301/B ?

Q2) Quelle est la fréquence du signal de sortie broche 4 de IC301/B ,

**Q3) Donner les relations qui permettent de calculer les fréquences des signaux de sortie de la broche 11 de IC302 , et de la broche 12 de IC 303 .
 Calculer leur valeur.**

Q5) Tracer sur la copie le chronogramme renseigné de HOR .

PARTIE 4 : Analyse de l'organisation structurale d'une partie de FS4.2


La structure étudiée permet de « laisser passer » soit les données REF en mode automatique, soit le signal d'horloge HOR en mode normal. L'objectif est de valider cette structure.

Partie 4 : /15

- Q1) - Analyser la valeur de U_{AM} en fonction de la valeur de REF.
 - Démontrer que le transistor fonctionne en commutation.
 - En déduire la valeur de U_{AM} en fonction de la valeur de REF.
 Compléter le tableau dans le document réponse n°1 page 13/16
 - Quelle est la fonction logique réalisée par la structure R304, R305, et Q30 ?

Données : $V_{be}=0.7V$ $V_{ce.sat}=0.4V$ $\beta_{min}=100$ $V_{cc}=5V$
 Transistor saturé $\Leftrightarrow I_c/I_b < \beta_{min}$

- Q2) Quel signal retrouve-t-on sur les sorties E et F en mode normal ($M/\bar{A}=1$) ?
- Q3) Quel signal retrouve-t-on sur les sorties E et F en mode automatique ($M/\bar{A}=0$) ?

PARTIE 5 : ETUDE D'UNE PARTIE DE FP5

Le schéma structurel est fourni page 8/16.

Rappels:

La vitesse de rotation du moteur de l'enregistreur est mesurée par un capteur de vitesse appelé codeur, fixé sur l'arbre du moteur.

La fréquence du signal de sortie du codeur F_{COD} est proportionnelle à la vitesse de rotation du moteur de l'enregistreur soit : $F_{COD} = k.VIT_{MOTEUR}$

Pour un fonctionnement normal:

VIT=00 correspond à $F_{COD}=714$ Hz

VIT=01 correspond à $F_{COD}=1428$ Hz

VIT=10 correspond à $F_{COD}=2856$ Hz

VIT est fixé par un opérateur, ce signal logique permet d'adapter la structure à la vitesse de rotation du moteur de l'enregistreur.

$F_z = F_{HOR}$ avec :

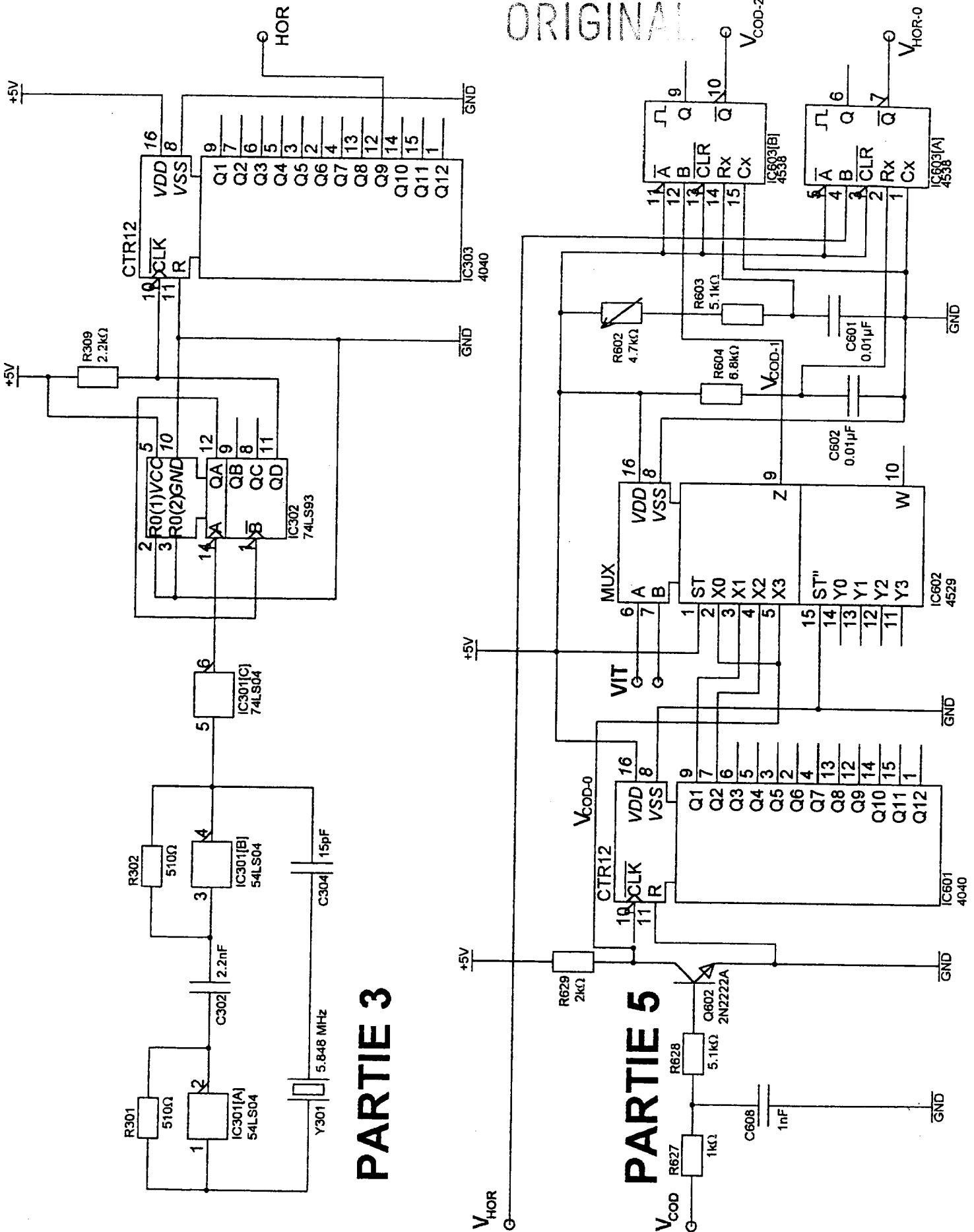
Z sortie de IC602 (sortie de F1)

HOR signal de référence, de forme carrée, d'amplitude 0-5V et de fréquence $F_{HOR}=714$ Hz

Partie 5 : / 20

- Q1) Donner la fonction réalisée par le circuit intégré IC601.
- Q2) Donner la fonction réalisée par le circuit intégré IC602.
- Q3) Dans les documents réponse 3 et 4 , pages 15/16 et 16/16 , compléter les chronogrammes et déterminer si la vitesse de rotation du moteur est la vitesse nominale.
- Q4) Donner le nom de la fonction électronique remplie par IC603.
- Q5) Donner puis calculer la durée du niveau haut pour le signal V_{HOR-0}
- Q6) A quelle valeur doit-on régler R602 pour obtenir, pour V_{COD-2} la même durée de niveau haut que pour V_{HOR-0} ?
- Q7) Compléter sur le document réponse n°2 page 14/16 le chronogramme de V_{HOR-0}

ORIGINAL



TYPES SN7490A, SN74LS90, SN74LS92, SN74LS93
 SN5490A, SN54LS90, SN54LS92, SN54LS93
 DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS
 MARCH 1974 - REVISED DECEMBER 1983

TYPES SN7490A, SN74LS90, L992, L993
 SN5490A, SN54LS90, L992, L993
 DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

'90A, 'LS80 ... DECADE COUNTERS
 'LS92 ... DIVIDE-BY-TWELVE
 COUNTERS
 'LS93 ... 4-BIT BINARY
 COUNTERS

TYPICAL
 POWER DISSIPATION
 '90A 148 mW
 'LS80 45 mW
 'LS92, 'LS93 48 mW

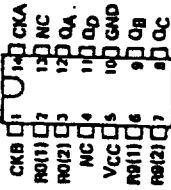
description

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A, and 'LS80, divide-by-six for the 'LS92, and divide-by-eight for the 'LS93.

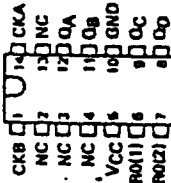
All of these counters have a gated zero reset and the '90A, and 'LS80 also have gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the CKB input is connected to the QA output. The input count pulses are applied to CKA input and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A, or 'LS90 counters by connecting the Q_D output to the CKA input and applying the input count to the CKB input which gives a divide-by-ten square wave at output Q_A.

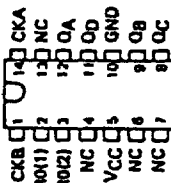
SN5490A, SN54LS90 ... J PACKAGE
 SN7490A ... N PACKAGE
 SN74LS90 ... D OR N PACKAGE
 (TOP VIEW)



SN54LS92 ... J PACKAGE
 SN74LS92 ... D OR N PACKAGE
 (TOP VIEW)



SN54LS93 ... J PACKAGE
 SN74LS93 ... D OR N PACKAGE
 (TOP VIEW)



'90A, 'LS90
 BCD COUNT SEQUENCE
 (See Note A)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'90A, 'LS90
 BINARY (8-2)
 (See Note B)

COUNT	OUTPUT			
	Q _A	Q _D	Q _C	Q _B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'LS92
 COUNT SEQUENCE
 (See Note C)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	H	L	L
11	H	H	L	H

'90A, 'LS90
 RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
R0(1)	R0(2)	Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L
H	H	X	L	L	L
X	X	H	H	L	L
X	X	L	X	L	L
L	X	L	X	L	L
L	X	X	L	L	L
X	L	L	X	L	L
X	L	X	L	L	L

'LS92, 'LS93
 RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
R0(1)	R0(2)	Q _D	Q _C	Q _B	Q _A
H	H	L	L	L	L
L	X	X	L	L	L
X	L	L	X	L	L
X	L	X	L	L	L
X	X	L	X	L	L
X	X	X	L	L	L
X	X	L	X	L	L
X	X	X	L	L	L

NOTES: A. Output Q_A is connected to input CKB for BCD count.
 B. Output Q_D is connected to input CKA for binary count.
 C. Output Q_A is connected to input CKB.
 D. H = high level, L = low level, X = tri-state

ORIENT

PRODUCTION DATA
 The information contained herein is furnished in confidence and is not to be distributed outside the Texas Instruments organization without the express written consent of Texas Instruments.



TEXAS
 INSTRUMENTS

